Regular Paper
J. KIEEME
Vol. 27, No. 7, pp. 438-442 July 2014
DOI: http://dx.doi.org/10.4313/JKEM.2014.27.7.438
ISSN 1226-7945 (Print), 2288-3258 (Online)

PMOSFET의 채널 길이에 따른 NBTI 스트레스와 CHC 스트레스의 신뢰성 특성 비교 분석

유재남[1], 권성규[1], 신종관[1], 오선호[1], 장성용[1], 송형섭[1], 이가원[1], 이희덕[1,a]
[1] 충남대학교 전자전파정보통신공학과

Comparative Analysis of Channel Length Dependence of NBTI and CHC Characteristics in PMOSFETs

Jae-Nam Yu[1], Sung-Kyu Kwon[1], Jong-Kwan Shin[1], Sun-Ho Oh[1], Ho-Ryung Lee[1], Sung-Yong Jang[1], Hyung-Sub Song[1], Ga-Won Lee[1], and Hi-Deok Lee[1,a]
[1] Department of Electronic Engineering, Chungnam University, Daejeon 305-764, Korea

(Received June 12, 2014; Revised June 20, 2014; Accepted June 24, 2014)

Abstract: Channel length dependence of NBTI (negative bias temperature instablilty) and CHC (channel hot carrier) characteristics in PMOSFET is studied. It has been considered that HC lifetime of PMOSFET is larger than NBTI lifetime. However, it is shown that CHC degradation is greater than NBTI degradation for PMOSFET with short channel length. 1/f noise and charge pumping measurement are used for analysis of these degradations.

Keywords: NBTI, CHC, Channel length, Flicker noise, Charge pumping

1. 서 론

MOSFET의 동작 전압 및 소비 전력 감소, 성능 향상을 위해 고집적화, 미세화가 이루어지고 있으며, 대표적으로 MOSFET의 채널 길이 (channel length)가 경쟁적으로 감소되고 있다. 하지만 채널 길이가 감소됨에 따라 MOSFET의 신뢰성 문제도 함께 대두되고 있다 [1,2].

특히 digital 회로 및 ADC/DAC 등의 analog 회로에서 폭넓게 사용되는 PMOSFET의 경우, 그 동작조건에 따라 NBTI (negative bias temperature instability) 스트레스와 CHC (channel hot carrier) 스트레스를 받게 되어 이러한 신뢰성 분석은 매우 중요하다 [3,4]. 반전 동작 (inversion operation) 시, pMOSFET의 채널 영역에 있는 정공들에 의해 NBTI에 의한 특성 열화가 발생한다 [5]. 고온에서 이 정공들로 인해 Si-H 결합이 깨지게 되며, 절연체 내에 fixed oxide charge가 형성되기도 한다 [2]. NBTI 스트레스는 pMOSFET에서 가장 열화가 심한 스트레스로 여겨지고 있으며, 이로 인해 NBTI 스트레스 이후의 소자 수명은 다른 스트레스들 이후의 수명보다 더 낮다 [6]. CHC 스트레스 이후의 pMOSFET의 신뢰성은 이미 오랫동안 많이 연구되어 왔다 [7-9]. CHC 열화는 산화막 내에 존재하는 트랩에 정공이 trapping되는 것에 초점이 맞추어 있는데, 정공의 재

a. Corresponding author; hdlee@cnu.ac.kr

Copyright ©2014 KIEEME. All rights reserved.
This is an Open-Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License (http://creativecommons.org/licenses/by-nc/3.0) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.

결합 시간이 매우 짧아 CHC 스트레스로 인한 열화는 NBTI 스트레스에 의한 열화보다 적어서 [10], CHC 스트레스로 인한 소자 수명 분석보다 정공의 빠른 재결합 (recombination)로 인한 스트레스 이후 회복 (recovery) 특성 등과 같은 NBTI에 대한 연구가 주로 수행되고 있다 [11,12]. Tsuchiya 등에 의해, 0.25 μm의 buried channel pMOSFET에서 상온의 CHC 스트레스가 인가되었을 때, 인가된 전계로 인해 가속된 핫 홀 (hot-hole)이 Si-H 결합을 깨고 채널과 산화막 경계면의 트랩을 형성한다고 보고되었다 [13]. pMOSFET에서의 핫 홀의 주입은 일정 전류에서의 문턱 전압 (V_{tcc})과 외삽법으로 추출한 문턱 전압 (V_{text})의 증가, 드레인 포화 전류 (I_{Dsat}) 감소 등 심각한 신뢰성 문제를 일으키며, 소자의 수명을 열화시킨다 [3,4].

본 논문에서는, CHC 스트레스와 NBTI 스트레스에 한 소자 수명을 채널 길이에 따라 비교 분석하였다. 또한, 각각의 스트레스에 의한 소자 열화 메커니즘을 분석하기 위해 전하 펌핑 기술 (charge pumping technique)을 통한 산화막과 채널 사이의 트랩 (N_{it})과 게이트 산화막에서 발생하는 트랩 (Nt)로 나누어 트랩의 위치에 따른 영향을 분석하였다.

2. 실험 방법

실험에 사용된 소자는 게이트 산화막 두께가 약 31 Å, 게이트 넓이(gate width)가 20 μm, 채널 길이(channel length)가 0.13 μm, 0.25 μm, 0.5 μm, 1.0 μm인 PMOSFET이다. 소자 특성 측정 및 신뢰성 스트레스 인가를 위해 사용된 장비는 semiconductor parameter analyzer (HP4156C), 플리커 잡음을 측정하기 위해 low-noise current amplifier (SR570), dynamic signal analyzer (HP35670A) 장비와 1 Hz 필터를 사용하였고, 전하 펌핑 측정을 위해 pulse generator (Agilent 81101A) 장비를 사용하였다.

실험은 NBTI 스트레스의 경우, 채널 길이가 서로 다른 네 가지의 소자에 대해 섭씨 125℃에서 서로 다른 세 가지 전압 스트레스를 가하면서 스트레스 전후에 게이트 전압에 따른 드레인 전류 (I_{dsat}), 일정 전류 임계 전압 (V_{tcc}), 외삽 임계 전압 (V_{text}), 플리커 잡음, 전하 펌핑 전류 (I_{cp}) 변화를 확인하였고, 이를 통해 산화막 계면 트랩 수의 추출 및 변화를 분석하였다. 또한, 섭씨 25℃에서 동일한 측정 방식으로 CHC 스트레스에 따른 특성을 함께 측정하여 비교 분석하였다.

3. 결과 및 고찰

각각의 채널 길이에 대해 세 가지 전압 조건의 CHC 스트레스 또는 NBTI 스트레스를 시간에 따라 측정하였고, 스트레스 전압 조건에 대해 일정 전류에서의 문턱 전압 (V_{tcc}), 외삽법으로 추출한 문턱 전압 (V_{text}), 드레인 포화 전류 (I_{Dsat})를 추출하였다. 추세선을 통해 초기값 대비 10%가 변하기까지의 수명을 예측하였다. 그리고 3가지 스트레스 전압의 역수에 대한 초기값 대비 10% 변하기까지의 수명을 추세선을 통해 트렌지스터의 동작전압으로 비율적으로 감소시켜 동작전압 (V_{DD}= 1.5 V)의 1.1배 (1.1 V_{DD})에서의 수명을 예측하였다.

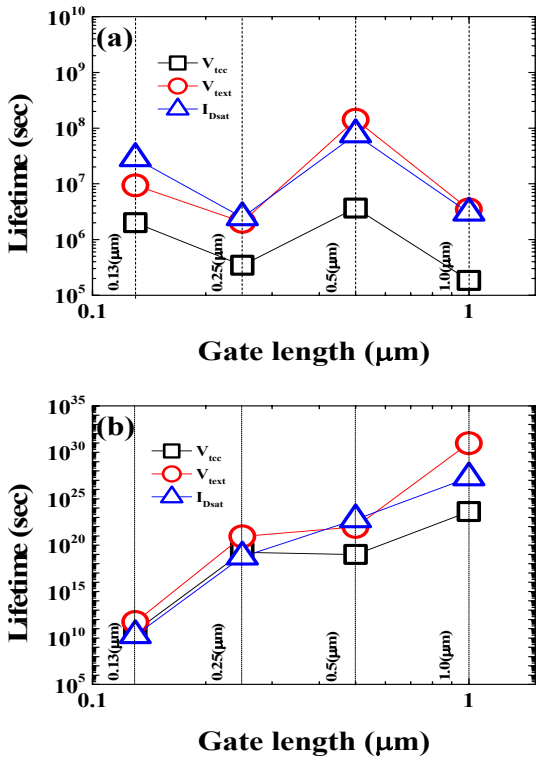

Fig. 1. Lifetime of PMOSFET versus channel length after (a) NBTI stress at 125℃ and (b) CHC stress at 25℃.

그림 1(a)에서 NBTI 스트레스의 경우, 채널 길이가 1.0 μm에서 0.13 μm으로 줄어듦에 따라 채널 길이

에 무관하게 최댓/최솟값이 약 10~30배 내외로 변화가 작은 반면 CHC 스트레스의 경우 그림 1(b)와 같이 채널 길이가 1.0 μm에서 0.13 μm으로 감소할 때, 약 10^{13}~10^{19}배 정도 수명이 급격하게 감소한 것을 확인할 수 있다.

채널 길이가 줄어듦에 따라 NBTI 스트레스에 비해 CHC 스트레스 이후의 PMOSFET의 수명이 급격하게 감소하는 원인을 분석하기 위해 전하 펌핑 측정과 플리커 잡음 결과를 분석하였다. 먼저 그림 2와 같이 게이트 산화막과 채널이 맞닿아 있는 경계(interface)에 존재하는 계면 트랩의 양을 확인하기 위해 각각 전하 펌핑 측정을 통해 분석하였다. Chen은 전하 펌핑 측정 시 게이트 전압에 걸리는 펄스를 통해 MOSFET의 채널에 전송자가 축적 상태 (accumulation)으로부터 반전 상태 (inversion)으로, 그리고 다시 축적 상태로 돌아올 때 가장 큰 전류가 흐르게 되는데, 이 최대 전하 펌핑 전류 ($I_{cp(max)}$)를 가지고 아래와 같이 Si-SiO_2 경계의 트랩 수를 구할 수 있다고 설명하고 있다 [14].

$$I_{cp(\max)} = qfN_{it}WL \quad (1)$$

여기서 q는 전하량 N_{it}는 Si-SiO_2 경계의 트랩 농도, W는 소자의 폭, L은 소자의 길이를 나타낸다. 스트레스 전압, 시간에 따른 최대 전하 펌핑 전류의 변화를 각각 확인하였고, 앞서 언급한 대로 각 스트레스 전압 별로 10년 이후의 게이트 산화막과 채널의 경계면에 존재하는 트랩의 수를 예측하였고, 이를 기준으로 동작전압의 1.1배 (1.1 V_{DD})로 비율적으로 축소하여 10 년 이후의 트랩의 수를 예측하였다.

그림 2(a)와 같이 동작전압의 1.1배 (1.1 V_{DD})에서 10년 동안 NBTI 스트레스를 인가하였을 때, 게이트 산화막과 채널의 경계면에 존재하는 트랩의 농도는 채널 길이가 1.0 μm에서 0.13 um으로 줄어들 때 거의 변화가 없음을 알 수 있다. CHC 스트레스의 경우 1.0 μm에서 0.25 μm까지는 NBTI 스트레스보다 트랩의 농도가 적고, 변화량도 적지만, 0.13 μm으로 줄어들 때 같은 채널 길이에서 NBTI 스트레스의 트랩의 농도보다 더 크게 나타나고 있다. NBTI 스트레스의 경우, 스트레스가 채널 전역에서 인가되어 채널에서 게이트 방향으로 인가되는 전계에 의해 가속된 정공이 높은 온도에서 Si-H 결합을 쉽게 깰 수 있고, 이는 채널 전역에서 발생하는 현상이므로 채널 길이에 관계없이 일정하게 발생하는 것을 알 수 있다.

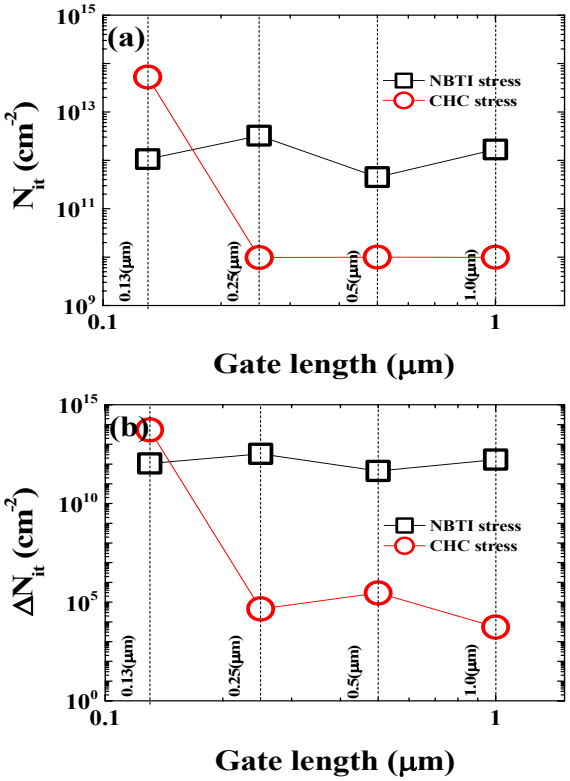

Fig. 2. (a) N_{it} and (b) change of N_{it} versus channel length after 10 year of NBTI stress and CHC stress at 1.1 V_{DD}.

하지만 CHC 스트레스의 경우, 채널 방향으로 가속되는 전계로 인해 에너지를 얻은 정공이 드레인 쪽의 Si-H 결합을 깨게 되어 채널 전역에서 일어나는 NBTI 스트레스와 달리 국부적인 열화를 갖게 된다. 채널 방향으로의 전계가 채널 길이가 감소함에 따라 증가하게 되고, 이로 인한 정공의 에너지가 높아져 Si-H 결합을 깰 수 있을 만큼의 에너지를 얻기 이전에는 interface trap의 변화가 무시할 수 있을 만큼 적게 나타나지만, 충분한 에너지를 갖게 되면 에너지를 얻은 핫홀 (hot-hole)이 Si-H 결합을 깨고 NBTI 스트레스보다 더 많이 채널과 산화막 사이의 경계면에 트랩을 많이 형성하게 된다. 그림 2에서 특이한 것은 0.13 μm인 경우에 CHC 스트레스에 의한 표면 트랩의 농도 변화가 NBTI 스트레스에 의한 것보다 훨씬 크다는 것이다.

그림 3에서 드레인 전압이 -0.1 V인 선형 구간(linear region)에서 드레인 전류가 각각 $0.1\mu A \times (W/L)$가 흐르도록 하는 게이트 전압을 인가하고 시간에 따른 NBTI 스트레스, 그리고 CHC 스트레스 이후의 플리

커 잡음 변화를 확인하였다. 플리커 잡음 발생 원인을 규명하기 위해 여러 가지 모델이 현재까지 발표되는데, 대표적인 세 가지 모델은 NMOSFET에서 채널을 통과하는 전송자 (carrier)가 게이트 산화막 내 트랩에 trapping/detrapping되는 것에 의해 발생한다는 전송자수 요동 모델 (number fluctuation model) [15-18]과 PMOSFET에서 전송자가 channel을 이동하면서 이동도가 요동하여 발생한다는 전송자 이동도 요동 모델 (mobility fluctuation model) [15-18] 그리고 NMOSFET과 PMOSFET 모두에 대해 적용하기 위한 통합 모델 (unified model)이 있다 [18]. 통합 모델은 트랩에 trapping/detrapping하는 것과 트랩의 극성에 전송자가 이끌려 이동도가 변화하는 것을 통해 게이트 산화막 내의 전송자 수로 통합한 모델이다 [18]. 이번 실험에서 이 통합 모델을 통해 PMOSFET의 게이트 산화막에 존재하는 트랩의 수를 추출하였다.

먼저 총 드레인 전류의 PSD는 다음과 같다 [18].

$$S_{ID}(f) = \frac{1}{L^2}\int_0^L S_{\triangle ID}(x,f)\triangle x dx \qquad (2)$$
$$= \frac{kTI_D^2}{\gamma f WL^2}\int_0^L N_t(E_{fn})\left[\frac{1}{N(x)} \pm \alpha\mu\right]^2 dx$$

여기서 W는 채널 넓이, L는 채널 길이, f 는 주파수, x 는 채널방향 길이 변화, γ는 oxide 내 전자 파동 함수의 감쇠 계수이고 Si-SiO_2 시스템에서 통상 10^{-8} cm^{-1}을 갖는다 [19]. N_t는 산화막에 존재하는 트랩 수, E_{fn}는 의사 페르미 준위 (quasi fermi level), α는 Hooge 파라미터, μ는 전송자 이동도이다. 실험적으로 증명하였을 때 $\alpha\mu$의 부호는 positive가 되어야 한다고 발표되었다 [19]. 낮은 드레인 전압에서 전송자 밀도가 채널을 따라 균일하고, 따라서 $qN = C_{ox}(V_g - V_{th})$라면 식 (2)는

$$S_{ID}(f) = \frac{kTI_D^2}{\gamma f WL}\left(\frac{1}{N} + \alpha\mu\right)^2 N_t(E_{fn}) \qquad (3)$$

으로 간소화된다. 따라서 식 (3)으로 의사 페르미준위에서의 단위 부피당 trap 수를 추출할 수 있다 [19].

식 (3)을 통해 의사 페르미 준위에서의 단위 부피당 트랩 수를 추출하였고, 동작 전압으로 10년 동안 (a) NBTI 스트레스와 (b) CHC 스트레스를 각각 인가하였을 때의 의사 페르미 준위에서의 단위 부피당 트랩 수를 도시하였다.

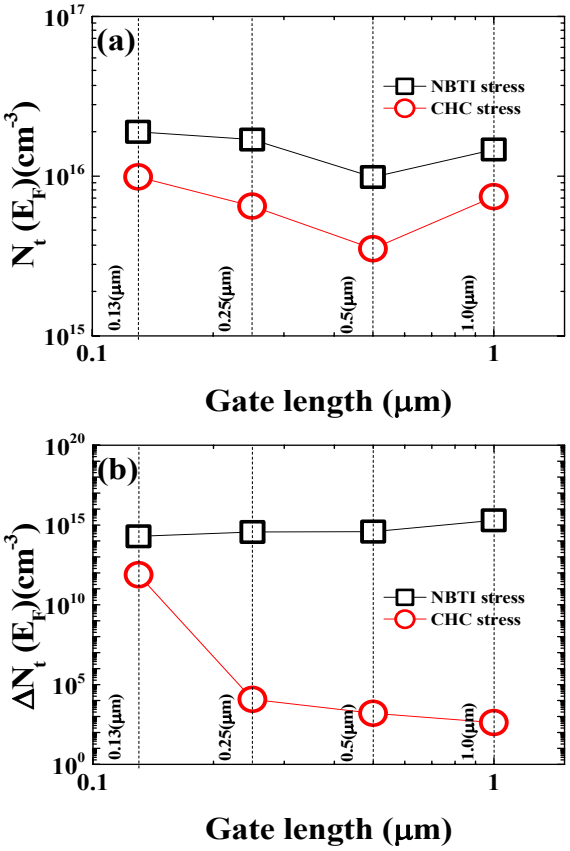

Fig. 3. N_{it}, N_t degradation of PMOS after 10 years of (a) NBTI stress and (b) CHC stress at 1.1 V_{DD} versus channel length.

그림 3에서 NBTI 스트레스의 경우, 그림 2(a)에서와 같이 게이트 산화막에서 발생하는 트랩의 수가 거의 일정하다. 이는 채널의 경계면에서 온도에 의해 에너지를 얻은 정공이 Si-H 결합을 깨고, 이 때 발생한 수소가 게이트 산화막으로 침투하여 게이트 산화막에 트랩을 발생시키게 된다고 할 수 있다 [6,19]. 특히 NBTI 스트레스의 경우 채널의 전역에서 열화가 발생하므로 채널 길이에 따라 큰 차이를 보이지 않는다.

그림 3에서 CHC 스트레스의 경우 그림 2(b)에서와 마찬가지로 단위 부피당 게이트 산화막에서의 트랩의 수가 채널 길이가 0.13 μm으로 줄어듦에 따라 크게 증가하는 것을 확인할 수 있다. 이는 그림 2(b)에서의 채널 길이가 감소하면서 채널방향으로의 전계 증가로 인해 가속된 핫홀이 채널 길이가 0.13 μm으로 감소

하였을 때 Si-H 결합을 깨어 트랩의 수를 크게 증가시켰고, 이때 발생한 수소가 게이트 산화막으로 확산하여 SiO_2의 결합을 깨어 게이트 산화막에도 트랩의 수를 증가시켰기 때문이다.

그림 3에서의 게이트 산화막에서의 단위 면적당 트랩의 수 변화는 그림 2에서의 게이트 산화막과 채널의 경계면에서의 단위 면적당 트랩의 수 변화보다 적게 나타나며, 각 스트레스에 따른 수명은 게이트 산화막에서의 단위 면적당 트랩 수 변화 보다는 게이트 산화막과 채널의 경계면에서의 단위 면적당 트랩의 수 변화를 따라 감소한다.

4. 결 론

NBTI 스트레스의 경우 채널 전역에서 열화가 발생하기 때문에 채널 길이가 줄어듦에 따른 소자 열화 변화는 수십 배 정도로 적게 일어난다. 하지만 CHC 스트레스의 경우 드레인 쪽에서 열화가 주로 발생하게 되며, 채널의 길이가 줄어듦에 따라 드레인 쪽에서의 열화 비중이 증가하여 NBTI 스트레스보다 큰 10^{13}~10^{17}배의 열화 특성을 보였다. 특히 0.13 μm 이상의 크기에서는 NBTI stress에 의한 소자 열화가 HC stress에 의한 열화보다 컸지만, 0.13 μm에서는 오히려 HC 수명이 NBTI 수명보다 낮게 분석되었다. 이러한 열화의 원인은 게이트 산화막에서의 열화 보다는 게이트 산화막과 채널의 경계면에서 발생하는 열화 현상으로 파악된다. 따라서 채널 길이가 점차 줄어듦에 따라 PMOSFET에서 CHC 스트레스에 따른 열화 특성 분석은 반드시 고려되어야 할 것이며, 공정 시 게이트 산화막과 채널의 경계면에서 발생하는 트랩에 대한 분석 및 이를 줄이는 방안이 반드시 고려되어야 한다.

감사의 글

본 연구는 삼성전자(주) 지원사업[201402580001, 차세대 Logic Circuit 신뢰성 연구과제]으로 수행된 연구 결과임.

REFERENCES

[1] S. Wolf. *Silicon Proc. for the VLSI Era* (LATTICE, America, 1995). p. 559-581.
[2] G. L. Rosa, F. guarin, S. Rauch, A. Acovic, J. Lukaitis, and E. Crabbe, *Reli. Phys. Sympo.(IRPS)*, 282 (1997).
[3] Y. Wang and M. Zwolinski, *Int. conf. on Solid-State and Integrated-Circuit Technology(IEEE),* 440 (2008).
[4] B. Yan, J Qin, J Dai, Q. Fan, and J. B. Bernstein, *Int. Conf. on Solid-State and Integrated-Circuit Technology(IEEE),* 125 (2008).
[5] C. E. Blat, E. H. Nicollian, and E. H. Poindexter, *J. Appl. Physics*, **69**, 1712 (1991).
[6] G. Pobegen and M. Nelhiebel, *IEEE Reli. Phys. Sympo. (IRPS)*, XT.10.1 - XT.10.6 (2013).
[7] M. Song, *IEEE Trans. Elect. Dev.*, **44**, 268 (1997).
[8] H. Kitagawa, *Proc. of 1997 Int. Symposium on Physical & Failure Analysis of Integrated Circuits*, 125 (1997).
[9] J. T. Park, *Microelectron. Reliab.*, **36**, 1659 (1996).
[10] C. Tu, S. Chen, M. Lin, M. Wang, S. Wu, S. Chou, J. Ko, and H. Huang, *Appl. Surf. Sci.,* **254**, 6186 (2008).
[11] C. R. Parthasarathy, M. Denais, V. Huard, G. Ribes, E. Vincent, and A. Bravaix, *IEEE Trans. Dev. and Mat. Rel.,* **7**, 130 (2007).
[12] C. R. Parthasarathy, M. Denais, V. Huard, G. Ribes, E. Vincent, and A. Bravaix, *Reliability Physics Symposium 2007. Proc. of 45th Annual,* 696 (2007).
[13] T. Tsuchiya, *IEEE Trans. Elect. Dev.,* **39**, 404 (1992).
[14] C. Chen, *IEEE Trans. Electr. Dev.,* **45**, 512 (1998).
[15] F. N. Hooge, *IEEE Trans. Electr. Dev.,* **41**, 1926 (1994).
[16] F. N. Hooge, *Rep. Prog. Phys.,* **44**, 480 (1981).
[17] L. K. J. Vandamme, *IEEE Trans. Electr. Dev.,* **41**, 1936 (1994).
[18] K. K. Hung, P. K. Ko, C. Hu, and Y. C. Cheng, *Transistors*, *IEEE Trans. Electr. Dev.,* **37**, 654 (1990).
[19] N. K. Jha, *IEEE Electr. Dev. Lett.*, **26**, 687 (2005).