

논문 2014-09-22

# 삼중 버퍼링 방법을 이용한 실시간 소나 신호 디스플레이를 위한 FPGA 임베디드 시스템의 구현

(An Implementation of FPGA Embedded System for Real-Time SONAR Signal Display Using the Triple Buffering Method)

김 동 진, 박 영 석\*

(Dong-Jin Kim, Young-Seak Park)

Abstract : The CRT monitor display system for SONAR signal that are commonly used in ships or naval vessels uses vector scanning method. Therefore the processing circuits of the system are complex. Also the purchase of parts is difficult as well as high-cost because the production had been shut down. FPGA-based embedded system is flexible to various digital applications because it can be able to simplify processing circuits and to make a easy customized design for end user, and it provides low-cost high-speed performance. In this paper, we describe an implementation of FPGA embedded system for real-time SONAR signal display using the triple buffering method to overcome some weakness of existing CRT system. Our system provides real-time acquisition and display capability of SONAR signal, and removes afterimage effect that is a critical problem of the system proposed in the preceding study.

Keywords : SONAR, Real-Time, Afterimage effect, Triple buffering, FPGA

## 1. 서론

선박이나 함정에서 일반적으로 사용되는 소나 신호는 자료구조와 지도중첩이 복잡한 벡터 주사 방식으로 화면 전체를 X좌표와 Y좌표에 평행한 선분으로 나눈 격자상의 좌표계를 만들어 두 점 간의 좌표 값을 통해 직선이나 곡선 등의 도형을 표시하는 형태이다[1]. 이러한 복잡한 신호를 구현하는 CRT 모니터 디스플레이 시스템은 회로 구성이 복잡하고 대부분 생산이 폐쇄되어 부품 수급이 어렵고 가격이 고가이다.

현재 국내외적으로 선박, 군함정 등에 과거에 보

급된 많은 소나 CRT 디스플레이 시스템이 사용되고 있다. 시기적으로 새로운 시스템으로 대체가 요구되나 시스템이 고가이기 때문에 기존 시스템을 활용할 필요가 있다. 그러나 대부분 부품의 생산이 폐쇄되어 보수유지가 어렵기 때문에 기존 시스템을 활용하되 LCD 디스플레이 시스템으로 전환하여 사용할 필요성이 대두되고 있다.

현재 많이 사용되는 데이터 획득 시스템은 데이터를 획득하기 위한 별도의 보드를 사용하거나 또는 마이크로프로세서를 사용하여 데이터를 수집하고 저장하였다. 이러한 시스템의 단점은 매우 비싸고, 확장성이 제한되며, 경우에 따라서는 전자기의 간섭에 약하다. 특히 마이크로프로세서의 경우 CPU의 클럭 속도가 느리기 때문에 입력 데이터를 실시간으로 처리하기에는 적합하지 않다. DSP의 경우 데이터 처리 속도는 빠르지만 그만큼 더 높은 비용을 지불해야 하며, 시스템의 성능 향상에도 많은 제약이 따른다[2]. 이에 반해 FPGA 임베디드 시스템은 사용자 맞춤형 설계가 가능함으로써 각종 응용에 유연하고, 비용 대비 높은 처리 속도를 제공

\*Corresponding Author(yspark@kyungnam.ac.kr)

Received: 9 Dec. 2013, Revised: 28 Jan. 2014,

Accepted: 4 Mar. 2014.

D.J. Kim: ETRI

Y.S. Park: Kyungnam University

※ 본 논문은 2013년도 경남대학교 학술연구 장려금 지원에 의한 것임.

하기 때문에 실시간 데이터 획득 및 처리에 적합하다[3].

선행 연구[4]에서는 기존의 소나 신호용 CRT 모니터 디스플레이 시스템의 단점인 복잡한 회로구성, 가격의 고가, 생산이 폐쇄되어 부품 수급 및 확보의 어려움을 극복하기 위해 범용성이 있는 FPGA 임베디드 시스템을 사용하여 실시간으로 소나 신호를 획득하고 LCD에 디스플레이하는 것이 가능하였다. 그러나 싱글버퍼를 사용하기 때문에 두 가지 작업을 병행할 수 없어 잔상효과가 발생하는 문제점이 발견되었다.

본 연구에서는 선행 연구[4]에서 제안된 시스템의 문제점인 잔상효과를 제거하기 위해 삼중 버퍼링 알고리즘을 적용하였다. 구현 시스템은 기존 시스템의 주요 회로모듈들을 그대로 활용하면서 시스템의 회로 구성을 단순화할 수 있고, 실시간으로 소나 신호의 획득 및 디스플레이가 가능하며, 잔상효과를 제거할 수 있었다.

실시간으로 출력되는 소나 신호를 획득하기 위한 소나 신호 획득 모듈과 획득한 소나 신호를 RGB 컬러 신호로 변환하기 위한 신호 처리 모듈, 잔상효과를 제거하기 위한 삼중 버퍼링(Triple Buffering) 모듈과 RGB 컬러 신호를 디스플레이 하기 위한 1024x768 해상도를 지원하는 VGA 제어를 설계하고 구현하였다.

### II. SONAR 신호 디스플레이 시스템

일반적인 선박이나 함정에서 주로 사용되는 소나를 사용한 CRT 모니터 디스플레이 방식은 일반적으로 사용되는 래스터 주사(raster-scan) 방식이 아니라 벡터 주사(vector-scan) 방식을 사용한다. 벡터 주사 방식은 지정된 지표를 직선으로 연결해 가는 선에 의한 표시 방법이다.

그림 1은 음향 탐지 장비인 소나를 사용한 기존 CRT 모니터 디스플레이 시스템의 회로 블록도이다. 디스플레이 인터페이스 모듈은 소나로부터 출력되는 아날로그 디스플레이 데이터를 디지털 신호인 X-Y 좌표와 8비트 제어 신호로 변환한다. 변환된 X-Y 좌표 신호는 X-Y Deflection 모듈로 전달되며, 제어 신호는 CRT 제어 모듈로 전달되어 CRT 모니터를 디스플레이 하기 위한 신호로 변환되어 출력된다.

그림 2는 기존의 소나 장비를 사용한 CRT 디스플레이 시스템의 단점을 보완할 수 있는 FPGA 임

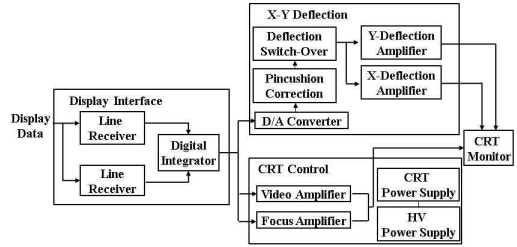


그림 1. SONAR 장비를 사용한 CRT 디스플레이 시스템

Fig. 1 CRT display system using SONAR equipment

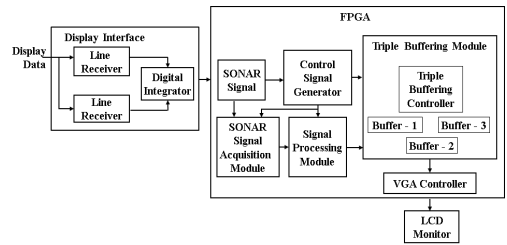


그림 2. FPGA 임베디드 시스템을 사용한 LCD 모니터 디스플레이 시스템

Fig. 2 LCD monitor display system using FPGA embedded system

베디드 시스템을 사용한 소나 신호 디스플레이 시스템의 블록도이다. 기존의 시스템에 비해 X-Y Deflection과 CRT 제어 블록을 FPGA 임베디드 시스템으로 대체함으로써 시스템을 간단하게 구성할 수 있고, 높은 유연성과 저 가격화가 가능하다.

### III. FPGA 임베디드 시스템 설계

하드웨어 설계의 주요 도구로는 Quartus II 설계 소프트웨어, Nios II 프로세서와 주변장치를 구성하기 위한 SOPC Builder, Modelsim 시뮬레이션 소프트웨어 그리고 구현회로 검증을 위한 SignalTap II 임베디드 논리 해석기를 이용한다[5-7]. 그림 3은 본 연구에서 구현하고자 하는 FPGA 임베디드 시스템의 하드웨어 블록도이다.

#### 1. 소나 신호 획득 모듈 구현

디스플레이 인터페이스 모듈로부터 출력되는 소나 신호를 실시간으로 획득하기 위해서는 사용자 IP 설계가 요구된다. 이러한 사용자 IP는 재사용 가

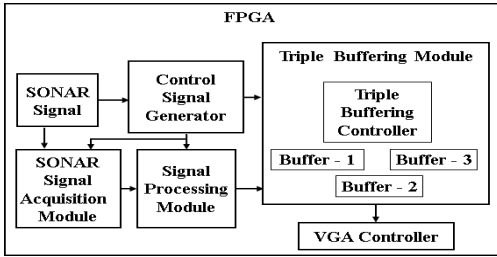


그림 3. 하드웨어 블록도

Fig. 3 Hardware block diagram

표 1. 소나 신호 형식

Table 1. SONAR signal format

| 유효 Data  | 색상정보 |    |        | 색상 밝기      |
|----------|------|----|--------|------------|
| Z<br>H/D | F1   | F2 | 색상     | Z3, Z2, Z1 |
| 1        | 1    | 1  | Green  | 100        |
|          |      |    |        | 011        |
|          |      |    |        | 010        |
|          |      |    |        | 001        |
|          |      |    |        | 000        |
|          |      |    |        | 111        |
|          |      |    |        | 110        |
| 1        | 1    | 0  | Yellow | 100        |
|          |      |    |        | 011        |
|          |      |    |        | 010        |
|          |      |    |        | 001        |
|          |      |    |        | 000        |
|          |      |    |        | 111        |
|          |      |    |        | 110        |
| 1        | 0    | 0  | Red    | 100        |
|          |      |    |        | 011        |
|          |      |    |        | 010        |
|          |      |    |        | 001        |
|          |      |    |        | 000        |
|          |      |    |        | 111        |
|          |      |    |        | 110        |

능하며, 라이선스가 없는 장점이 있다.

표 1은 소나 신호 형식이다. Z H/D는 현재 입력되는 소나 신호가 유효한지 판별하고, F1과 F2는 색상을 판별하며, Z1, Z2, Z3은 색상의 밝기를 판별하는 신호이다.

실시간으로 획득할 데이터는 x-y 좌표와 제어 신호이다. 제어 신호는 x-y 좌표 데이터보다 2주기 지연되어서 입력되기 때문에 x-y 좌표 데이터를 2주기 지연시키는 로직이 필요하다. 그림 4는 소나 신호 획득 모듈의 블록도이다. 신호 동기화 모듈(Signal Synchronization Module)은 클럭 신호에 동기화하여 소나 신호를 획득한 후 x-y 좌표 데이터는 2주기 지연하여 제어신호와 함께 FIFO에 저장한다.

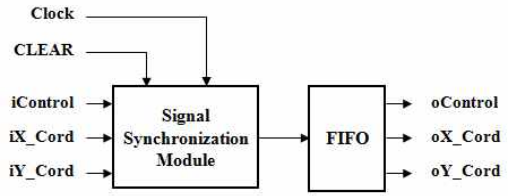


그림 4. 소나 신호 획득 모듈의 블록도

Fig. 4 Block diagram of SONAR signal acquisition module

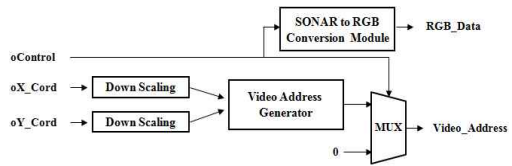


그림 5. 신호 처리 모듈의 블록도

Fig. 5 Block diagram of signal processing module

## 2. 신호 처리 모듈 구현

획득한 소나 신호를 LCD에 디스플레이하기 위해서는 일반적인 영상신호로 변환해야 한다. 그림 5는 소나 신호를 RGB 신호로 변환하기 위한 신호 처리 모듈의 블록도이다. 입력되는 소나 신호 중에서 x-y 좌표 데이터는 그 범위가 0~4096이며, LCD에 디스플레이 하기 위한 영상 해상도는 1024×768이므로 다운 스케일링(Down scaling)이 요구된다. 다운 스케일링된 x-y 좌표는 비디오 어드레스 생성기에 의해 비디오 어드레스로 변환된다. 신호처리 모듈에 의해 생성된 비디오 어드레스는 삼중 버퍼링 모듈로 입력되고, RGB 데이터는 VGA 제어로 입력된다.

## 3. 삼중 버퍼링 모듈 구현

디스플레이 모듈로부터 입력되는 소나 신호 중에서 좌표 데이터는 22ms 주기로 입력된다. 화면을 지우기 위한 Clear 신호는 유효 좌표 데이터가 입력 중에는 "low"를 유지하며, 한 주기의 유효 좌표 데이터의 입력이 완료되면 약 5.5ms 동안 "high"를 유지한다.

선행연구[4]에서 제안된 시스템은 싱글버퍼를 사용하여 약 17ms 동안 소나 신호를 획득하고, LCD 모니터에 디스플레이하며, Clear 신호가 "high" 즉, 5.5ms 동안 프레임 버퍼의 내용을 지운다. 이러한 시스템은 하나의 버퍼를 사용하여 신호

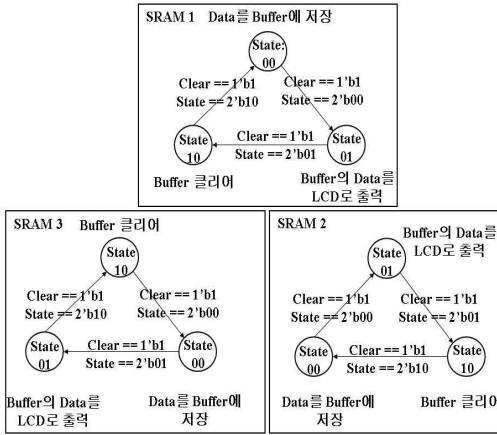


그림 6. 삼중 버퍼링 모듈의 상태도

Fig. 6 State diagram of triple buffering

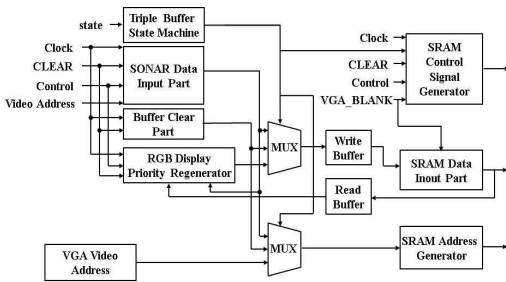


그림 7. 삼중 버퍼링 모듈의 블록도

Fig. 7 Block diagram of triple buffering module

를 획득하고 디스플레이 하기 때문에 두 가지 작업을 병행할 수 없을 뿐만 아니라 프레임 버퍼를 지우기 위해서는 약 16ms의 시간이 소요되기 때문에 데이터가 유실되거나 잔상효과가 발생하게 된다.

본 연구에서는 잔상효과가 발생하는 문제점을 해결하기 위해 SRAM 3개를 장착하고, 삼중 버퍼링 알고리즘을 적용하였다.

그림 6은 삼중 버퍼링 모듈의 상태도이다. 상태 머신은 Clear 신호가 상승에지일 때 현재 상태에서 다음 상태로 천이를 하며, 먼저 상태머신이 "00"일 경우 소나 데이터를 SRAM에 저장한다. 상태머신이 "01"일 경우 SRAM에 저장된 소나 데이터를 LCD 모니터로 출력하며, "10"일 경우 SRAM을 클리어한다. 각각의 SRAM이 3개의 상태를 반복함으로써 잔상효과를 제거하여 소나 신호를 LCD 모니터에 디스플레이 한다.

그림 7은 삼중 버퍼링 모듈의 블록도로서 상태 머신, 소나 입력 부, 버퍼 클리어 부, RGB 디스플

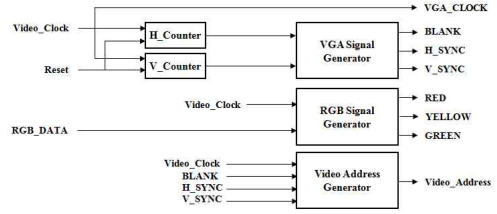


그림 8. VGA 제어기의 블록도

Fig. 8 Block diagram of VGA controller

레이 우선순위 생성기, SRAM 제어 신호 생성기, SRAM 데이터 입출력 부, SRAM 어드레스 생성기로 구성된다.

소나 데이터 입력 부는 신호 처리 모듈로부터 소나 데이터를 입력받는다. 버퍼 클리어 부는 상태 머신의 상태가 "10"일 때 버퍼를 클리어한다. RGB 디스플레이 우선순위 생성기는 소나 데이터와 SRAM에 저장되어 있는 데이터를 비교하여 RGB 색상의 우선순위를 결정한다. SRAM 제어 신호 생성기는 각각의 상태에 따라 SRAM 읽기 또는 쓰기를 위한 제어 신호를 생성한다. SRAM 데이터 입출력 부는 SRAM의 데이터 입력과 출력을 담당하며, SRAM 어드레스 생성기는 소나 데이터 입력 부로부터 출력되는 Video\_Address 신호와 VGA 제어기로부터 출력되는 VGA\_Video\_Address 신호 중에서 상태 머신의 상태에 따라 SRAM 어드레스를 생성한다.

#### 4. VGA 제어기 구현

획득한 x-y 좌표 및 제어 신호를 LCD에 디스플레이 하기 위해서는 VGA 제어기가 요구된다. 공개용 VGA 제어기가 많이 있지만, 본 연구에 적용하기에는 부적합하며 대부분 지원하는 해상도가 640×480이다. 본 연구에 적합한 VGA 제어기는 1024×768의 해상도가 요구된다.

그림 8은 소나 신호를 디스플레이 하기 위한 VGA 제어기의 블록도이다. Video\_Clock을 이용하여 H\_Counter와 V\_Counter를 생성하고, 생성된 카운터를 이용하여 VGA 동기신호를 생성한다. 생성된 동기 신호와 Video\_Clock을 이용하여 Video\_Address 신호를 생성하여 LCD 모니터에 디스플레이 하기 위한 소나 신호를 삼중 버퍼링 모듈로부터 읽어온다. 입력된 RGB\_DATA는 RGB Signal Generator 내부에 존재하는 룩업 테이블에 의해 RED, YELLOW, GREEN 컬러 신호를 생성하게 된다.

표 2. 실험 환경

Table 2. Experiment environment

| 종류            | 사양  |
|---------------|---|
| FPGA 설계 소프트웨어 | ▶ Quartus II 12.0<br>▶ Nios II EDS 12.0<br>▶ Modelsim-Altera 10.0d          |
| 개발 보드         | ▶ FPGA - Cyclone IV EP4CE115<br>▶ SRAM - IS61WV102416ALL<br>▶ VGA - ADV7123 |
| 소나 신호 생성      | ▶ 하드웨어 : NI PCI-6534<br>▶ 소프트웨어 : NI LabWindows CVI 8.5                     |

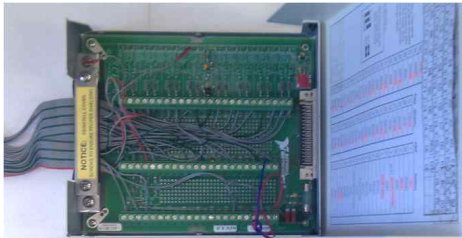


그림 9. NI PCI-6534  
Fig. 9 NI PCI-6534

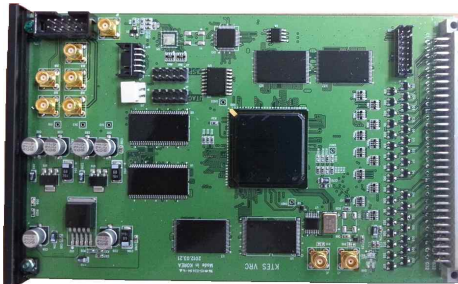


그림 10. 개발 보드  
Fig. 10 Development board

## IV. 실험결과 및 고찰

### 1. 실험환경

본 논문의 실험을 위한 시스템 구성은 표 2에서 언급한 바와 같이 Altera Cyclone IV 디바이스[8]와 SRAM[9] 그리고 VGA DAC가 장착된 개발보드를 사용하였으며, X-Y좌표 및 제어 신호를 생성하기 위해서 NI사의 PCI-6534보드[10]를 사용하여 소나 신호를 수집하여 재 생성하였다.

그림 9는 소나 신호 생성을 위한 NI PCI-6534 보드이며 그림 10은 실제 함정에 장착되어 소나 신호를 획득하고 처리하여 LCD 모니터에 디스플레이 하기 위한 개발 보드이다.

### 2. 선행연구 시스템의 문제점

그림 11은 로직 분석기로 획득한 소나 신호의 파형이다. 좌표 데이터와 제어신호는 22ms 주기로 입력되며, Clear 신호는 좌표 데이터가 입력이 완료된 후 5.5ms 동안 "high"를 유지한 후 다음 주기의 좌표 데이터와 제어신호가 입력된다.

선행연구 시스템에서 구현한 VGA 제어기의 해상도는 1024×768이다. 따라서 프레임 버퍼의 내용을 모두 지우기 위해서는 약 16ms의 시간이 소요되며, Clear 신호가 "high"일 동안 프레임 버퍼의 내용을 모두 지울 수 없다. 만약 프레임 버퍼의 내용을 모두 지우면 다음 주기의 좌표 데이터와 제어신호를 놓치게 되어 전체 화면을 완전하게 구성할 수 없게 된다.

그림 12와 그림 13은 선행연구 시스템의 문제점을 보여주는 결과 화면이다. 그림 12는 프레임 버퍼를 완전하게 지우지 못해 잔상효과가 발생한 결과 화면이고, 그림 13은 프레임 버퍼의 내용을 모두 지웠지만 다음 주기의 좌표 데이터와 제어신호를 놓치게 되어 화면 우하단의 픽셀이 유실된 결과 화면이다.

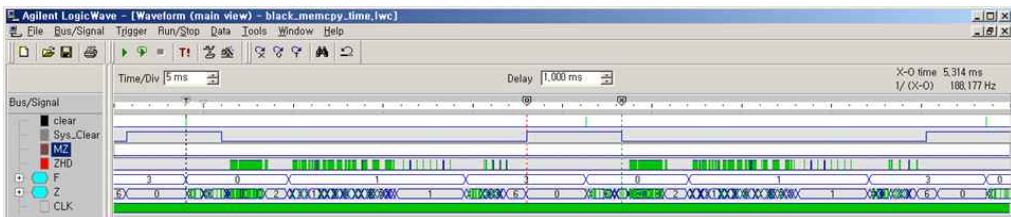


그림 11. 소나 신호 파형  
Fig. 11 SONAR signal waveform

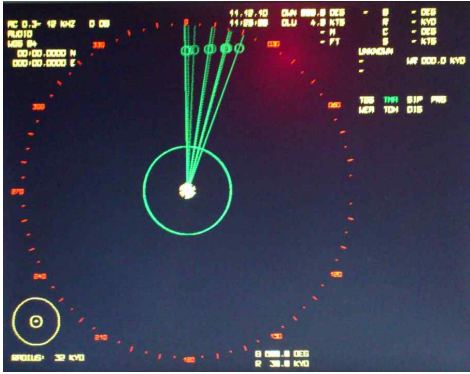


그림 12. 잔상효과 화면  
Fig. 12 Afterimage effect screen



그림 13. 데이터 유실 화면  
Fig. 13 Data loss screen

### 3. IP 시뮬레이션 검증

구현회로 검증은 Window 7 OS 환경에서 Modelsim 시뮬레이션 툴을 이용한 RTL 회로검증 그리고 로직 분석기를 이용하여 실제 구현 회로를 FPGA에 실장하여 회로를 검증하였다.

그림 14는 소나신호 획득 모듈의 Modelsim 시뮬레이션 결과이다. dclk는 소나로부터 입력되는 8MHz 클럭이며, clear는 화면을 지우기 위해 22ms마다 입력된다. zhd, x\_pos, y\_pos, f, z신호는 좌표와 제어 신호이다.

그림 15는 신호처리 모듈의 Modelsim 시뮬레이션 결과이다. z\_hd는 유효 데이터를 판별하는 신

호로써 z\_hd의 값이 참일 때 x, y 좌표와 제어신호를 이용하여 비디오 어드레스 신호(pos\_addr)와 RGB 데이터 신호(pos\_data)를 생성한다.

그림 16은 삼중 버퍼링 모듈의 Modelsim 시뮬레이션 결과이다. state가 00일 경우 데이터를 버퍼에 저장하는 상태이며, 01일 경우 버퍼의 데이터를 LCD에 출력하며, 10일 경우 버퍼를 클리어하는 상태이다. state 신호에 의해 SRAM 제어신호(ce\_n, oe\_n, we\_n)를 생성한다.

그림 17은 VGA 제어기의 Modelsim 시뮬레이션 결과이다. 삼중 버퍼링 모듈로부터 입력되는 RGB 데이터(sram1\_rd\_data, sram2\_rd\_data,

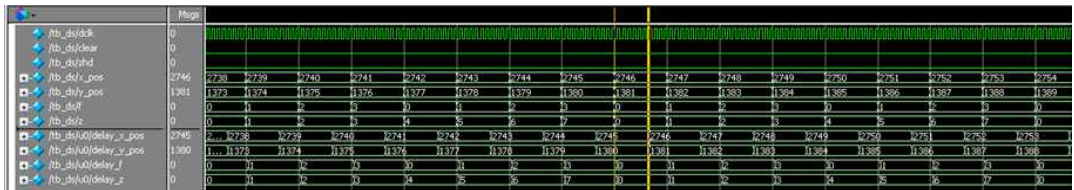


그림 14. 소나신호 획득 모듈의 시뮬레이션 결과  
Fig. 14 Simulation result of SONAR signal acquisition module

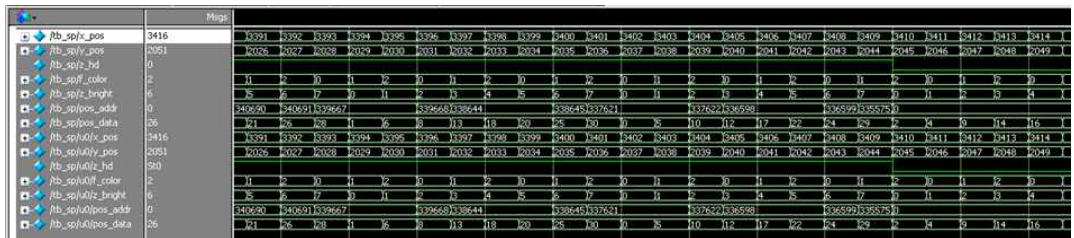


그림 15. 신호처리 모듈의 시뮬레이션 결과  
Fig. 15 Simulation result of signal processing module



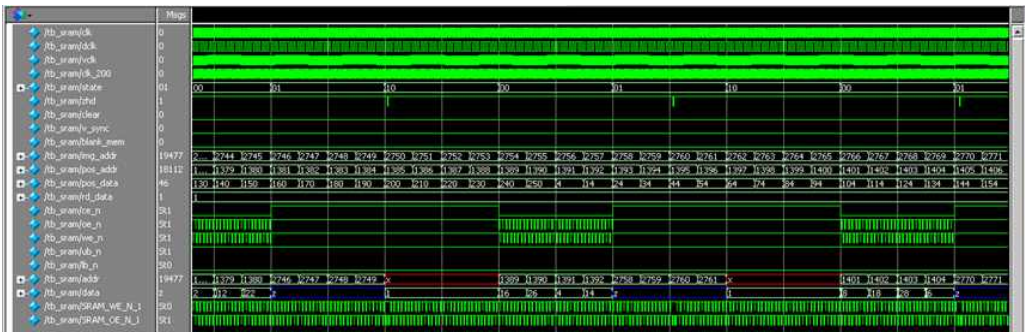


그림 16. 삼중 버퍼링 모듈의 시뮬레이션 결과

Fig. 16 Simulation result of triple buffering module



그림 17. VGA 제어기의 Modelsim 시뮬레이션 결과

Fig. 17 Simulation result of VGA controller

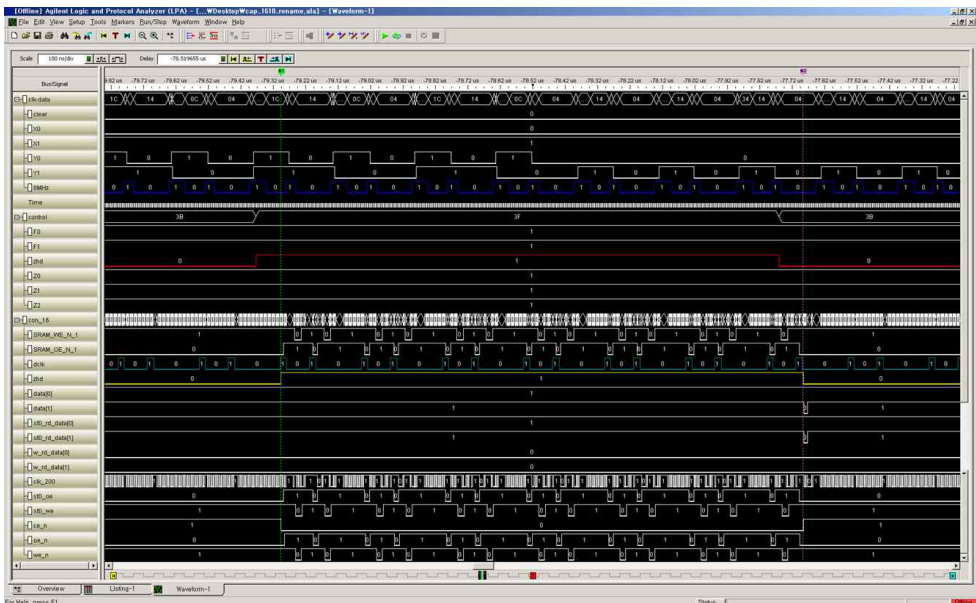


그림 18. 로직 분석기를 이용한 신호 확인

Fig. 18 Signal check using logic analyzer

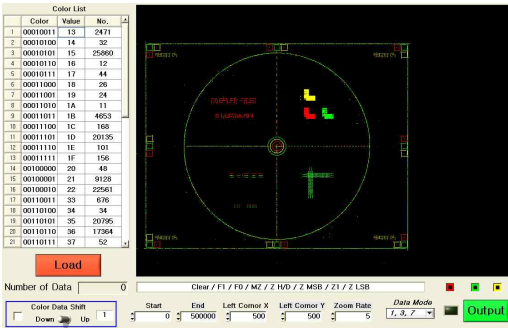


그림 19. CVI 프로그램의 실행 결과

Fig. 19 Execution result of CVI program



그림 21. 실험 결과 화면

Fig. 21 A screen of experimental result



그림 20. 기존 CRT 디스플레이 시스템의 출력 화면

Fig. 20 Output screen of existing CRT display system

표 3. IP의 성능

Table 3. The performance of IP

| 구분                | 데이터<br>사이즈  | 처리 속도        |
|-------------------|-------------|--------------|
| SONAR 신호<br>획득 모듈 | 4096 * 4096 | 22 ms        |
| 신호처리<br>모듈        | 4096 * 4096 | 22 ms        |
| 삼중 버퍼링<br>모듈      | 4096 * 4096 | 22 ms        |
| VGA 제어기           | 1024 * 768  | 60 frame/sec |

sram3\_rd\_data)에 의해 VGA\_R, VGA\_G, VGA\_B의 값이 생성된다. img\_addr는 VGA 제어기의 비디오 어드레스이며, 이 값은 oBlank\_addr의 값이 참일 때 증가되어 삼중 버퍼링 모듈의 SRAM 어드레스를 생성할 때 사용된다.

IP 시뮬레이션 검증의 마지막 단계로 실제 함정에 개발 보드를 장착하고, 구현 회로를 FPGA에 실장하여 로직 분석기를 통해 실제 하드웨어 상에서 신호를 확인하였다.

그림 18에서 clear, X0, X1, Y0, Y1, 8MHz, F0, F1, zhd, Z0, Z1, Z2는 소나 장비로부터 출력되는 소나 신호이다. st0\_oe, st0\_we, ce\_n, oe\_n, we\_n는 삼중 버퍼링 모듈에서 생성한 SRAM 제어 신호이며, w\_rd\_data는 SRAM의 데이터 신호, st0\_rd\_data는 상태머신이 "00"일때 SRAM에 저장된 RGB 데이터이다. zhd가 상승에지이고, dclk가

"1"일 때 st0\_oe가 "0"이 되어 SRAM에 있는 데이터를 읽은 다음 소나 데이터와 비교하여 색상 우선순위를 결정한 다음 st0\_we가 "0"이 되어 SRAM에 저장한다. 저장된 데이터는 상태머신이 "01"일 때 VGA 제어기에서 생성한 비디오 어드레스에 의해 LCD 모니터로 출력된다.

#### 4. 실험결과 및 고찰

SONAR 신호를 생성하기 위해 NI PCI-6534 보드를 사용하였다. 그림 19는 NI PCI-6534 보드로 X-Y좌표 및 제어 신호를 생성하기 위한 LabWindows CVI 프로그램을 작성하여 실행한 결과이고, 가운데 그림이 NI PCI-6534 보드의 출력 포트를 통해 개발 보드의 입·출력포트로 입력된다.

그림 20은 기존 CRT 디스플레이 시스템의 소나 신호 출력 화면이며, 그림 21은 본 연구에서 구현한 시스템을 실제 함정에 장착하고 실시간으로 소나 신호를 획득하여 VGA 제어기를 통해 LCD모



니터로 출력한 결과 화면이다. 실시간으로 소나 신호를 획득하고, 잔상효과 없이 LCD 모니터에 출력됨을 확인함으로써 기존 CRT 디스플레이 시스템을 대체할 수 있었다.

표 3은 본 연구에서 구현한 IP의 성능 평가표이다. SONAR 신호 획득 모듈과 신호처리 모듈, 삼중 버퍼링 모듈의 경우 실시간으로 입력되는 4096\*4096 크기의 소나 신호를 22ms로 처리가 가능하였으며, VGA 제어기는 1024\*768의 영상을 초당 60프레임으로 출력이 가능하였다.

## V. 결 론

본 연구에서는 기존의 SONAR 신호를 사용한 CRT 모니터 디스플레이 시스템의 단점인 복잡한 회로구성, 가격의 고가, 생산이 폐쇄되어 부품 수급 및 확보의 어려움을 극복하기 위해 범용성이 있는 FPGA 임베디드 시스템을 사용함으로써 실시간 SONAR 신호의 획득 및 디스플레이가 가능하였으며, 시스템의 회로 구성을 간단히 할 수 있었다. 또한 삼중 버퍼링 알고리즘을 적용하여 선행연구[4]에서 문제점인 잔상효과를 제거할 수 있었다.

실시간으로 출력되는 소나 신호를 획득하기 위한 소나 신호 획득 모듈과 획득한 소나 신호를 RGB 컬러 신호로 변환하기 위한 신호처리 모듈, 잔상효과 제거를 위한 삼중 버퍼링 모듈 및 RGB 컬러 신호를 디스플레이 하기 위한 VGA 제어기를 구현하였다.

실시간으로 입력되는 소나 신호의 손실 없이 디스플레이 됨을 확인할 수 있었으며, 소나 신호 획득 및 처리 모듈의 경우 4096\*4096 사이즈의 데이터에 대해 22ms 처리 속도를 확인하였으며, VGA 제어기는 1024\*768의 영상을 초당 60프레임으로 출력할 수 있었다.

## References

[1] TTA: Vector Scan, Available on <http://word.tta.or.kr/terms/terms.jsp>

[2] C.F. Qiu, Q.Z. Zhou, C.J. Wei, F.I. Xu, "The Implement of High Speed Data Acquisition System Based-on SOPC Technology", Proceedings of IEEE International Conference on Automation and Logistics, pp.1528-1531, 2009.

[3] W.I. Wang, G.D. Zhong, "The Design and Implementation of High-Speed Data Acquisition System Based on NIOS II", Proceedings of International Conference on Computing Control and Industrial Engineering, Vol. 2, pp.334-336, 2010.

[4] D.J. Kim, D.W. KIM, Y.S. Park, "An Implementation of Real-Time SONAR Signal Display System using the FPGA Embedded Processor System," Journal of the institute of signal processing and systems, Vol. 12, No. 4, pp.315-321, 2011 (In Korean).

[5] Altera Corp., Embedded Design Handbook, pp.1-318, 2011.

[6] Altera Corp., Simulating Nios II Embedded Processor Designs, pp.1-5, 2008.

[7] Altera Corp., Using SignalTap II Embedded Logic Analyzers in SOPC Builder System, pp.1-21, 2007.

[8] Altera Corp., Cyclone IV Device Handbook, pp.1-488, 2013.

[9] Integrated Silicon Solution Inc., IS61WV102416ALL, pp.1-18, 2009.

[10] National Instruments Corp., NI 653X User Manual for Traditional NI-DAQ, pp.1-150, 2005.

|         |
|---------|
| 저 자 소 개 |
|---------|

**김 동 진**

2007년, 경남대 정보통신  
공학과 공학사.

2009년, 경남대 정보통신  
공학과 공학석사.

2011년, 경남대 정보통신  
공학과 공학박사.

현재, 한국전자통신연구원 선임연구원.  
관심분야: FPGA설계, 임베디드 시스템  
Email: rivaldo2000@etri.re.kr

**박 영 석**

1979년, 영남대 전자공학과  
공학사.

1981년, 한양대 전자공학과  
공학석사.

1985년, 한양대 전자공학과  
공학박사.

1990년~1991년, 일본 우정성 통신종합  
연구소 (관서선단연구센터) 초빙과학자.

1990년~1991년, 일본 긴끼이동통신센터  
객원 연구원.

2001년~2002년, 미국 North Carolina 주립  
대학(NCSU) 교환교수.

2010년~2011년, 경남대학교 공과대학 학장.

2011년~현재, 경남대학교 조선해양IT 융합  
기술 사업단(고용노동부 국가 HRD 컨소시엄  
사업 운영) 단장.

1985년~현재, 경남대 정보통신공학과 교수.

관심분야: Software Engineering,  
Web-based Software Design &  
Development, Pattern Recognition, Image  
Processing, Computer Network &  
Network Computing, Embedded  
Processor System HW/SW

Email: yspark@kyungnam.ac.kr