

# 모바일 기기용 BMIC를 위한 2차 시그마 델타 모듈레이터

## Second-order Sigma-Delta Modulator for Mobile BMIC Applications

박철규\*, 장기창\*, 김효재\*, 최중호\*\*

Chulkyu Park\*, Kichang Jang\*, Hyojae Kim\*, Joongho Choi\*\*

### Abstract

This paper presents design of the second-order sigma-delta modulator for converting voltage and temperature signals to digital ones in Battery Management IC (BMIC) for mobile applications. The second-order single-loop switched-capacitor sigma-delta modulator with 1-bit quantization in 0.13-um CMOS technology is proposed. The proposed modulator is designed using switched-opamp technique for saving power consumption. With an oversampling ratio of 256 and clock frequency of 256kHz, the modulator achieves a measured 83-dB dynamic range and a peak signal-to-(noise+distortion) ratio (SNDR) of 81.7dB. Power dissipation is about 0.66 mW at 3.3 V power supply and the occupied core area is 0.425mm<sup>2</sup>.

### 요약

본 논문에서는 모바일 기기의 배터리 전력관리 IC(Battery Management IC)에서 전압 및 온도를 측정하여 디지털 신호로 바꾸어 주는 데 필요한 시그마-델타 모듈레이터를 설계하였다. 제안하는 이산-시간 시그마-델타 모듈레이터는 2차의 단일 비트 구조이고 0.13um CMOS 공정으로 제작되었다. 모듈레이터의 소모전류를 줄이기 위하여 switched-opamp 방식을 적용하여 설계하였다. 제안하는 모듈레이터는 오버 샘플링 비율이 256 일 때 256kHz의 클럭 주파수에서 83-dB의 dynamic range와 81.7dB의 peak signal-to-(noise + distortion) ratio(SNDR)를 가진다. 3.3 V의 전원전압에서 0.66 mW의 전력을 소모하며 모듈레이터 코어의 면적은 0.425mm<sup>2</sup> 이다.

*Key words* : BMIC, Second-Order, Sigma-Delta, Switched-Opamp, Timing Diagram

## 1. 서론

리튬이온 2차 배터리는 에너지 밀도가 높고, 작동 전압이 높을 뿐 아니라 우수한 수명 특성을 보이므로

스마트폰, 노트북, 디지털 카메라 등의 휴대용 전자제품에 널리 적용된다. 특히 최근 모바일 기기 수요의 증가와 더불어 다양한 멀티미디어 기능을 요구함에 따라 배터리 사용시간이 줄어들게 되어 배터리의 효율적인 관리와 보호를 위해 배터리의 특성 파라미터를 정확하게 측정하고 이를 디지털 데이터로 변환하여 배터리 측정, 관리, 보호 알고리즘을 구현 할 수 있도록 해주는 배터리 관리 집적회로(Battery Management Integrated Circuit: BMIC)기술이 필요하게 되었다. 그림 1은 BMIC를 위한 아날로그 프론트-엔드(Analog Front-End: AFE)의 블록도를 나타낸다[1,2].

BMIC를 위한 AFE 시스템의 주요 블록은 배터리

\*Dept. of Electrical and Computer Engineering, University of Seoul, [park4529@uos.ac.kr](mailto:park4529@uos.ac.kr), 010-8800-4789

★ Corresponding author ([jchoi@uos.ac.kr](mailto:jchoi@uos.ac.kr))

※ This work was supported by 2012 sabbatical year research grant of the University of Seoul.

Manuscript received May. 20, 2014; revised Jun. 16, 2014; accepted Jun. 18, 2014

로부터 감지된 전압, 전류, 온도 신호를 디지털 신호로 변환하는 Analog-to-Digital Converter(ADC) 및 이를 구동하기 위한 전원공급 장치, 보호 회로들로 구성이 된다. 핵심 블록인 ADC를 통해 출력된 디지털 데이터는 배터리 관리를 위한 알고리즘을 Micro Control Unit(MCU)에서 처리하게 되므로 ADC에서 얻을 수 있는 정확도 및 해상도가 전체 BMIC의 성능에 영향을 미친다[3].

BMIC에서 ADC는 12~16bit 정도의 해상도를 필요로 한다. 따라서 본 논문에서는 ADC의 해상도가 16bit이 되도록 목표로 정하여 설계하였다. 배터리 관리 어플리케이션에서는 일반적으로 1~100Hz 정도의 대역폭을 필요로 하지만, 가속도 센서 및 다른 센서 어플리케이션 분야에도 적용할 수 있도록 대역폭을 500Hz로 설정을 하였다. 본 논문에서 목표 해상도인 16bit를 얻기 위해 2차 시그마-델타 모듈레이터의 OSR은 256으로 설정하였다. 이에 따라 클럭 주파수는 256kHz을 필요로 하고 이는 MCU로부터 제공을 받는다.

시그마-델타 모듈레이터는 피드백 루프 내부의 아날로그 필터와 양자화기로 구성되어 있다[4]. 피드백 루프는 저주파수 대역의 양자화 잡음 및 비선형 성분을 고주파수 대역으로 보내는 잡음 변형 특성을 가지고 있다. 시그마-델타 ADC 는 시그마-델타 모듈레이터의 고주파 대역의 양자화 잡음을 디지털 저대역 통과 필터를 통과시켜 제거하고 원하는 신호 대역에서 높은 해상도를 얻게 된다. 특히 소자간의 mismatch와 같은 비이상적 현상들에 둔감하고 다른 구조의 ADC에 비하여 구조가 매우 간단하여 저전력 설계에 유리하다[5]. 이러한이유로 시그마-델타 ADC는 BMIC

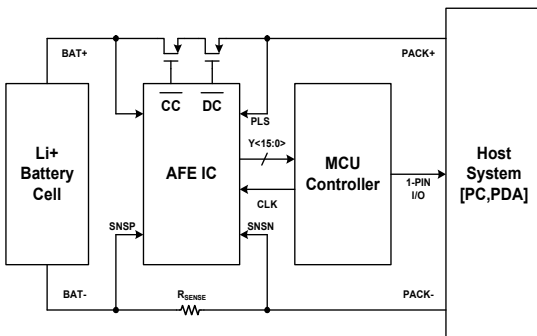


Fig. 1. Battery management IC analog front-end block diagram  
그림 1. 배터리 관리 IC 아날로그 프론트-엔트 블록도

어플리케이션에 매우 적합하며, 본 논문에서는 시그마-델타 ADC를 위한 단일비트 2차 시그마-델타 모듈레이터를 설계 하였다. 설계된 구조는 전체 모듈레이터의 소모전류를 줄이기 위하여 switched-opamp 기법이 적용 되었다[6].

## II. 본론

### 1. 일반적인 2차 시그마-델타 모듈레이터

그림 2는 일반적인 이산-시간 단일 비트 2차 시그마-델타 모듈레이터의 블록도이다. 모듈레이터는 2개의 switched-capacitor 적분기로 구성된 루프 필터와 비교기, 피드백 패스의 DAC로 구성되어 있다.

모듈레이터의 안정도는 a/b의 비율로 결정되며  $a < 0.75b$  일 때 루프가 안정적이다[7]. 특히  $a/b = 0.5$  일 때,  $(1-z^{-1})^2$  의 노이즈 전달함수를 얻을 수 있기 때문에 최대의 SNR 값을 얻을 수 있다[5]. 적분기 출력의 동작 범위를 고려하여 MATLAB 시뮬레이션을 통해 원하는 성능을 만족하는 계수 값을 도출하였으며, a와 b는 각각 0.5, 1로 결정 하였다. 계수 c의 경우 두 번째 적분기 뒷단에 비교기가 이어지므로 두

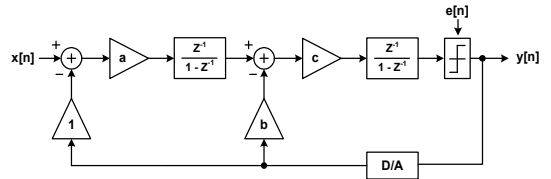


Fig. 2. Block diagram of conventional 2<sup>nd</sup>-order sigma-delta modulator

그림 2. 일반적인 2차 시그마-델타 모듈레이터 블록도

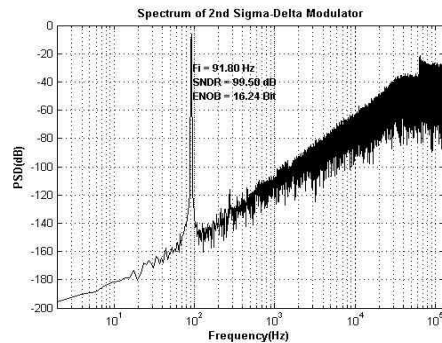


Fig. 3. Output spectrum of the ideal 2<sup>nd</sup>-order sigma- delta modulator

그림 3. 이상적인 2차 시그마-델타 모듈레이터의 출력 스펙트럼

번째 적분기의 출력의 제한을 넘지 않는 범위에서 계수를 결정할 수 있다.

그림 3은 루프의 계수 [a, b, c] 가 [0.5, 1, 0.5] 일 때, 이상적인 모듈레이터에 대한 MATLAB 시뮬레이션 결과이며 oversampling ratio(OSR) 이 256 일 때 16bit 의 ENOB 값을 얻을 수 있다.

그림 4는 일반적인 2차 시그마-델타 모듈레이터의 구현과 타이밍 다이어그램을 나타낸다. 타이밍 다이어그램을 통하여 첫 번째 및 두 번째 적분기와 비교기의 출력에 대한 식을 (1), (2), (3)과 같이 구할 수 있다. 각 적분기의 샘플링 커패시터(C<sub>S1</sub>, C<sub>S2</sub>)와 적분 커패시터(C<sub>I1</sub>, C<sub>I2</sub>)의 비율을 1:2로 가져감으로써 그림 1의 블록도 에서 계수 [a, b, c.]의 값을 [0.5, 1, 0.5]로 맞출 수 있다.

$$v_1(n+1) = v_1(n) + ax(n) - ay(n) \quad (1)$$

$$v_2(n+1) = v_2(n) + cv_1(n) - cy(n) \quad (2)$$

$$y(n+1) = Q(v_2(n+1)) \quad (3)$$

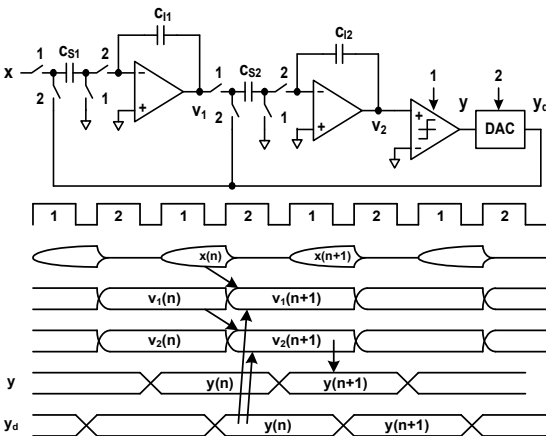


Fig. 4. 2<sup>nd</sup>-order sigma-delta modulator and its timing diagram

그림 4. 2차 시그마-델타 모듈레이터 및 타이밍도

### 2. 제안하는 2차 시그마-델타 모듈레이터

그림 5는 모듈레이터의 소모 전류를 줄이기 위하여 switched-opamp 방식을 적용한 2차 시그마-델타 모듈레이터에 대한 구현 및 타이밍 다이어그램을 나타낸다. 첫 번째 적분기는 입력을 샘플링 하는 동안( $\Phi_1$ ) 꺼져 있어 전류가 흐르지 않고 적분 하는 동안( $\Phi_2$ )에만 적분기를 동작시켜 입력(x)과 출력(y)의 차이를 적분하는 동작을 수행한다. 두 번째 적분기는 첫 번째 적분기가 꺼져있는  $\Phi_1$  동안 노드  $v_1$  에서의 값이 정

의되지 않기 때문에  $\Phi_2$  동안 샘플링을 하고  $\Phi_1$  동안 첫 번째 적분기의 출력 값( $v_1$ )만을 적분하게 된다. 그리고 다음  $\Phi_2$  동안 출력(y) 값을 빼는 동작을 수행하고 이 값은 샘플링 커패시터 C<sub>S4</sub>에 저장된다. 이 값은 다음  $\Phi_1$  동안 비교기를 거쳐 최종 출력 값으로 나오게 된다. 이러한 동작에 대한 첫 번째 및 두 번째 적분기와 비교기의 입출력에 대한 식을 (4), (5), (6), (7), (8) 과 같이 나타 낼 수 있다.

$$v_1(n+1) = v_1(n) + ax(n) - ay(n) \quad (4)$$

$$v_2(n + \frac{1}{2}) = v_2(n) + cv_1(n) \quad (5)$$

$$v_2(n+1) = v_2(n + \frac{1}{2}) - by(n) \quad (6)$$

$$v_3(n+1) = v_2(n+1) \quad (7)$$

$$y(n+1) = Q(v_3(n+1)) \quad (8)$$

여기서 식 (5)의  $v_2(n + \frac{1}{2})$ 를 (6)에 대입하면 다음의 (9)와 같은 식을 얻을 수 있다.

$$v_2(n+1) = v_2(n) + cv_1(n) - by(n) \quad (9)$$

위에서 도출된 식(9)는 식(2)와 같은 결과를 가지므로 같은 동작을 수행하는 것으로 볼 수 있다. 여기서 계수 a는 첫 번째 적분기의 이득(C<sub>S1</sub>/C<sub>I1</sub>)이며 b는 두 번째 적분기에 인가되는 DAC 출력의 이득(C<sub>S3</sub>/C<sub>I2</sub>) 그리고 c는 두 번째 적분기의 이득(C<sub>S2</sub>/C<sub>I2</sub>)이다. 일반적인 2차 시그마 델타 모듈레이터의 경우 두 번째 적분기의 샘플링 커패시터(C<sub>S2</sub>)를 공유하는 구조를 사용하게 되면 계수 b를 항상 1로 가져가게 되므로 a/b = 0.5를 맞춰주기 위하여 a = 0.5로 고정된 값을 가지게 되지만, 제안된 시그마 델타 모듈레이터는 두 번째 적분기 피드백 패스의 샘플링 커패시터(C<sub>S3</sub>)를 추가로 사용함으로써 계수 a, b, c를 원하는 대로 조절할 수 있어 더욱 유연적인 설계가 가능하다. 하지만, 일반적인 시그마-델타 모듈레이터와 동일한 연산 수행을 위해 추가의 커패시터를 사용하였다. 추가의 커패시터를 사용하더라도 일반적인 경우와 비교해 볼 때, 적분기 동작이  $\Phi_1$ 에서는 입력을  $\Phi_2$ 에서는 DAC 연산을 수행함으로써 연산 증폭기의 추가 부하로 적용되지 않음으로써 전류 소모가 추가로 발생하지 않는다. 하지만, 추가된 커패시터만큼의 면적이 늘어나

는 단점이 있다. 본 설계에서는 첫 번째 및 두 번째 적분기의 출력의 제한을 고려하여 계수 [a, b, c]의 값을 [0.25, 0.5, 1]로 결정하였다.

이러한 구조의 모듈레이터는 두 번째 적분기는 항상 켜져 있지만 첫 번째 적분기의 경우 반주기만 켜져 있기 때문에 전체적인 평균전류 소모 측면에서 일반적인 모듈레이터의 경우에 비해 25%만큼 전류 소모를 줄일 수 있다.

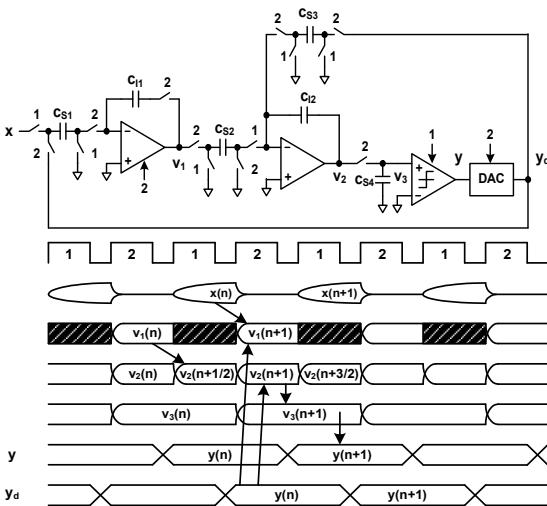


Fig. 5. Proposed 2<sup>nd</sup>-order sigma-delta modulator using switched-opamp technique and its timing diagram  
 그림 5. 제안하는 switched-opamp 기법을 적용한 2차 시그마-델타 모듈레이터 및 타이밍도

3. 구성 블록 회로

가. 연산증폭기

그림 6은 적분기에 사용된 fully differential folded cascode 연산 증폭기이다. Fully differential 구조를 사용함으로써 회로 주변의 환경에 대한 잡음 및 전원 전압에 대한 잡음을 줄일 수 있고, switched-capacitor 회로 구성 시 스위치의 동작에서 발생하는 charge injection 문제를 어느 정도 완화시킬 수 있다. 또한 single ended 구조 보다 출력의 폭이 2배가 크기 때문에 더욱 큰 dynamic range를 얻을 수 있다.

첫 번째 적분기는 증폭기 내부의 바이어스 전압 (BP1, BP2, BN1, BN2)에 대하여 추가로 스위치를 구성하여  $\Phi_1$ 에서 꺼지고  $\Phi_2$ 에서 켜지는 동작을 수행하도록 설계하였으며, 두 번째 적분기는 추가의 스위치 없이 증폭기만을 사용 하였다.

또한 fully differential 증폭기로 부캐환 회로를 구성 시 각각의 출력에 대한 공통 모드 전압을 정의할 수 없기 때문에 추가의 공통 모드 케환 회로(CMFB)가 필요하다. 그림 7은 본 설계에서 사용된 switched-capacitor 방식의 CMFB 회로이다.  $\Phi_1$ 에서 커패시터 Ca의 양단에 공통 모드 기준전압(CM)과 BPCMFB 사이의 일정한 전압이 걸리고  $\Phi_2$ 에서 커패시터 Cb가 출력 공통모드 전압을 감지하여 일정한 전압만큼 CMFB의 전압 값을 잡아준다.

그림 8은 부하 커패시터의 값이 4pF 일 때 연산증

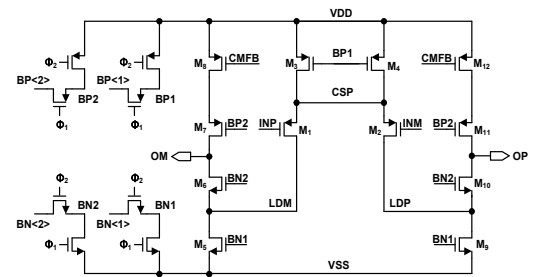


Fig. 6. Schematic of the fully differential folded cascode amplifier circuit  
 그림 6. 완전 차동 폴디드 캐스코드 증폭기 회로

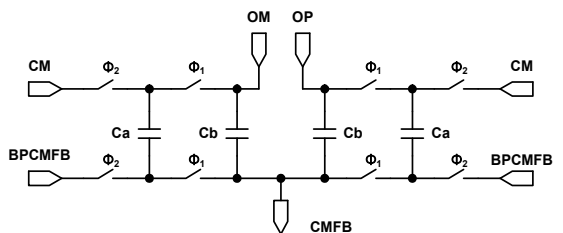


Fig. 7. Schematic of the switched-capacitor common mode feedback(CMFB) circuit  
 그림 7. 스위치드 커패시터 공통모드케환 회로

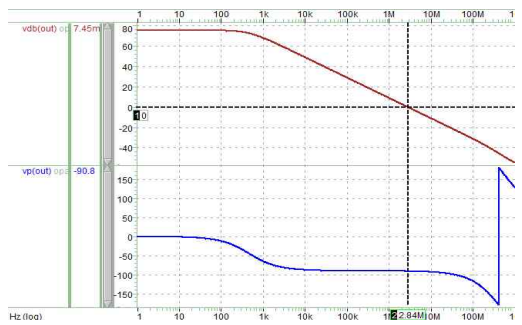


Fig. 8. Simulation result of operational amplifier frequency response  
 그림 8. 연산 증폭기의 주파수 응답 시뮬레이션 결과

폭기의 주파수 응답에 대한 시뮬레이션 결과를 나타낸다. DC 이득은  $75dB$  이며 위상 여유는  $89^\circ$ , unity gain frequency  $2.8MHz$  이다. 소모 전류는  $20\mu A$  이며  $3.3V$  전원 전압에서  $66\mu W$ 의 전력을 소비한다.

나. 단일비트 양자화기

그림 9에서 볼 수 있듯이 단일 비트 양자화기는 동적 비교기와 SR 래치로 구성된다. 클락  $\Phi_1$ 이 low가 되면 om 과 op 노드는 전원 전압(VDD)으로 충전된다. 클락  $\Phi_1$ 이 high가 되면 기생 커패시턴스에 충전된 노드 op와 om 이 입력 트랜지스터에 의하여 각각 방전된다. 방전되는 속도가 입력 전압에 따라 각기 다르기 때문에 내부에서 형성되는 cross-coupled inverter에 의하여 regeneration 과정이 발생하고 이로 인하여 om 과 op 노드의 전압이 결정된다. 각 노드의 결정된 전압은 다음단의 SR 래치에 저장되어 최종 출력이 된다. 전체 회로가 완전한 동적 회로이기 때문에 소모전력 면에서 매우 효율적이다. 또한 단일비트 시그마-델타 모듈레이터의 경우 양자화기의 오프셋이나 히스테리시스 같은 비이상적인 현상들도 양자화 잠음 변형과 같이 잠음 변형이 되기 때문에 비교기의 설계 조건이 완화된다[8].

비교기의 출력은 그림 10과 같은 DAC의 기준 전압 REFP와 REFPM과 연결되어 있는 스위치를 컨트롤하는 로직과 연결 된다. 로직의 출력은 CT<1:2>와 CF<1:2>로 비교기의  $\Phi_1$ 에서 저장되어 있던 출력을  $\Phi_2$ 에 맞추어 내보낸다.

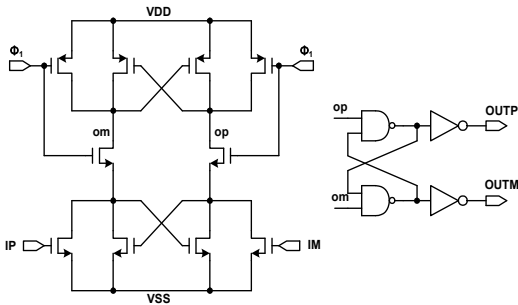


Fig. 9. Schematic of comparator and SR latch  
그림 9. 비교기와 SR래치 회로

4. 전체 회로 구현

그림 11은 전체 시그마 델타 모듈레이터 회로를

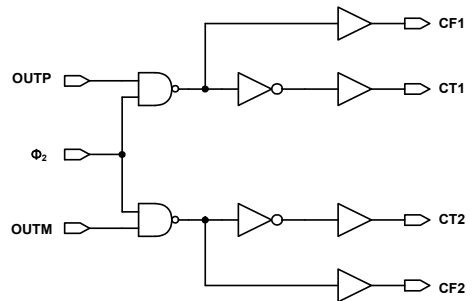


Fig. 10. DAC switch control signal generation logic  
그림 10. DAC 스위치 컨트롤 신호 생성 로직

나타낸다. 2개의 적분기와 비교기 및 래치로 구성되어 있다. 입력 및 출력 공통모드 전압은  $1.5V$  로 설정하였고 REFP 와 REFPM 은 각각  $2.5V$  와  $0.5V$ 로 설정하였다.

커패시터 값은  $kT/C$  노이즈, 수동소자의 부정합 문제 및 선형성을 고려하여 첫 번째 적분기의 샘플링 커패시터를  $2pF$ 으로 결정 하였고, 적분기의 이득  $0.25$ 를 맞추기 위해 적분 커패시터를  $8pF$ 으로 결정 하였다. 그리고 두 번째 적분기의 피드백 패스의 샘플링 커패시터를  $2pF$ 으로 결정하고 피드백 패스의 이득  $0.5$ 를 맞추기 위해 적분 커패시터를  $4pF$ 으로 결정 하였다. 첫 번째 적분기의 출력을 샘플링하는 커패시터는 두 번째 적분기로 넘어 갈 때 이득이  $1$ 이므로  $4pF$ 으로 결정하였다. 마지막으로 비교기 전단의 샘플링 커패시터는  $1pF$ 으로 결정하였다.

그림 12는 2-phase nonoverlap 클락  $\Phi_1 \sim \Phi_4$ 에 대한 타이밍도 이다. 첫 번째 phase에서  $\Phi_1, \Phi_3$ 가 같이 켜지고 두 번째 phase에서  $\Phi_2, \Phi_4$ 가 같이 켜진다. 첫 번째 phase와 두 번째 phase는 nonoverlap 관계에

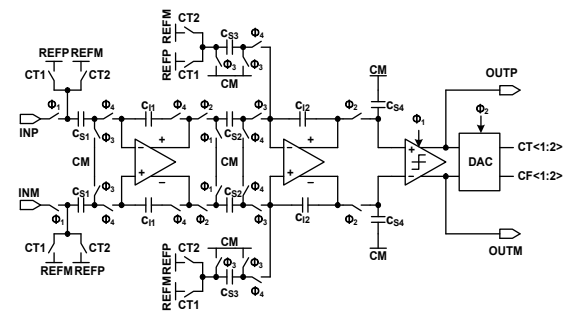


Fig. 11. Schematic of the proposed 2<sup>nd</sup>-order sigma-delta modulator

그림 11. 제안한 2차 시그마 델타 모듈레이터 회로

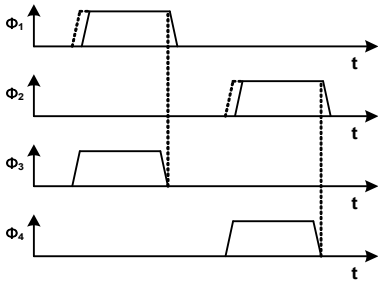


Fig. 12. Clock timing diagram  
그림 12. 클럭 타이밍도

있다. 첫 번째 phase의 끝부분에서  $\Phi_3$ 가  $\Phi_1$ 보다 조금 먼저 꺼지게 함으로써 샘플링 커패시터에서 발생하는 charge injection 효과를 줄일 수 있다.

### III 실험

제안한 모듈레이터는 0.13 $\mu$ m thick-gate 1P6M CMOS 공정으로 설계 되었으며 그림 13은 모듈레이터의 레이아웃을 나타내며 전체 코어의 면적은 0.425mm<sup>2</sup> 이다.(0.5mm×0.85mm).

그림 14는 칩의 성능을 측정하기 위한 측정 보드의 모습이다. 제작된 PCB는 외부 잡음 성분을 최소화 하기 위해 4-layer 기판으로 설계 및 제작 되었다. 아날로그 전원, 디지털 전원 및 버퍼의 전원을 각각 분리하였으며 각각의 전원에 전원 전압의 잡음성분을 줄여주는 디커플링 커패시터를 추가하였다.

칩 측정 시 입력 소스는 audio precision을 통하여 차동신호를 넣어 주었다. 모듈레이터의 출력을 logic analyzer를 통하여 추출한 후 MATLAB을 통하여 결과를 확인 하였다.

설계된 모듈레이터는 256kHz의 클럭 주파수에서 동작하며 그림 15에서 -4.4dB의 크기와 91.8Hz의 주파수를 갖는 사인파에 대한 측정된 출력 스펙트럼의 결과를 보여준다. 128k개의 샘플로 출력된 결과이며 2차의 잡음 변형이 나타나는 것을 확인 할 수 있다. 하지만 이상적인 2차 모듈레이터 보다 noise floor가 올라가 있는 것을 확인 할 수 있다.

그림 16은 입력 신호의 크기에 대한 SNR 및 SNDR 특성을 나타낸 결과이다. 82.8dB의 peak SNR 및 81.7dB의 peak SNDR 값을 가지며 500Hz의 신호

대역에서 83dB의 dynamic range를 가진다.

표 1은 switched-opamp 기법을 on/off 하였을 경우에 대한 시뮬레이션 및 측정 결과를 비교 정리한 표이다. 표 2는 switched-opamp 기법을 on 하였을 경우에 측정된 결과를 요약 표이다. 표 1에서 보듯이 switched-opamp 기법을 on/off 하였을 경우의 전류 소모 감소량이 시뮬레이션 결과와 측정된 결과가 각각 11uA, 14uA로 코어 전류 소모량의 25%가 줄어들었으며, 이에 비해 SNDR는 시뮬레이션에서는 0.26dB, 측정결과에서는 0.2dB의 감소 차이를 나타내었다. 표 3은 다른 논문의 연구결과와 비교를 나타낸 것이다. 다른 논문들과의 어플리케이션이 서로 다르지만, 비교를 하기 위해 FOM(Figure of Merit)을 계산하였으며, 계산식은 아래의 (10) 과 같다.

$$FOM = \frac{Power}{2 \times BW \times 2^{(SNDR-1.76)/6.02}} \quad (10)$$

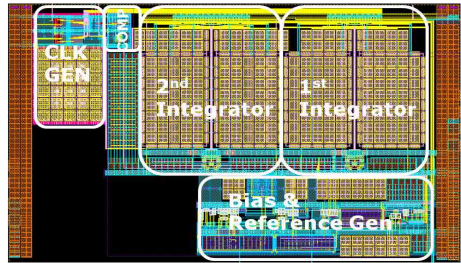


Fig. 13. Layout of the modulator  
그림 13. 모듈레이터의 레이아웃

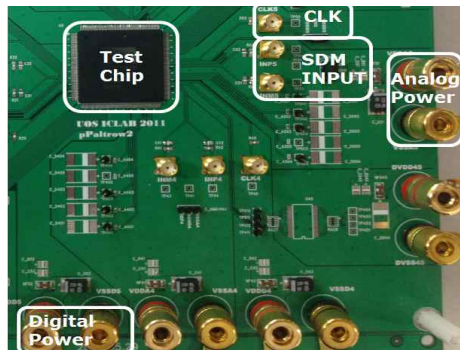


Fig. 14. Test board  
그림 14. 테스트 보드

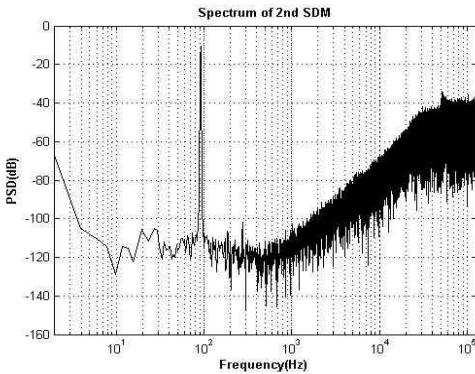


Fig. 15. Measured output spectrum of an 91.8-Hz sinusoidal input

그림 15. 91.8-Hz 사인파 입력에 대한 출력 스펙트럼 측정결과

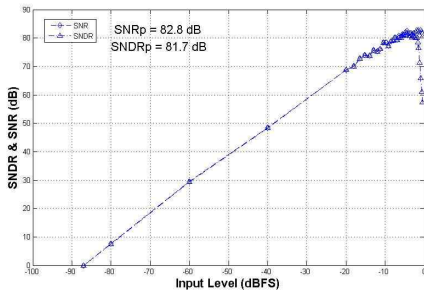


Fig. 16. Measured SNR and SNDR versus input amplitude

그림 16. 측정된 입력신호 크기에 대한 SNR 과 SNDR

Table 1. Current consumption and SNDR

표 1. Opamp switching on/off에 대한 소모 전류 및 SNDR

		Switching off	Switching on
Simulation	Bias	106uA	106uA
	Core	41uA	30.6uA
	Digital	16uA	16uA
	Total	163uA	152.6uA
	SNDR	89.08dB	88.82dB
Measurement	Bias & Core	185uA	171uA
	Digital	29uA	29uA
	Total	214uA	200uA
	SNDR	81.9dB	81.7dB

Table 2. Measured performance summary

표 2. 측정된 결과 요약

Supply Voltage	3.3 V
Current Consumption	200 uA
Peak SNR	82.8 dB
Peak SNDR	81.7 dB
Sampling Frequency	256 kHz
Signal Band	500 Hz
OSR	256
Core size	0.425mm <sup>2</sup>

Table 3. Comparison with other works(Core Power)

표 3. 다른 논문의 연구결과와의 비교(코어 전력)

	Source	Power [mW]	BW [kHz]	SNDR [dB]	FOM [pJ/step]
[9]	JSSC	14.7	31.25	106	1.44
[10]	JSSC	4.9	270	81	0.99
[11]	ISCAS	38	200	82	9.23
[12]	ISCAS	0.13	16	58.2	6.12
This	-	0.099	0.5	81.7	9.96

#### IV 결론

본 논문에서는 모바일 기기의 BMIC 전압 및 온도를 측정하여 디지털 신호로 바꾸어 주는데 필요한 시그마 델타 모듈레이터를 설계하였다. 첫째, 입력신호의 범위를 늘리기 위해 모듈레이터의 계수를 적절히 조정 하였고, 둘째 전류 소모를 줄이기 위해서 switched-opamp 기법을 적용하여 일반적인 모듈레이터보다 25%의 전류소모를 감소시켰다.

제안하는 회로는 0.18 um 1P6M thick gate CMOS 공정을 사용하여 제작하였다. 단일 비트의 2차 구조를 가지며 오버 샘플링 비율이 256 일 때 256kHz의 클럭 주파수에서 83 dB의 dynamic range와 81.7dB의 SNDR의 측정 결과를 얻을 수 있었다. 전체 칩 전력 소모는 3.3V의 전원 전압에서 0.66mW를 소모하며, 모듈레이터의 코어 면적은 0.425mm<sup>2</sup> 이다.



## References

- [1] Chulkyu Park, Kichang Jang, Sunsik Woo, Joongho Choi, "Design of a High-Resolution Integrating Sigma-Delta ADC for Battery Capacity Measurement", *Journal of IKEEE*, vol.16, no.1, pp. 28-33, 2012.
- [2] Using the DS2786 Battery Fuel Gauge in a 2-Cell Battery Pack, maxim.com, Available: <http://pdfserv.maxim-ic.com/en/an/AN4106.pdf>
- [3] High-Precision Li+ Battery Monitor, maxim.com, Available:<http://datasheets.maxim-ic.com/en/ds/DS2760.pdf>
- [4] J. C. Candy, "A use of double integration in sigma delta modulation," *IEEE Trans. Commun.*, vol. COM-22, pp. 249-258. Mar. 1985
- [5] Vincenzo Peluso, Michiel S.J. Steyaert, Willy Sansen, "A 1.5-V-100-uW  $\Sigma\Delta$  Modulator with 12-b Dynamic Range Using the Switched-Opamp Technique" *IEEE J. Solid-State Circuits*, vol. 32, NO. 7, pp. 943-952, JULY. 1997
- [6] J. Crols and M. Steyaert, "Switched-opamp: An approach to realize full-CMOS switched - capacitor circuits at very low power supply voltages" *IEEE J. Solid-State Circuits*, vol. 29, pp. 936-942, Aug. 1994
- [7] F. Op't Eynde and W.Sansen, *Analog Interfaces for Digital Signal Processing Systems*. New York: Kluwer, 1993
- [8] Libin Yao, Michiel S.J.Steyaert and Willy Sansen, "A 1-V 140-uW 88-dB Audio Sigma-Delta Modulator in 90-nm CMOS" *IEEE J. Solid-State Circuits*, VOL. 39, NO. 11, pp. 1809-1818, NOV. 2004
- [9] Jian-Yi Wu and Z. Zhang, "A 107.4dB SNR Multi-Bit Sigma Delta ADC With 1-PPM THD at-0.12dB From Full Scale Input," *IEEE Journal of Solid-State Circuits*, vol. 44, pp. 3060-3066, Nov. 2009.
- [10] Chen-Yen Ho and Wei-Shan Chan, "A Quadrature Bandpass Continuous-Time Delta-Sigma Modulator for a Tri-Mode GSM-EDGE/UMTS/DVB-T Receiver," *IEEE Journal of Solid-State Circuits*, vol. 46, pp. 2571-2582, Nov. 2011.
- [11] Jen-Shiun and Pao-Chu Chou, "Dual-Mode Sigma-Delta Modulator for Wideband Receiver Applications", *Circuits and Systems, 2003. ISCAS '03. Proceedings of the 2003 International Symposium on*, vol. 1, I-997 - I-1000, May. 2003.
- [12] Sauerbrey, J. and Wittig, M., "0.65V SIGMA-DELTA MODULATOR", *Circuits and Systems, 2003. ISCAS '03. Proceedings of the 2003 International Symposium on*, vol. 1, I-1021 - I-1024, May. 2003.

---

## BIOGRAPHY

---

### Park Chulkyu (Student Member)



2010 : BS degree in Electrical and Computer Engineering, University of Seoul.

2012 : MS degree in Electrical and Computer Engineering, University of Seoul.

2012~Present : PhD degree in Electrical and Computer Engineering, University of Seoul.

<Major Interest> Analog IC Design

Power Management IC Design

### Jang Kichang (Student Member)



2007 : BS degree in Electrical and Computer Engineering, University of Seoul.

2009 : MS degree in Electrical and Computer Engineering, University of Seoul.

2011~Present : PhD degree in Electrical and Computer Engineering, University of Seoul.

<Major Interest> Analog IC Design

Power Management IC Design



**Kim Hyojae** (Student Member)



2011 : BS degree in Electrical and Computer Engineering, University of Seoul.

2013~Present : MS degree in Electrical and Computer Engineering, University of Seoul.

<Major Interest> Analog IC Design

Power Management IC Design

**Choi Joongho** (Member)



1987 : BS degree in Electrical Engineering, Seoul National University.

1989 : MS degree in Electrical Engineering, Seoul National University.

1993 : PhD degree in Electrical Engineering, University of Southern California.

1996~Present : Professor in Electrical and Computer Engineering, University of Seoul.

<Main Interest> Analog & Power Management Integrated Circuit Design