

입력 범위를 개선한 FDPA 방식의 3차 시그마-델타 변조기 3rd SDM with FDPA Technique to Improve the Input Range

권익준*, 김재봉*, 조성익**

Ik-Jun Kwon*, Jae-Bung Kim*, Seong-Ik Cho**

Abstract

In this paper, 3rd SDM with FDPA(Feedback Delay Pass Addition) technique to improve the input range is proposed. Conventional architecture with 3rd transfer function is just made as adding a digital delay path in 2nd SDM architecture. But the input range is very small because feedback path into the first integrator is increased. But, proposed architecture change feedback path into the first integrator to the second integrator, so input range could be improved about 9dB. The 3rd SC SDM with only one operational amplifier was implemented using double-sampling technique. Simulation results for the proposed SDM designed in 0.18 μ m CMOS technology with power supply voltage 1.8V, signal bandwidth 20KHz and audible sampling frequency 2.8224MHz show SNR(Signal to Noise Ratio) of 83.8dB, the power consumption of 700 μ W and Dynamic Range of 82.8dB.

요약

본 논문은 개선된 입력 범위를 갖는 FDPA(Feedback Delay Pass Addition) 방식의 3차 SDM(Sigma-Delta Modulator) 구조를 제안한다. 기존의 구조는 2차 SDM 구조에서 디지털 딜레이 패스만을 추가하여 3차 전달함수를 구현하였지만, 첫 번째 적분기로 피드백 하는 패스가 많아짐에 따라 입력 범위가 매우 작은 단점이 있다. 그러나 제안된 구조는 첫 번째 적분기로 피드백 하는 디지털 패스를 2차 적분기로 피드백 하여 입력 범위를 9dB 개선할 수 있었다 이를 이중 샘플링 기법을 통해 연산 증폭기 한 개 만으로 3차 SC SDM을 구현하였다. 공급전압 1.8V, 신호대역폭 20KHz, 오디오 대역 샘플링 주파수 2.8224MHz 조건에서 0.18 μ m CMOS 공정을 이용하여 제안한 SDM을 시뮬레이션한 결과, SNR(Signal to Noise Ratio)은 83.8dB, 전력소비는 700 μ W, Dynamic Range는 82.8dB이다.

Key words : Sigma-delta modulator, noise-shaping, feedback, Double sampling, SNR

1. 서론

최근 음원을 사용하는 오디오 ADC 분야에서 잡음을 최소화 시키면서 저전력 고효상도를 갖기 위한 노력이 계속되고 있으며 Sigma-Delta ADC는 저전력

고해상도의 특징을 모두 만족시키는 구조를 갖고 있다.[1] Sigma-Delta ADC는 아날로그 부분인 SDM(Sigma-Delta Modulator)과 디지털 부분인 Digital Filter, Decimator로 이루어져 있으며, 그 중 SDM은 오버샘플링(Over-sampling)과 잡음 변형(Noise-shaping)을 이용하여 높은 SNR(Signal to Noise Ratio)을 구현할 수 있다.

오버샘플링 비율을 높이고 적분기의 개수를 늘려 차수를 증가시키는 방법[2][3]은 높은 SNR을 구현할 수 있지만 그만큼 면적이 커지고 전력소모가 증가하는 단점이 있다. 이에 따라 고효상도를 가지며 동시에 전력소모를 줄이기 위해 적분기 출력인 아날로그 패스와 비교기 출력인 디지털패스를 피드백 하여 STF(Signal Transfer Function)와 NTF (Noise

* Dept. of Electronics Engineering, Chonbuk University.

★ Corresponding author (sicho@jbnu.ac.kr, 063-270-4137)

※ Acknowledgment

Manuscript received May. 9, 2014; revised June. 2, 2014 ; accepted June 2. 2014

Transfer Function)의 차수를 증가시켰다.[4] 그러나 피드백 패스가 많아질수록 SC(Switched Capacitor) SDM 구현이 복잡해지고 전력소모가 증가하게 된다. 또한 아날로그 패스가 있는 경우 신호를 지연시키는 구조가 복잡하고 두 개의 비중첩 클럭 외에 4개의 클럭이 더 필요하여, 이중 샘플링 기법[6][7]으로 연산증폭기를 공유하는 데 제한이 있다. 따라서 아날로그 피드백 패스를 없애고 디지털 피드백 패스로만 구현한 FDPA(Feedback Delay Pass Addition) 방식의 SDM 구조[5]는 두 개의 클럭으로만 구현할 수 있기 때문에 기존의 구조보다 더 적은 클럭을 가지고 차수를 증가시킬 수 있다.

그러나 FDPA를 사용한 기존 구조의 문제점은 첫 번째 적분기로 들어가는 피드백 패스가 많아질수록 입력 범위가 작아진다는 단점이 있다. 이를 개선하기 위해, 본 논문에서는 입력 범위를 개선한 FDPA 방식의 SDM 구조를 제시하여 이중 샘플링 기법을 통해 연산증폭기 1개만으로 3차 SC SDM을 구현하였다. 본 논문의 구성은 2장에서 기존의 구조와 제안된 구조를 비교하고 3장에서는 MATLAB 모델링과 회로구현을 통한 입력 범위 개선을 기술하였으며, 4장은 시뮬레이션 및 고찰, 그리고 5장에서 결론을 맺는다.

II. SDM 구조

1. 기존 구조

그림 1은 기존 1차, 2차 CIFB(Cascade of Integrators with distributed FeedBack)를 갖는 SDM 구조의 블록다이어그램이다. 1개의 적분기를 사용하면 전달함수가 1차 함수가 되고, 두 개의 적분기를 사용하면 전달함수가 2차 함수가 되어 적분기의 수에 따라 SDM의 차수가 결정된다. 전달함수의 차수를 늘릴 때마다 적분기를 추가해야 되기 때문에 전력을 많이 소모하게 된다.

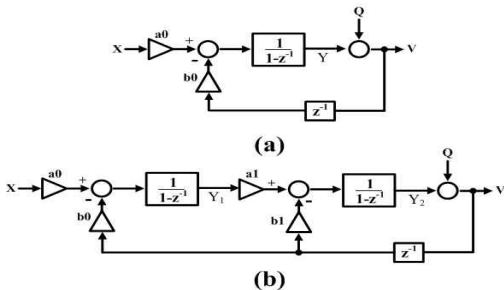


Fig 1. Block diagram of conventional 1st, 2nd sigma-delta architecture

그림 1. 기존 1차, 2차 sigma-delta 구조의 블록다이어그램

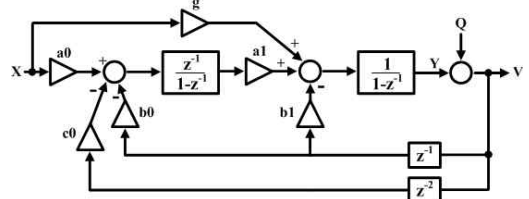


Fig 2. Block diagram of conventional architecture

그림 2. 기존 구조의 블록다이어그램

그림 2는 2차 기본 구조에서 적분기를 추가하지 않고 입력 피드-포워드 패스와 디지털 피드백 패스에 지연요소 z^{-2} 만을 하나 추가하여 3차 SDM 특성을 갖는 구조이다.[5] 적분기의 개수를 늘리지 않고 차수를 증가시켰기 때문에 그만큼 전력소모를 줄일 수 있다. 기존 그림 2 구조의 STF와 NTF는 식(1), 식(2)와 같다. 피드백 계수 c_0 가 0일 때는 2차 전달함수를 갖지만 c_0 에 의해 전달함수의 분모를 2차에서 3차로 만들 수 있다. 그러나 분자의 차수는 그대로이고 분모의 차수만 늘어났기 때문에 신호대역에서 STF의 크기가 줄어들 수 있다. 이를 방지하기 위해, 식(1)과 같이 피드-포워드 계수 g 를 사용하여 STF 분자의 차수도 3차로 만들 수 있고, g 값에 의해 신호대역에서 STF의 크기를 1로 유지시킬 수 있다.

$$STF(z) = \frac{gz^3 + (a_0a_1 - g)z^2}{z^3 + z^2(b_1 - 2) + z(b_0a_1 - b_1 + 1) + c_0a_1} \quad (1)$$

$$NTF(z) = \frac{z(z-1)^2}{z^3 + z^2(b_1 - 2) + z(b_0a_1 - b_1 + 1) + c_0a_1} \quad (2)$$

기존 그림 2의 구조는 디지털 피드백 패스를 추가함으로써 3차와 같은 SNR을 갖게 되지만 첫 번째 적분기로 들어가는 패스가 많아지면 입력 범위는 그만큼 줄어들는 단점이 있다. 실제로 기존 구조의 입력 범위는 보통 사용되는 SDM에 비해 매우 작은 값을 가진다. 따라서 FDPA 기법을 사용한 SDM의 장점을

2. 제안된 구조

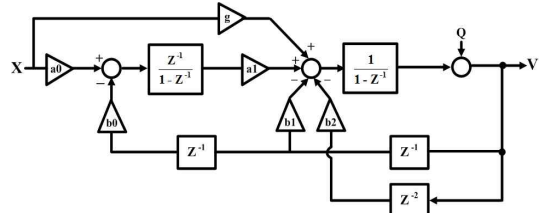


Fig 3. Block diagram of proposed architecture

그림 3. 제안된 구조의 블록다이어그램

그대로 가짐과 동시에 입력범위를 개선시킨 새로운 구조의 SDM을 제시한다.

$$STF(z) = \frac{gz^3 + (a_0a_1 - g)z^2}{z^3 + (b_2 - 2)z^2 + (b_2 - b_1 + 1)z + (b_0a_1 - b_2)} \quad (3)$$

$$NTF(z) = \frac{z(z-1)^2}{z^3 + (b_2 - 2)z^2 + (b_2 - b_1 + 1)z + (b_0a_1 - b_2)} \quad (4)$$

그림 3은 기존 그림 2 구조의 입력 범위를 증가시키기 위해 제안된 구조이다. 기존 구조에서 첫 번째 적분기로 들어가는 패스가 많아질수록 SDM의 입력 범위는 작아지게 된다. 따라서 기존 구조에서 첫 번째 적분기로 들어가던 피드백 딜레이 패스(c_0)를 2차 적분기(b_2)로 들어가도록 하였다. 제안된 구조의 전달함수는 (3), (4)과 같다. 기존 구조와 같은 방식으로 디지털 피드백 패스에 지연요소 z^{-2} 를 사용하여 전달함수 분모의 차수를 증가시켰고, 피드-포워드 패스를 사용하여 STF의 분자 차수를 증가시켰다. 기존의 구조와 전달함수 차수가 같기 때문에 3차 SDM 특성을 갖고 이와 동시에, 피드백 패스를 변경함으로써 기존 구조보다 개선된 입력 범위를 가질 수 있다.

III. 회로 설계

1. MATLAB을 이용한 모델링

제안한 구조를 적용하여 오디오용 어플리케이션에 적합한 SC SDM을 설계하기 위하여 MATLAB Simulink 모델링 조건을 표 1과 같이 설정하였다.

Table 1. Modeling condition of proposed architecture
표 1. 제안된 구조의 모델링 조건

Sampling Frequency[MHz]	2.8224
Over Sampling Ratio	64
Signal Bandwidth[KHz]	0.02-20
DC Gain[dB]	≥ 60
GB[MHz] ($C_L=4pF$)	≥ 15
Slew Rate[V/μs]	1
DAC	1bit

표 1의 조건을 적용하여 기존 그림 2 구조와 동등한 조건에서 제안된 구조의 계수값을 구하기 위해 0.5V_{pp}의 동일한 입력을 주고 그림 4와 같이 첫 번째 적분기와 두 번째 적분기의 출력 범위를 ±0.3V로 하였다. 이와 같은 조건으로 구한 계수 값은 표 2와 같다.

Table 2. Coefficient values of SDM

표 2. SDM의 계수 값

계수	a_0	b_0	c_0	a_1	b_1	b_2	g
기존 구조	0.4	0.2	0.05	0.5	0.25	X	0.1
제안한 구조	0.25	0.25	X	0.5	0.25	0.1	0.1

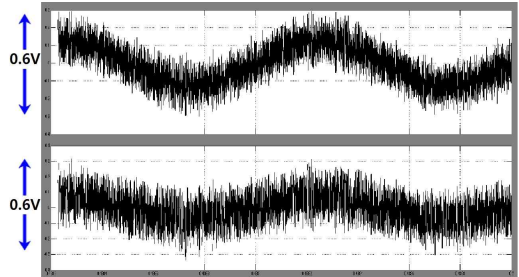


Fig 4. Output Range of 1st and 2nd Integrator
그림 4. 첫 번째와 두 번째 적분기의 출력 범위

2. 동적 범위 비교

기존 구조와 제안된 구조의 계수값 비교만으로는 입력 범위가 얼마나 변화하였는지 확인하기 어렵다. 따라서 입력 범위를 비교하기 위해 동적 범위(Dynamic Range)를 활용하였다. 동적 범위란 계측시스템이 동시에 계측할 수 있는 최대, 최소 신호의 레벨(dB) 차를 말하며 동적 범위를 통해 SDM이 동작할 수 있는 입력범위를 알 수 있다. 입력 범위 비교를 위한 기존 구조와 제안된 구조의 신호 대 SNR 그래프는 그림 5와 같으며, 동적 범위는 수식(5)로 구할 수 있다.

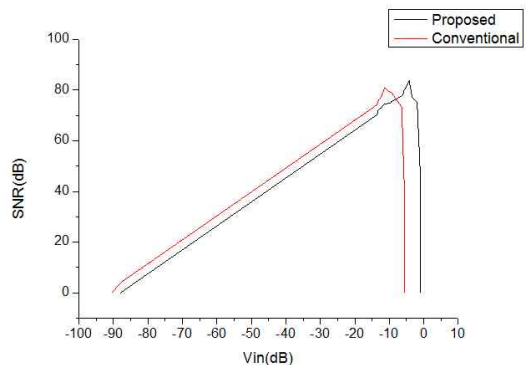


Fig 5. Dynamic range of Conventional architecture and Proposed architecture

그림 5. 기존 구조와 제안된 구조의 동적 범위

$$Dynamic\ Range = 20\log\left(\frac{V_{in,maximum\ SNR}}{V_{in,minimum\ SNR}}\right) \quad (5)$$

기존 구조에서 최대 SNR 79.5dB를 가질 때의 입력값은 270mV(-11.37dB)이고, 제안된 구조에서 최대 SNR 83.8dB를 가질 때의 입력값은 620mV(-4.15dB)로, 정상 동작할 수 있는 최대 입력값이 기존 구조보다 350mV(약 9dB) 개선되었다. 그림 5를 통해 제안된 구조는 기존 구조의 그래프를 그대로 오른쪽으로 이동시켰다는 것을 확인할 수 있으며, 이는 제안된 구조가 기존 구조의 SNR특징을 그대로 유지하면서 동작 범위만을 개선시켰다는 것을 의미한다. 식(5)에 의해 최대 SNR을 가질 때의 입력값이 증가하면 동작 범위도 증가하게 된다. 제안된 구조의 동작 범위는 약 82.8dB로 기존의 79.1dB보다 약 3.7dB 증가하였다.

3. 제안된 구조의 SC SDM 구현

본 논문은 제안된 구조를 이용하여 SC SDM 구현 시 연산증폭기가 차지하는 전력이 매우 높기 때문에

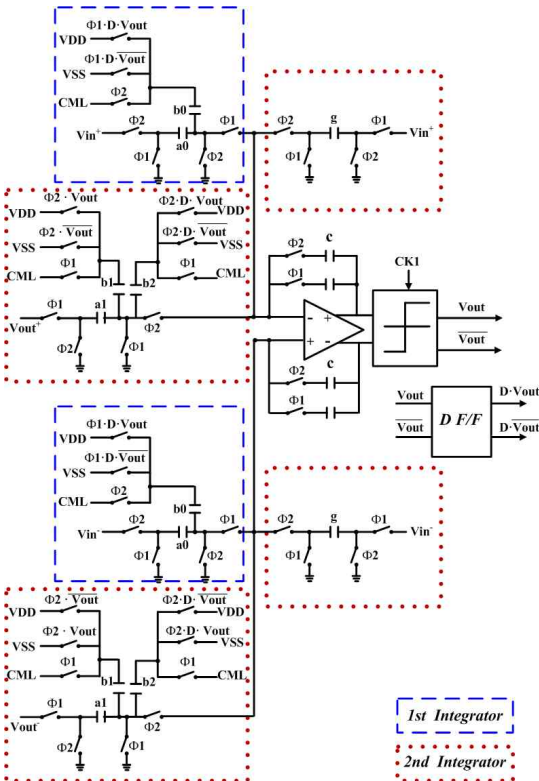


Fig 6. Circuit of proposed architecture
그림 6. 제안된 구조의 회로

연산증폭기를 공유하는 이중 샘플링 기법[6][7]을 사용하여 그림 6과 같이 연산증폭기 1개만으로 저전력 3차 SC SDM을 구현하였다. 회로의 동작원리는 다음과 같다. 클록 Φ_1 일 때, 입력신호 V_{in} 과 피드백 신호 $D \cdot V_{out}$ 에 대한 1차 적분을 시행하고, Φ_2 때 2차 적분에 사용될 캐패시터에 충전을 한다. 또한 1차 적분을 마치고 클록 Φ_2 일 때, 1차 적분의 출력신호 V_{out} 과 g 파라미터에 대한 2차 적분 동작을 수행하게 되고, 동시에 1차 적분에 사용될 캐패시터에 충전을 하게 된다. 그러므로 한 주기 내에서 Φ_1, Φ_2 때 각각 적분과 충전을 하는 이중 샘플링을 수행함으로써 제안된 구조를 연산증폭기 하나만으로 구현할 수 있다. 그리고 z^{-2} 는 비교기의 지연과 D/F/F을 사용하여 간단히 만들 수 있고, 그림 7과 같은 두 개의 비 중첩 클록만을 사용하였다. 그림 6 회로에서 VDD는 DC 1.8V, VSS는 0V, CML은 0.9V 전압을 각각 사용하였다.

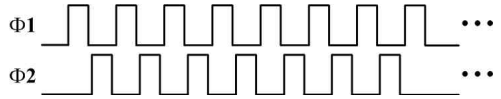


Fig 7. Used clock in proposed architecture
그림 7. 제안된 구조에 사용된 클록

4. 연산증폭기 설계

그림 6에 적용된 연산증폭기는 단위 이득이 높고, 저전력으로 동작하며, 주파수 보상용 커패시터가 필요 없고, 노이즈에 강한 PMOS 입력단을 갖는 완전 차동 풀리드 캐스코드로 그림 8과 같이 설계하였다. 또한, 완전 차동 연산증폭기의 출력전압의 안정화를 위하여 구조가 간단하고 저전력으로 동작하는 스위치-커패시터 구조로 Common Mode Feedback (CMFB) 회로를 설계하였다. 이에 따른 연산증폭기의 성능은 표 3과 같다.

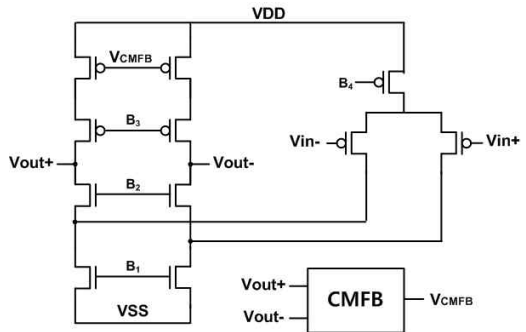


Fig 8. 연산증폭기
그림 8. Operational amplifier

Table3. Performances of operational amplifier
표 3. 연산증폭기의 성능

	OTA
DC 이득[dB]	88
대역폭[MHz] ($C_L=4pF$)	18
위상 마진[degree]	60°
출력 스윙[V]	1
슬루율[V/ μs]	13
전력(μW)	90

IV. 시뮬레이션 결과

그림 9는 0.18 μm 공정, 입력 크기 0.62V, 신호대역폭 20KHz, 샘플링 주파수 2.8224MHz, OSR 64배 일 때 MATLAB Simulink 시뮬레이션과 Spectre로 시뮬레이션한 결과로 각각 83.8dB, 81.5dB의 SNR을 얻었다. 이 차이는 SC 적분기를 구성하는 스위치와 연산증폭기의 비이상성과 첫 번째 캐패시터의 크기에 따른 kT/C 잡음 등에 의해 MATLAB 시뮬레이션 결과보다는 2.3dB 감소하였다고 사료된다.

CIFB를 갖는 3차 구조, 기존 구조, 그리고 제안된 구조와의 SNR 및 전력소비, 입력 범위 비교는 표 4에 요약하였다. 여기서 세 가지 구조의 입력 범위가 모두 다르기 때문에, 동등한 조건으로 비교하기 위해 SNR이 최대일 때, 동일한 연산 증폭기를 사용하였다. CIFB를 갖는 구조는 연산 증폭기를 추가하여 차수를 증가시키기 때문에 다른 구조보다 전력소모가 높았으며, 그림 2의 기존 구조는 디지털 패스를 이용하여 차수를 증가시켰기 때문에 전력소모는 작지만 정상적으로 동작할 수 있는 최대 입력값이 작은 것을 모델링을 통하여 확인하였다.

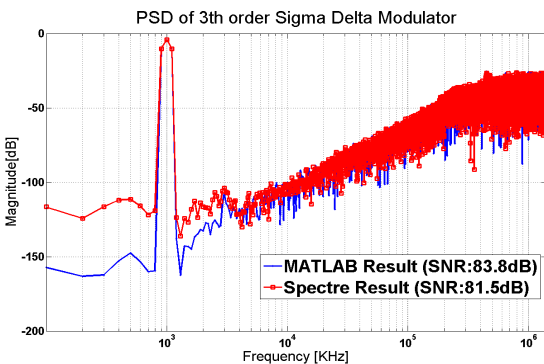


Fig 9. PSD Result of proposed SDM
그림 9. 제안된 SDM의 PSD 결과

그리고 기존 구조와 제안된 구조의 동적 범위 비교 특성인 그림 5에서 최대 입력값은 기존 구조보다 350mV(약 9dB) 증가하였고 동적 범위는 3.7dB 증가하였다.

본 논문의 실제 제작을 위해, 시뮬레이션한 내용을 바탕으로 0.18 μm 공정을 이용하여 MPW 설계를 진행할 예정이다.

Table 4. Comparison of conventional architecture and proposed architecture
표 4. 기존 구조와 제안된 구조의 비교

	CIFB를 갖는 3차	기존 구조 (Conventional)	제안된 구조 (Proposed)
SNR(dB)	82	79.5	83.8
전력(μW)	900	720	700
동적 범위 (dB)	82.8	79.1	82.8
최대 입력 진폭(V)	0.7	0.27	0.62

V. 결론

본 논문은 기존 FDPA 방식의 3차 SDM의 입력 범위를 개선하기 위해 첫 번째 적분기로 피드백 되는 디지털 피드백 패스를 두 번째 적분기로 피드백 하도록 구성된 구조를 제안하였다.

제안된 구조는 기존 구조보다 첫 번째 적분기로 피드백 되는 경로의 감소로 인하여 입력과 동적 범위가 9dB(350mV), 3.7dB 증가하였다.

제안된 구조를 이중 샘플링기법을 통해 연산증폭기 하나로 3차 SC SDM을 구현하여 공급전압 1.8V, 신호대역폭 20KHz, 2.8224MHz의 샘플링 주파수에서 최대 83.8dB의 SNR과 700 μW 의 낮은 전력을 소모하였다.

그러므로 본 연구에서 제안한 구조를 이용하여 설계된 SC SDM은 저전력 고해상도의 장점을 유지하고, 입력 동작범위와 최대 입력 값이 증가함에 따라 더욱 다양한 오디오용 어플리케이션에서 사용될 수 있을 것이라 사료된다.

References

[1] Peluso, V. Vancorenland, P. Marques, A.M. Steyaert, M.S.J. Sansen, Willy. "A 900-mV low-power $\Delta\Sigma$

A/D converter with 77-dB dynamic range” Solid-State Circuits, IEEE Journal of Volume: 33, Issue: 12 1998.

- [2] Pin-Han Su and Harming Chiueh, “The Design of Low-Power CIFF structure Second-Order Sigma-Delta Modulator”, IEEE T. Circuit and Systems, MWSCAS 2009.
- [3] Xi Gou, Yi-ran Li, Jian-qiu Chen, Jun Xu, Jun-Yan Ren, “A Low Power Low Voltage 16-bit $\Sigma\Delta$ Modulator”, IEEE T. Circuits and Systems, ISCAS 2009.
- [4] J. Koh, Y. Chio, and G. Gomez, “A 66dB DR 1.2V 1.2mW single-amplifier double-sampling 2nd-order $\Delta\Sigma$ ADN for WCDMA in 90nm CMOS,” in IEEE Int. Solid-State Circuits Conf. Dig. Tech. Papers, Feb. 2005, vol. 1, pp. 170-171.
- [5] Eui-hoon Jung, Jae-Bung Kim, Seong-ik Cho, “Design of Opamp Sharing SDM with FDPA(Feedback Delay Path Addition) Technique” Journal of IKEEE, v.17, no.4, 511-516, Dec., 2013.
- [6] Chuc K. Thanh, Stephen H. Lewis, and Paul J. Hurst, “A Second-Order Double-Sampled Delta-Sigma Modulator Using Individual-Level Averaging” IEEE J. Solid-State Circuits, vol. 32, No. 8, pp. 1269-1273, Aug. 1997.
- [7] D. Senderowicz, et al., “Low-Voltage Double-Sampled $\Delta\Sigma$ Converters,” IEEE J. Solid-State Circuits, vol. 37, pp: 1215-1225, Dec., 1997.

Kim Jae-Bung (Member)



2006 : BS degree in Electronic Engineering, Chonbuk University.
2009 : MS degree in Electronic Engineering, Chonbuk University.
2010~Present : PhD course in Electronic Engineering, Chonbuk University.

<Main interests> ADC, Low-Power/High-Resolution SDM Design, Intergrated Circuit

Cho Seong-Ik (Member)



1987 : BS degree in Electrical Engineering, Chonbuk University.
1989 : MS degree in Electrical Engineering, Chonbuk University.
1994 : PhD degree in Electrical Engineering, Chonbuk University.
1996~2004 Hynix semiconductor memory lab Senior Research Engineer.

2004~Present : Assistant professor of Electronic Engineering, Chonbuk University.

<Main interests> High speed data interface circuits, Analog circuits, ADC/DAC, PLL/DLL

BIOGRAPHY

Kwon Ik-Jun (Student Member)



2013 : BS degree in Electronic Engineering, Chonbuk University.
2013~Present : MS course in Electronic Engineering, Chonbuk University.

<Main interests> ADC,
Low-power/High-Resolution SDM Design