

공정시간 및 온도에 따른 웨이퍼레벨 패키지 접합 최적설계에 관한 연구

고현준^a, 임승용^a, 김희태^b, 김종형^{b*}, 김옥래^c

Wafer Level Package Design Optimization Using FEM

Hyun-Jun Ko^a, Seung-Yong Lim^a, Hee-Tea Kim^b, Jong-Hyeong Kim^{b*}, Ok-Rae Kim^c^a Graduate School of NID Fusion Technology, Seoul National University of Science Technology, Seoul 139-743, Republic of Korea^b School of Mechanical Design and Automation Engineering, Seoul National University of Science Technology, Seoul 139-743, Republic of Korea^c Korea Institute of Industrial Technology 156, Getpearl-ro, Yeonsu-Gu, Incheon 404-840, Republic of Korea

ARTICLE INFO

Article history:

Received	10	March	2014
Revised	18	April	2014
Accepted	27	May	2014

Keywords:

Warping
Package
Curing
Wafer
WLP

ABSTRACT

Wafer level package technology is added to the surface of wafer circuit packages to create a semiconductor technology that can minimize the size of the package. However, in conventional packaging, warpage and fracture are major concerns for semiconductor manufacturing. We optimized the wafer dam design using a finite element method according to the dam height and heat distribution thermal properties. The dam design influences the uniform deposition of the image sensor and prevents the filling material from overflowing. In this study, finite element analysis was employed to determine the key factors that may affect the reliability performance of the dam package. Three-dimensional finite element models were constructed using the simulation software ANSYS to perform the dam thermo-mechanical simulation and analysis.

1. 서론

최근 노트북, 모니터, 네비게이션, 핸드폰의 수요가 증가하고, 기존의 제품 보다 성능이 증가하면서 반도체 산업에서는 실리콘 반도체 소자 제조의 재료인 웨이퍼를 이용하여 다양한 기능이 가능하며 신호처리가 빠른 반도체 생산 기술이 개발되고 있다.^[1,2] 이러한 기술을 구현하기 위하여 소자들은 웨이퍼 레벨 패키지(WLP : Wafer Level Package)기술로 제작되며, 이 기술은 웨이퍼 상태에서 그 표면에 추가의 단자나 회로를 생성하여 패키지의 크기를 축소하는 기술로 반도체 크기를 최대한 줄일 수 있는 방법이며, 고생 산성 및 고집적화가 가능할 뿐만 아니라 제품의 기능적 유연성과 고성능 구현을 위한 대응이 가능하여 차세대 패키지 기술로 사용될

것으로 예측되고 있다. 특히 기기들이 점차 경박 단소화가 이루어지며 반도체는 더 작고 얇으면서, 동시에 고성능, 다기능을 요구하고 있으며, 이러한 추세에 따라 여러 기능을 가진 시스템을 하나의 칩에 집적하는 SoC (System-on-Chip)기술이 필수 요소로 주목 받았으나 패키징의 어려움 때문에 시장의 요구를 충족시키기 힘든 상황이다.^[3] 반면 Sip (System in Package) 기술은 여러 블록을 각각의 개별적인 칩으로 구현한 후 수동소자와 이중 소자까지 한꺼번에 단일 패키지에 결합하는 기술로 고집적 반도체 패키징이 가능하다. 그 중 이슈가 되고 있는 분야는 이미지센서 패키지로 이는 카메라 모듈을 구성하는 요소로써 이미지센서를 보호하고 전기적 연결이 되어 있는 독립적인 부품을 제작하는데 많은 연구가 이루어지고 있다.^[4,5]

* Corresponding author. Tel.: +82-2-970-7125

Fax: +82-2-971-6359

E-mail address: johnkim@seoultech.ac.kr (Jonghyeong Kim).

이미지센서 패키지는 웨이퍼 레벨 패키지의 균일한 접합을 위하여 웨이퍼상의 댐(Dam)형상을 형성하고 에폭시를 도포하여 접합을 진행한다. 여기서 댐은 이미지 센서의 균일한 부착 및 충전물질이 넘치는 것을 방지하며, 접합 물질을 안착시키는 역할을 한다. 때문에 댐은 균일한 높이 형성과 균일접합에 매우 중요한 역할을 한다. 이러한 웨이퍼 레벨 패키지 기술은 다른 기술에 비해 공정이 줄어들어 이로 인한 비용절감과 시간절약이라는 큰 장점을 가지고 있으나, 반면 기존의 패키징 보다 휨(Warpage) 현상과 깨짐(Crack)현상이 더 많이 발생하여 반도체를 생산함에 있어 큰 문제가 되고 있다. 휨 현상 및 깨짐이 발생은 패키징 공정 중 서로 다른 열팽창계수 및 온도에 따른 시간 설정 차이에 의해 발생된 열응력과 내부 잔류 응력에 의해 발생된다. 이렇게 발생한 휨 현상 및 깨짐은 추후 공정에 영향을 주기 때문에 반도체 수율에 큰 영향을 미치고 연구 개발에 큰 어려움을 주고 있다.^[7,9]

본 논문은 웨이퍼 레벨 패키지에서 공정상의 영향을 미치는 댐 형상이 형성된 글라스 웨이퍼를 수치해석을 이용하여 공정 시 시간 및 열 특성 조건을 기준으로 웨이퍼 칩 모델에 따른 열의 분포 경향과 열 편차 및 휨 현상을 예측하고 해석 결과를 바탕으로 이미지센서 패키지에 있어 웨이퍼 공정에 필요시 되는 최적설계를 진행 신뢰성 설계기술을 확보하는데 목적이 있다.

2. 이론 및 실험방법

2.1 이론

다층 구조의 웨이퍼에서 발생하는 응력은 접착 공정과 같이 높은 온도의 공정에서 각 물질간의 열팽창계수의 차이에 의한 열응력이 가장 중요한 요인이다. 이러한 열응력은 모멘트 평형 때문에 웨이퍼를 휘게 하고 경우에 따라 소자의 오작동이나 깨짐(Crack)을 유발할 수 있다. 때문에 두 접합 물질 사이의 열응력을 계산하여 휨을 예측하기 위해 본 연구에서는 전도(conduction) 및 대류(convective)와 Hall의 분석을 사용하였다.

전도는 푸리에의 법칙에 의거 식 (1)과 같이 정의된다.

$$Q_x = -kA \frac{dT}{dX} [W] \quad (1)$$

대류는 시료의 외부 유체와 접하는 모든 부분에서 발생되며 열손실이 발생하게 된다. 특히, 대류조건은 Ansys 프로그램을 이용한 모델링에서 고려되어야 할 사항이며, 식 (2)와 같이 정의된다.

$$Q_c = hA(T_s - T_\infty) [W] \quad (2)$$

식 (2)는 뉴턴의 냉각법칙이며, 여기에서 열 전달량은 고체의 성질과 무관하다. 대류열전달계수 $h[W/m^2K]$ 는 유동장의 양상, 유체의 종류 등 유동형태에 의존한다. 대류 열전달은 강제대류와 자연대류로 나뉘며 모델링에서는 자연대류로 가정한다.

Hall의 분석은 접착층의 두께를 무시하지 않고, 다층 구조에서의 응력을 계산할 수 있으며, 식 (3)과 같이 정의된다.

$$\varepsilon = \varepsilon_B + \frac{z}{h}(\varepsilon_T - \varepsilon_B) \quad (3)$$

변형량을 계산하고 물리적 상수를 대입하여 식 (4)와 같은 열응력 계산식이 유도된다.

$$\sigma = \frac{E_i}{1-\nu_i} \left(\varepsilon_B + \frac{z}{h}(\varepsilon_T - \varepsilon_B) - \alpha_i \Delta T \right) \quad (4)$$

열응력을 결정하는 변수는 물질의 열팽창 계수, 영율, 푸아송 비, 두께, 공정온도 차이, 전체 두께 등에 의해 결정된다.

2.2 실험 방법

본 연구는 이미지센서 웨이퍼 공정에서 수치 해석을 통해서 열 특성 조건에 따른 웨이퍼 칩 상의 열 분포와 휨 구조 변형을 확인하고 결과 값을 분석하는 방식으로 진행된다. 연구에 사용 되는 모델은 Fig. 1 과 같이 실제 이미지센서 웨이퍼레벨 패키지 공정에 사용되는 웨이퍼의 1×1 칩 형상에 대한 3D 모델링을 진행하였다. 실제 모델의 경우 댐 형상이 직선 형식이 아닌 톱니 형식의 형상(Pattern)을 하고 있으며, 댐 형상이 톱니 형상을 갖는 이유는 이미지 센서의 균일한 부착 및 충전물질이 넘치는 것을 방지하기 때문이다. 이렇게 구성된 모델을 토대로 칩의 유한요소 모델을 생성하여 해석 프로그램을 통해 칩의 변형이 가장 적은 최적의 공정 조건을 찾아낸다. 또한 2×2 칩 모델을 생성하여 같은 방식의 해석을 진행하며, 1×1 칩 모델과의 해석 결과를 비교 웨이퍼 크기 변화에 따른 변형의 경향성을 확인한다.

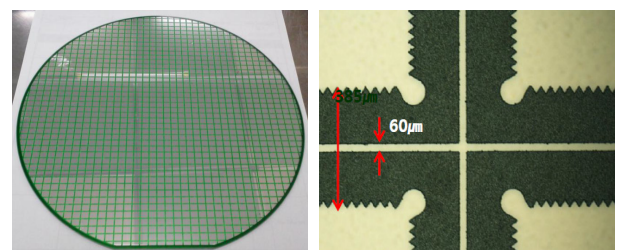


Fig. 1 Conventional glass wafer & DAM

3. 모델 구성 및 해석조건

3.1 모델 구성

Fig. 2는 본 연구에 사용된 웨이퍼 칩의 3D 모델이다. 칩 모델의 경우 실제 공정과 같이 글라스웨이퍼 위에 댐 형상을 형성한 상태로 글라스 웨이퍼는 접합의 균일한 높이를 유지하기 위해 접합용 폴리머를 사용하여 댐 형상의 크기를 $4,590 \times 4,450 \mu\text{m}$ 형성하였다. 이때 댐 형상의 높이는 이미지센서 부분과 접합(Pad) 부분이 공극(Cavity) 공간을 형성하도록 댐 형상을 설계 하였으며, 큐어(Cure) 공정을 진행하여 완전 경화시켜 물리적인 지지대 역할을 구현하였다.

이렇게 생성된 3D 모델은 공정조건들의 변수에 따라 어떻게 변하는지 확인하기 위하여 Fig. 3는 과같이 댐과 글라스 웨이퍼 형태의 유한요소 모델링을 실시하였다.

유한요소 모델은 실제 구조물보다 강성이 더 크게 구현될 수 있다. 하지만 반대로 조밀하고 균일하게 생성되는 메쉬(Mesh)는 실험값과 비슷한 결과 값을 도출 할 수 있다. 해석에 사용될 칩의 크기는 Table 1과 같으며 이 값은 모델링에 사용된 웨이퍼 칩의 상세

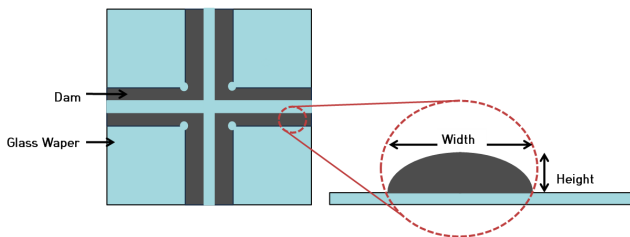


Fig. 2 Design of wafer/dam modeling

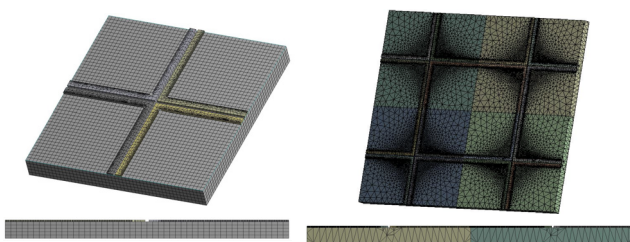


Fig. 3 Finite element model of wafer chip

Table 1 Model size

	1 × 1 Chip Model (μm)	2 × 2 Chip Model (μm)
Chip Width	4,590	9,180
Chip Length	4,450	8,900
Chip Height	400	400
Dam Width	385	385
Dam Height	40	40

수치로 공정에 사용되는 실제 모델을 기준으로 설정하였다. 이렇게 구현된 유한요소 모델의 노드(Node)수와 요소(Element)의 수는 1×1 칩의 경우 노드 : 82,025개, 요소 : 14,928이고, 2×2 칩의 경우 노드 : 330,404개, 요소 : 159,100개로 형성되었다.

3.2 구속 조건

접합 공정상에서 웨이퍼의 열 분포와 휨에 가장 영향을 많이 미치는 요인으로는 공정 시간과 온도이다. 앞서 설명한 바와 같이 웨이퍼의 휨은 접합된 두 물질의 열팽창계수의 차이로 일어나는 열응력에 의해 발생하게 된다. 때문에 공정시간과 온도를 조절함으로써 웨이퍼의 휨 현상 및 깨짐 현상을 최소화 할 수 있다. 또한 공정시 가열되는 부분과 가열된 웨이퍼가 대기와 만나는 지점의 고려가 필요하다.

글라스 웨이퍼의 휨 현상은 접합 공정상의 접합온도, 중간 접합층의 높이(댐의 높이), 접합 시간, 승온 시간의 각 공정 변수에 의해 결정된다. 또한 기존의 연구에서 공정시간 및 승온 시간이 길어질수록 휨 현상이 완화 되는 것을 확인 할 수 있다. 하지만 글라스웨이퍼 면의 온도변화, 접합 시간, 승온 시간에 따른 휨 현상은 그 정도가 미미하기 때문에 온도 변화에 따른 열 물성 변화는 고려하지 않고 실험 조건을 선정하였다. Fig. 4는 이러한 공정조건을 해석 모델에 부여지점을 나타내는 그림이다. Number of Steps을 1로 시작하여 Step End Time을 3,600으로 실제 큐어 공정과 같이 조건을 부여하였으며, 공정온도는 $80^\circ\text{C} \sim 200^\circ\text{C}$ 로 공정 온도를 변인 조건으로 설정하였다. A(모델 밑 부분) 부분은 공정에 사용되는 공정 온도 요인으로 A전면에 각 온도 값의 입력을 부여하였고, B(댐 형상의 외부 접촉면)은 외부 온도 22°C 로 설정 하였으며 공간상의 대류 값은 $0.005 \text{ W}/\text{mm}^2\text{K}$ 로 부여하였다. 본 연구에 사용되는 웨이퍼 접합 재료인 글라스 웨이퍼는 Borosilicate 유리 웨이퍼를 기

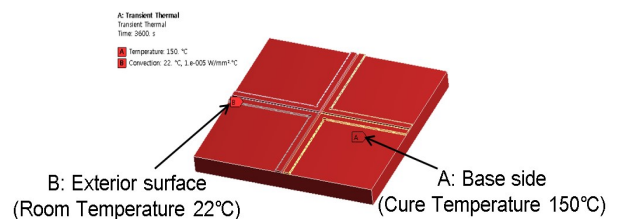


Fig. 4 CAE constraints for wafer/dam modeling

Table 2 Material properties

	CTE ($\text{ppm}/^\circ\text{C}$)	Young's modulus (GPa)	Poisson's Ratio
Glass	3.18	70.9	0.229
Dam	57	30	0.2

준으로 진행하였다. Borosilicate 유리 웨이퍼의 경우 타 유리 웨이퍼와 비교하여 내열성 및 내 산성이 좋고 CTE가 낮아 이미징센서 분야에 널리 사용되고 있다. 또한 댄 물질은 접합특성, 유리 전이온도, 경화온도를 평가하여 본 연구에 적합한 재료로 선정하였다.^[10] 사용된 글라스 웨이퍼와 댄의 물성으로는 휨 변화량에 가장 많은 영향을 미치는 열팽창계수와 푸아송비, 탄성계수는 Table 2와 같다.

4. 해석 결과 비교

4.1 1×1 Chip의 시간에 따른 온도 편차에 대한 비교

댄 형상이 형성된 웨이퍼의 공정이 진행될 때 온도 분포가 고르고 빠른 속도로 공정 온도 까지 도달 되어야 한다. 웨이퍼 전면의 온도가 고르지 않을 시에는 온도가 높은 곳과 온도가 낮은 곳에 비해 물질의 열 물성에 의해 더욱 많은 변화가 형성될 수 있기 때문이다. 때문에 공정온도에 따른 웨이퍼 칩의 온도 편차의 확인이 필요하며, 온도 편차는 해석이 진행된 웨이퍼 칩의 전면 중 온도의 최소 지점과 최대 지점의 차로 정의한다. 해석은 공정시간을 3,600 초로 설정하고, 공정온도를 80℃~200℃까지의 온도를 기준으로 해석을 진행하였다.

Fig. 5는 150℃의 공정온도에서 1×1 웨이퍼 칩의 해석을 진행한 결과이다. Table 3의 해석결과를 확인하게 되면 웨이퍼 위에

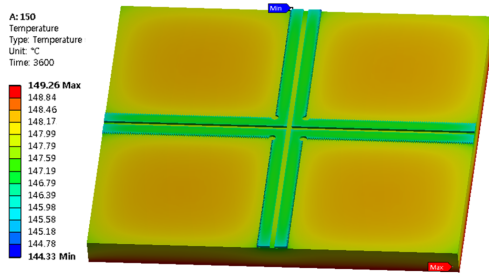


Fig. 5 Result of thermal analysis (1 × 1 chip)

Table 3 Comparison analysis of transient thermal

Temperature (°C)	Min (°C)	Max (°C)	Deviation (°C)
80	79.24	79.66	0.42
100	98.98	99.55	0.57
120	118.72	119.44	0.72
150	148.33	149.26	0.93
160	153.9	158	4.1
170	163.4	167.8	4.4
180	173.0	177.7	4.7
190	182.6	187.5	4.9
200	192.1	197.4	5.3

형성된 댄 형상의 끝 단면과 웨이퍼 칩의 사각 끝단에서 최소 온도를 갖으며, 최고 온도의 경우 직접적으로 가열 되는 부분인 웨이퍼의 밑 단면에서 최고 온도가 발생한다. 또한 댄 형상의 웨이퍼보다 상대적으로 낮은 온도에 있음을 확인할 수 있다. 그리고 웨이퍼 칩의 전체 온도 분포는 150℃까지는 온도가 균일하며 160℃이상부터는 온도가 불균일한 것을 확인 할 수 있었다. 온도 편차의 경우 80℃~150℃까지는 0.42℃~0.93℃로 1℃미만의 근소한 차이를 보였으며, 160℃이상의 온도에서는 4.1℃~5.3℃로 큰 온도편차가 발생하였다.

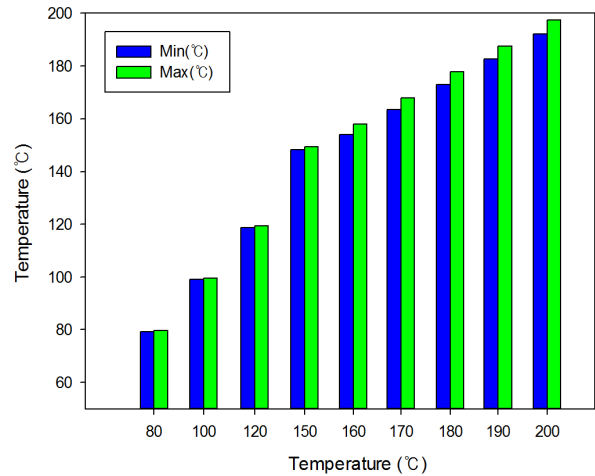
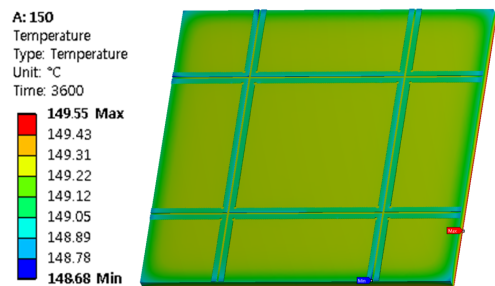


Fig. 6 Result of thermal analysis (2 × 2 chip)

Table 4 Comparison analysis of transient thermal

Temperature (°C)	Min (°C)	Max (°C)	Deviation (°C)
80	79.34	79.72	0.38
100	99.11	99.67	0.56
120	118.91	119.65	0.74
150	148.68	149.55	0.87
160	154.4	158.6	4.2
170	164.0	168.4	4.4
180	173.8	178.8	5.0
190	183.2	188.6	5.4
200	193.0	199.0	6.0

4.2 2×2 Chip의 시간에 따른 온도 편차에 대한 비교

2×2 웨이퍼 칩의 해석은 웨이퍼 칩의 크기가 증가하였을 때의 온도 분포에 대한 경향을 확인하기 위해 진행하였다. 해석의 진행은 1×1 웨이퍼 칩의 해석 조건과 동일하게 진행하였으며, 해석의 결과를 바탕으로 1×1 웨이퍼 칩의 경향과 2×2 웨이퍼 칩의 경향을 비교 분석하였다.

Fig. 6는 150℃의 공정온도에서 2×2 웨이퍼 칩의 해석을 진행한 결과이다. Table 4의 해석결과를 확인하면 되면 앞서 진행된 1×1 웨이퍼 칩에서의 결과와 유사한 경향을 보이며, 최대 온도와 최소 온도가 발생하는 지점 또한 유사한 것을 확인 할 수 있다.

그리고 웨이퍼 칩의 전체 온도 분포 또한 150℃까지는 온도가 균일하며 160℃이상부터는 온도가 불균일한 것을 확인 할 수 있었다. 온도 편차의 경우 80℃~150℃까지는 0.438℃~0.87℃로 1℃ 미만의 근소한 차이를 보였으며, 160℃이상의 온도에서는 4.2℃~6.0℃로 큰 온도편차가 발생하였다. 웨이퍼 칩의 사이즈가 커짐에 따라 온도 편차의 값이 근소하게 상승하였으나, 그 변화폭이 크지 않아 1×1 웨이퍼 칩과 2×2 웨이퍼 칩의 공정온도에 따른 온도 분포와 온도 편차는 유사한 경향을 보임을 확인 할 수 있다.

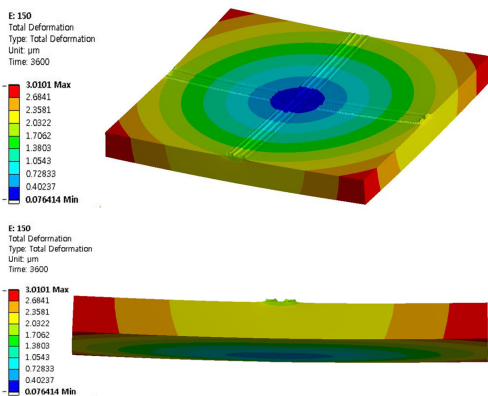


Fig. 7 Warpage of 150℃ 1×1 chip model

Table 5 Deformation analysis of the dam height for 1×1 chip model

Temperature (°C)	Min (μm)	Max (μm)
80	0.0317	1.3763
100	0.0437	1.8644
120	0.0612	2.3050
150	0.0764	3.0101
160	0.0823	3.2452
170	0.0883	3.4804
180	0.0943	3.7156
190	0.1003	3.9507
200	0.1062	4.1859

4.3 1×1 Chip의 휨 변형량

웨이퍼의 휨과 깨짐은 불량률 증가시키기 때문에 웨이퍼 공정상에서 매우 중요한 공정 변수라 할 수 있다. 이러한 웨이퍼의 휨은 접합된 물질의 서로 다른 열팽창계수에 의해 발생된다. 때문에 웨이퍼 칩과 그 위에 형성된 댐 형상을 공정온도로 가열하였을 때 웨이퍼의 휨을 확인하며, 휨 구조 해석의 경우 온도 편차를 구하는 해석과 동일한 조건으로 해석을 진행하였다.

열 특성 조건에 대한 웨이퍼 칩의 휨 구조 해석은 Table 5와 같은 결과를 갖는다. Fig. 7는 공정온도 150℃에서의 웨이퍼 휨에 대한 해석결과이다.

해석 결과를 확인해 보았을 때 최소 휨 변형량의 경우 0.03 μm~0.1 μm로 댐 형상이 교차되는 중앙 지점에서 최소 변형이 발생하였으며, 최대 휨 변형량의 경우 1.37 μm~4.18 μm로 웨이퍼 칩의 끝단에서 최대 변형량이 발생함을 확인하였다. 또한 웨이퍼의 휨 변형은 공정 온도가 상승함에 따라 비슷한 비율로 휨 변형량이 증가하는 경향을 보인다.

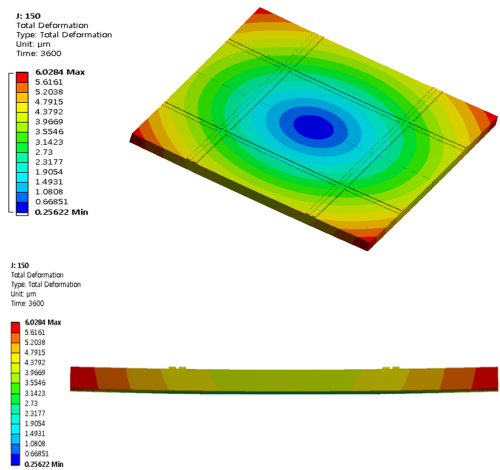


Fig. 8 Warpage of 150℃ 2×2 chip model

Table 6 Deformation analysis of the dam height for 2×2 chip model

Temperature (°C)	Min (μm)	Max (μm)
80	0.1161	2.7316
100	0.1561	3.6735
120	0.1961	4.6155
150	0.2562	6.0284
160	0.2762	6.4993
170	0.2962	6.9703
180	0.3162	7.4412
190	0.3363	7.9122
200	0.3563	8.3832

4.4 2×2 Chip의 휨 변형량

2×2 웨이퍼 칩의 해석은 웨이퍼 칩의 크기가 증가하였을 때의 휨 변형에 대한 경향을 확인하기 위해 진행하였다. 해석의 진행은 1×1 웨이퍼 칩의 해석 조건과 동일하게 진행하였으며, 해석의 결과를 바탕으로 1×1 웨이퍼 칩의 경향과 2×2 웨이퍼 칩의 경향을 비교 분석하였다.

2×2 웨이퍼 칩의 해석 결과는 Table 6과 같은 결과를 갖으며, Fig. 8는 공정온도 150°C에서의 2×2 웨이퍼 칩에 대한 해석결과이다.

해석 결과를 확인해 보았을 때 최소 휨 변형량의 경우 0.12 μm~0.36 μm로 2×2 웨이퍼 칩의 중앙 부분에서 최소 변형이 발생하였으며, 최대 휨 변형량의 경우 2.73 μm~8.39 μm로 댐 형상이 형성되지 않은 웨이퍼 칩의 끝단에서 최대 변형량이 발생하였다. 또한 2×2 웨이퍼 칩의 휨 변형은 1×1 웨이퍼 칩의 휨 변형보다 크게 발생되었으며, 공정 온도에 따른 휨 변형은 1×1 웨이퍼 칩과 유사하게 비슷한 비율로 증가함을 확인 할 수 있다. 앞서 해석을 진행하였던 웨이퍼의 온도 편차와 연계하여 확인 하였을 때, 웨이퍼의 휨은 온도 편차가 가장 큰 부분인 웨이퍼 칩의 사각 끝단에서 발생함을 확인 할 수 있다. 반면 웨이퍼 칩의 끝단과 같은 온도 편차를 보이는 댐이 형성된 끝단의 경우 상대적으로 적은 휨이 발생함을 확인 할 수 있다.

5. 결론 및 토의

본 논문은 3,600초간 공정온도를 80°C~200°C까지의 변화를 주어 온도 상승 구속조건에 대한 열전달 해석을 글라스 웨이퍼 및 댐 형상에 대하여 진행하였고, 그 결과를 바탕으로 웨이퍼레벨 패키지 접합 공정에 대한 최적 설계를 진행하였다. 해석 결과를 통해 시간에 따른 웨이퍼 칩 전체에 증가하는 온도 분포가 150°C이하일 때 보다 균일하고 온도 편차가 미비함을 확인 하였으며, 또한 댐 형상의 증가하는 온도 분포가 균일하고 온도 차이가 적음을 확인하였다. 공정에 큰 영향을 미치는 휨 변형에 관한 해석을 통해 전체적인 휨의 변화를 확인하였다. 온도 변화에 따른 휨 변형의 경우 온도 상승에 따라 휨 변형량이 증가하였으나 변형된 휨의 크기가 공정상의 휨 허용치인 50 μm이내에 존재 하였기 때문에 공정시 안전하다

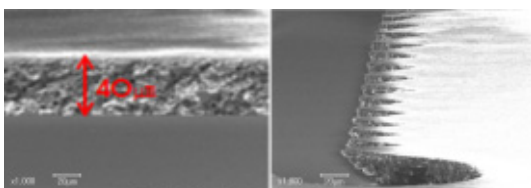


Fig. 9 SEM Image of Dam Pattern

고 볼 수 있다. 그리고 해석의 신뢰도를 높이기 위하여 1×1 웨이퍼 칩 모델에서 진행된 해석 결과를 토대로 2×2 웨이퍼 칩 모델로 확장하여 해석을 실시하였으며, 온도 편차의 경우 두 크기에 대하여 동일한 경향임을 확인 할 수 있으며, 휨 변형의 경우 일정 비율로 휨 변형의 크기가 증가함을 확인 할 수 있었다. 이러한 결과를 바탕으로 공정온도 150°C일 때 최적의 공정 조건을 갖는 것을 확인 할 수 있으며, 또한 공정 조건을 통해 글라스 웨이퍼에 댐 형상을 형성한 웨이퍼 칩을 SEM 촬영을 통해 확인하였을 때 Fig. 9와 같이 댐의 형상이 균일하게 증착됨을 확인 할 수 있다.

후 기

현 본 연구는 지식경제부의 산업융합원천기술개발사업(과제번호 : 10045276) 두께 3.5 mm 이하급 이미지센서-경통 일체형 모바일 카메라 모듈의 융합 생산기반기술 개발 사업의 지원으로 수행된 결과임.

References

- [1] Schmidt, M. A., 1998, Wafer-to-wafer bonding for microstructure formation, Proc. of the IEEE 86:8 1575-1585.
- [2] Harendt, C., Graf G., Hofflinger, B., Penteker, J. E., 1992, Silicon fusion bonding and its characterization, Micromech Microeng. 2 113-116.
- [3] Niklaus, F., Enoksson, P., Griss, P., Kalvesten, E., Stemme, G., 2001, Low-temperature wafer-level transfer bonding, J. Microelectromech. Syst. 12 525-531.
- [4] Rogers, T., Kowal, J., 1995, Selection of glass anodic bonding conditions and material compatibility for silicon-glass capacitive sensors, Sens Actuators A 46-47 113-120.
- [5] Wiemer Maik, Jia Chenping, Toepper Michael, Hauck Karin., 2006, Wafer bonding with BCB and SU-8 for MEMS Packaging, Electronics system integration technology conference 1401-1405.
- [6] Jeon Insu, Kang K. J., Im, S. Y., 2008, Stress intensities at the triple junction of a multi level thin-film package, Microelectronics Reliability 48 749-756.
- [7] Bilenberg, B., Nielsen, T., 2004, PMMA to SU-8 bonding for polymer based lab-on-a-chip system with integrated optics, Journal of Micromechanics and Microengineering 14 814-818.
- [8] Pan C. T., Cheng, P. J., 2005, Intermediate wafer level bonding and interface behavior, Microelectronics Reliability 45 657-663.
- [9] Conradi, E. H., Moore, D. F., 2002, SU-8 thick photoresist

processing as a functional material for MEMS applications, *Journal of Micromechanics and Microengineering* 12 368-37.

- [10] Park, J.-H., Koo, Y.-M., Kim, E.-k., Kim, G.-S., 2009, A reliability and warpage of wafer level bonding for CIS device using polymer, *Journal of the Microelectronics & Packaging Society* 16:1 27-31.
- [11] Kim, S. K., Kim, J.-Y., Jung, H.-D., Kim, J. H., 2009, Simulation of Thermal Fatigue under Different Mold Compound and Chip Size for Wafer Level Embedded SiP, *Journal of the Korean Society of Machine Tool Engineers* 108-112.
- [12] Song, C.-G., Kim, K.-H., Choa., S.-H., 2011, Warpage Study of Ultra Thin Package Used in Mobile Devices, *Journal of the Microelectronics & Packaging Society* 29:1 20-24.