

논문 2014-51-6-8

# 낮은 분주비의 위상고정루프에 주파수 체배기와 지연변화-전압 변환기를 사용한 클럭 발생기

## ( A Low-N Phase Locked Loop Clock Generator with Delay-Variance Voltage Converter and Frequency Multiplier )

최 영 식\*

( Young-Shig Choi<sup>©</sup> )

요 약

본 논문에서는 낮은 분주비의 분주기를 갖는 위상고정루프에 주파수 체배기를 이용하여 잡음 특성을 개선한 위상고정루프 클럭 발생기를 제안하였다. 전압제어발진기에서 각 지연단의 지연 정도를 지연변화-전압 변환기를 이용하여 전압의 형태로 출력한다. 평균값 검출기를 이용하여 지연변화-전압 변환기 출력 전압의 평균값을 만들어 지연단의 위상 흔들림을 제어하는 전압으로 인가하여 지터를 줄일 수 있다. 제안된 클럭 발생기는 1.8V 0.18 $\mu$ m CMOS 공정을 이용하여 시뮬레이션은 출력 신호의 peak-to-peak 지터 값은 11.3 ps이었다.

Abstract

A low-N phase-locked loop clock generator with frequency multiplier is proposed to improve phase noise characteristic. Delay-variance voltage converter (DVVC) generates output voltages according to the delay variance of delay stages in voltage controlled oscillator. The output voltages of average circuit with the output voltages of DVVC are applied to the delay stages in VCO to reduce jitter. The HSPICE simulation of the proposed phase-locked loop clock generator with a 0.18 $\mu$ m CMOS process shows an 11.3 ps of peak-to-peak jitter.

Keywords : PLL, Clock Generator, low jitter

### I. 서 론

칩의 동작속도가 계속 증가하여 주기가 점점 짧아짐에 따라 지터가 작은 클럭 발생기의 필요성이 증가하고 있다. 고속 시스템에서는 칩 간의 인터페이스에서 발생하는 클럭 신호의 지연되는 양을 무시할 수 없으며, 이

러한 지연이 각 칩 간의 데이터 전송 시 심각한 타이밍 문제를 발생 시킬 수 있기 때문에 고속 시스템에서는 위상고정루프에 비해 좀 더 안정적인 지연고정루프를 사용한 동기회로가 이용된다. 지연고정루프는 전압제어 발진기 (Voltage Controlled Oscillator : VCO) 대신 지연소자 (voltage controlled delay line : VCDL)을 사용하는 동시에 일차 시스템이기 때문에 항상 안정하며 지터의 축적이 없고, 빠른 고정 시간을 갖는 장점이 있다. 그러나 시스템이 요구하는 높은 클럭 신호를 가진 출력 신호를 만들기 어렵다는 단점이 있다. 지연고정루프 (Delay-locked loop : DLL) 구조로 만든 클럭 발생기는

\* 정회원, 부경대학교 전자공학과  
(Department of Electronic Engineering, Pukyong National University)

© Corresponding Author(E-mail: choiys@pknu.ac.kr)  
접수일자: 2013년11월28일, 수정일자: 2014년04월02일  
수정완료: 2014년05월23일

기존 위상고정루프 (Phase-locked loop : PLL)로 만든 클럭 발생기보다 구조가 간단하며 우수한 잡음 특성과 PVT (process, voltage, temperature) 값들에 둔감한 특징을 가지고 있다<sup>[1-3]</sup>. 지연고정루프로 높은 클럭 신호를 가진 출력 신호를 만들기 위해 주파수 체배기를 사용하였다. 지연고정루프에 사용되는 지연소자간의 지연시간 불일치가 지터의 원인이 된다. 최근에는 지연소자에서 생성된 신호를 조합하면서 발생하는 지연시간 불일치를 줄인 다양한 구조의 지연고정루프 클럭 발생기가 발표되었다<sup>[4-6]</sup>. 그러나 기존 주파수보다 높은 클럭 신호를 생성하기 위해서는 많은 수의 지연소자와 높은 클럭 신호를 만들기 위해 많은 부가 회로가 필요하다.

위상고정루프 클럭 발생기는 기존 주파수 보다 높은 주파수를 만들기는 쉬우나 위상고정루프의 경우 전압제어발진기를 사용한 폐루프 부궤환 구조이기 때문에 루프 필턴 차수에 의해 고차 시스템이 되어 설계하기가 어려우며, 동작이 안정되었을 때 PVT (process, voltage, temperature) 값들에 의해서 루프 대역폭이 쉽게 변화 될 수 있으며, 고정시간이 늦고, 지터가 지연고정루프 클럭 발생기보다 크다는 단점들이 있다. 높은 클럭 신호를 얻기 위한 분주기의 분주 값에 의해 잡음 특성이 결정되므로 위상고정루프 클럭 발생기의 출력 신호가 기존 신호보다 높으면 높을수록 지터 특성은 나빠진다<sup>[7-11]</sup>.

본 논문에서는 높은 클럭 신호를 만드는 지연고정루프에서 사용된 주파수 체배기를 선택하여 지터 특성이 우수한 낮은 분주비의 분주기를 사용한 위상고정루프 클럭 발생기를 설계하였다. 낮은 분주비를 가지는 분주기를 사용하여 잡음특성을 개선하였고, 원하는 높은 클럭 신호를 만들기 위해 주파수 체배기를 사용하였다. 전압제어발진기의 지연소자간 지연시간 불일치 크기를 줄이기 위해 지연변화-전압 변환기와 평균 값 회로를 사용하였다. 제안한 위상고정루프 클럭 발생기는 1.8V 0.18 $\mu$ m CMOS 공정을 사용하여 HSPICE 시뮬레이션을 통해 결과를 검증하였다.

## II. 제안된 클럭 발생기 설계

### 1. 제안한 위상고정루프

제안된 클럭 발생기는 그림 1과 같이 위상주파수검출기(Phase Frequency Detector : PFD)와 전하펌프

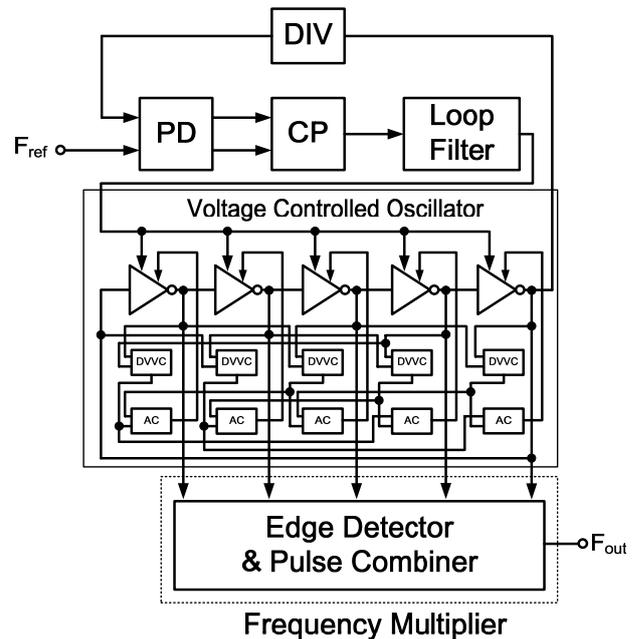


그림 1. 제안한 클럭 발생기의 구조.

Fig. 1. Block diagram of the proposed clock generator.

(Charge Pump : CP), 2차 루프필터(Loop Filter : LF), 지터를 줄여주는 회로가 포함된 전압제어 발진기 (Voltage Controlled Oscillator : VCO), 낮은 분주비를 가지는 분주기(Divider), 그리고 주파수 체배기 (Frequency Multiplier : FM)로 구성된다. 전압제어발진기는 기존의 전압제어발진기와 각 지연단의 지연 값을 함께 해주는 지연변화-전압 변환기 (Delay Variance Voltage Converter : DVVC)와 평균 값 회로 (Average Circuit : AC)로 구성되어 있다. 주파수 체배기는 엣지 검출기(Edge detector)와 펄스 합성기(Pulse combiner)로 구성된다.

각 전압제어발진기의 지연단의 신호를 입력으로 받아 엣지 검출기에서 상승 엣지를 감지하여 펄스신호로 만들고 펄스 합성기에서 각 펄스신호를 합성하여 높은 주파수의 클럭 신호를 출력한다. 지연변화-전압 변환기를 이용하여 전압제어발진기의 각 지연단간의 위상 차이를 전압으로 변환한다. 변환된 전압은 다시 평균값 검출기를 거쳐 각 지연단의 지연 크기를 제어하여 지연단 간의 지연 차이를 줄여준다. 이러한 동작은 잡음이나 기타 요인에 의한 지연변화를 보상하고, 신호간의 지연정도를 항상 일정하게 유지하여 지터 크기를 줄여준다.

$Z(s)$  루프필터를 가진 기존의 위상고정루프의 전달함

수는 식(1)와 같다.  $Z(s)$ 는 2차 루프 필터이다.

$$\frac{\phi_o}{\phi_i} = \frac{\frac{I_p}{2\pi} Z(s) \frac{K_{VCO1}}{s}}{1 + \frac{1}{N} \frac{I_p}{2\pi} Z(s) \frac{K_{VCO1}}{s}} \quad (1)$$

그림 2에서 나타난 바와 같이 제안한 구조의 전달함수는  $20\log N$  값을 가지므로 위상잡음의 크기가 작아진다.  $N$  값은 기존의  $N$  값을 전압제어 발진기의 지연단수 만큼 나누어 것이다. 그러므로 그림 2에 나타난 바와 같이 위상잡음을 줄일 수 있다. 제안한 구조의 클럭 발생기의 출력 신호 주파수는 “ $F_{ref} \times N \times$  지연단 수”이다.

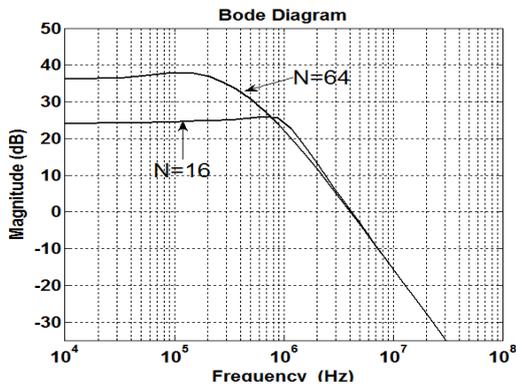


그림 2.  $N$  값에 따른 위상고정루프의 전달 함수  
Fig. 2. Transfer functions depending on  $N$ .

## 2. 위상고정루프 회로 설계

본 논문에서 사용된 전압제어발진기의 구조는 그림 3과 같으며, 5개의 차동 지연단 (Differential Delay cell),

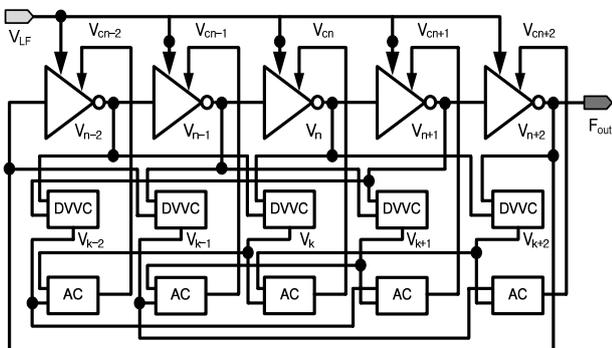
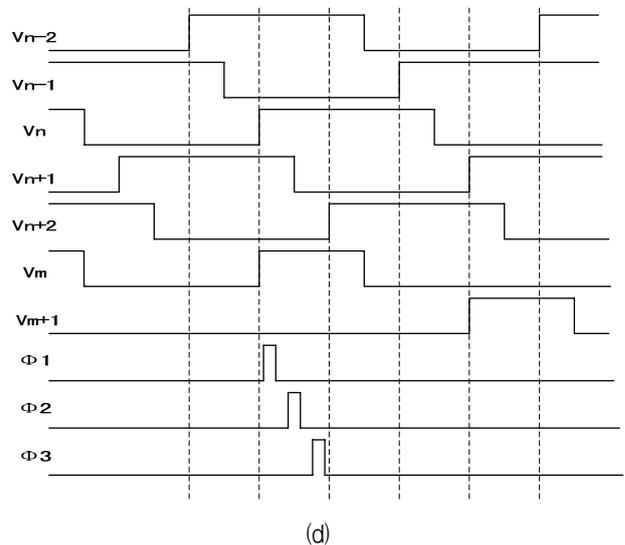
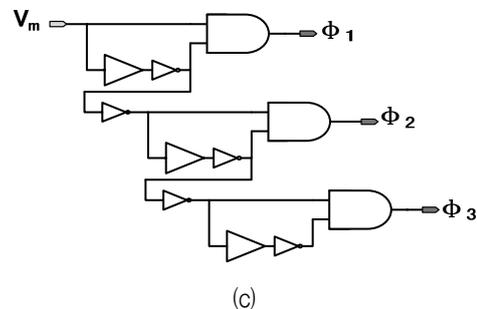
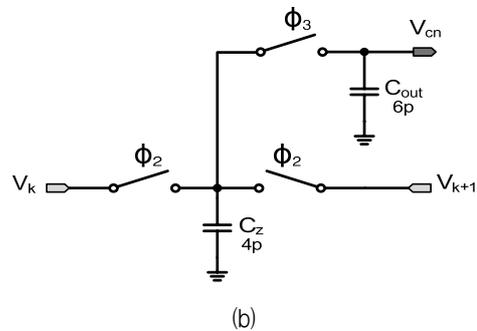
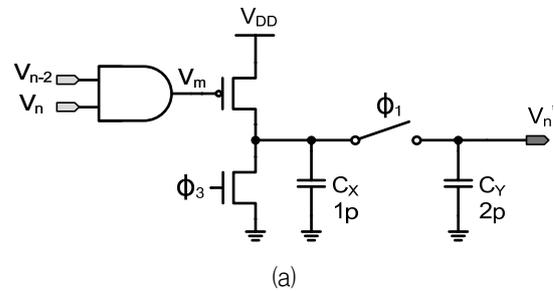


그림 3. 전압제어발진기는 기존의 전압제어발진기와 위상 변화-전압 변환기와 평균 값 회로로 구성  
Fig. 3. Block diagram of the VCO consisted of a conventional VCO, DVVC and AC.

5개의 지연변화-전압 변환기(Delay Variation - Voltage Converter), 그리고 5개의 평균값 검출기 (Average Circuit)로 구성된다.



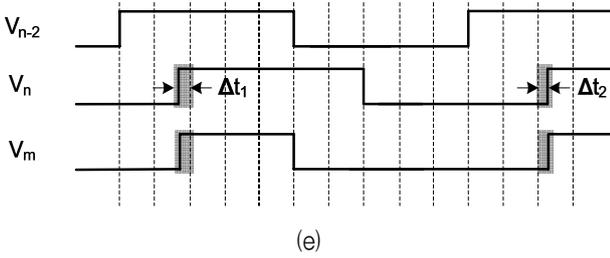


그림 4. (a) 위상변화-전압 변환기, (b) 평균값 검출, (c) 제어신호 생성회로, (d) 제어신호 타이밍, (e) 지연값이 같지 않을 때의 지연변화-전압 변환기 입출력 타이밍.

Fig. 4. (a) Circuit of Phase-variance to Voltage Converter, (b) Control signal timing, (c) Control signal block, (d) Control signal timing, (e) Timing of input-output signals of DVVC at delay mismatch.

제안한 구조의 전압제어발진기에서는 각 지연단의 지연 값을 같게 하기 위해 그림 4(a)와 (b)의 지연변화-전압 변환기와 평균값 검출기를 사용한다. 그림 4(a)와 (b)의 non-overlapped  $\phi_1$ ,  $\phi_2$ ,  $\phi_3$  제어신호는 그림 4(c)의 회로를 이용하여 출력한다. 지연변화-전압 변환기의 AND 게이트는 지연소자의 출력 신호인 ( $V_{n-2}$ )와 ( $V_n$ )를 각각 입력으로 하여 그림 4(d)에 나타난 것처럼 신호  $V_m$ 를 생성한다. 신호  $V_m$ 은 지연변화-전압 변환기의 PMOS를 "on" 시켜  $C_x$ 를 충전한다.  $\phi_1$  신호에 의해  $C_x$ 에서  $C_y$ 로 전하가 전달되며 이상적인 경우는 각 지연단의 같은 지연 값을 가지므로 항상 일정한 전압이 출력된다.  $\phi_2$  신호에 의해 전하가 전달되고  $\phi_3$  신호에  $C_x$ 는 방전된다.

여러 가지 원인으로 인하여 각 지연단의 지연 값이 달라진다, 예를 들어, 그림 4(d)와 같이  $V_{n-2}$ 과  $V_n$  두 신호가 지연변화-전압 변환기에 인가될 때  $V_n$ 의 지연이  $\Delta t_1$ 만큼 당겨지는 경우 지연변화-전압 변환기의 PMOS에 인가되는 신호  $V_m$ 이 'Low'가 되는 시간이  $\Delta t_1$ 만큼 짧아져 더 낮은 전압을 출력하고, 반대로  $V_n$ 의 위상이  $\Delta t_2$ 만큼 지연된 경우  $V_m$ 이 'Low'가 되는 시간이 길어져  $\Delta t_2$ 만큼 더 높은 전압을 출력한다.

그림 4(b)는 평균값 검출기 회로를 나타낸다. 그림 4(d)에서  $n$ 번째 지연단의 출력 신호를  $V_n$ , 이전 신호를  $V_{n-1}$ , 다음 신호를  $V_{n+1}$ 이라고 할 때,  $V_{n-2}$ 과  $V_n$  그리고  $V_{n-1}$ 과  $V_{n+1}$ 을 각각 지연변화-전압 변환기에 인가시켜 나온 각각의 출력신호를  $V_k$ ,  $V_{k+1}$ 라고 하고, 이 두 신호는 평균값 검출기에 입력신호로 인가된다.  $V_k$ 와  $V_{k+1}$

은 각 지연변화-전압 변환기  $C_y$ 의 충전 정도를 나타내는 전압이다.  $\phi_2$  신호가 인가되면, 두 전압의 평균값에 해당하는 전압이 평균값 검출기  $C_z$ 로 충전된다. 이후  $\phi_3$  신호에 의해 스위치가 닫히면  $C_z$ 의 충전된 전압은  $C_{out}$  커패시터를 충전시켜 두 전압의 평균값  $V_{cn}$ 을 출력한다.

평균값 검출기는 궁극적으로 이전 신호와 기준 신호간의 지연차이 그리고 기준 신호와 다음 신호간의 지연 크기를 같게 하여, 어떠한 요인에 의해 지연 값이 달라지더라도 모든 지연단에서 항상 똑같은 지연 값을 유지하도록 해준다. 임의의 원인 또는 칩이 제작될 때 공정 변화에 의해  $N$ 번째 지연단의 지연 값이 커지면 지연변화-전압 변환기의 전압  $V_k$ 는 상승하여  $N$ 번째 지연단의 지연을 조절하는  $K$ 번째 평균값 검출기의 출력 전압과 위상고정루프의 루프필터 전압도 상승한다. 그러면  $N$ 번째 지연단의 지연 값이 다른 지연단의 지연 값보다 좀더 작아진다. 이러한 부궤환 동작에 의해  $V_k$ ,  $V_{k+1}$ 이 같아지고 지연단의 지연 값은 같아지게 된다.

$$\begin{aligned} t_{n-2} &= t_n \\ t_{n-1} &= t_{n+1} \\ t_n &= t_{n+2} \\ t_{n+1} &= t_{n-2} \\ t_{n+2} &= t_{n-1} \end{aligned} \quad (2)$$

여기서  $t_{n-2}$ ,  $t_n$ 은  $n-2$ 와  $n$ 번째 지연단의 지연 값이며,  $n$  값은 5라고 가정한 것이다. 궁극적으로 모든 지연단의 지연 값이 같아지게 된다.

위상주파수 검출기, 전하펌프, 루프필터와 전압제어발진기로 구성된 주 부궤환 루프는 식 (2)의  $\Delta t_n$ 의 크기를 "0"으로 만들어준다. 이런 과정을 통해 모든 지연단의 지연 값 합을 기준 신호 주기 값과 같아지게 하면서 각 지연단의 지연 값도 같아지도록 해준다.

$$\begin{aligned} T_{ref} &= (t_{n-2} + \Delta t_{n-2}) + (t_{n-1} + \Delta t_{n-1}) + (t_n + \Delta t_n) \\ &\quad + (t_{n+1} + \Delta t_{n+1}) + (t_{n+2} + \Delta t_{n+2}) \end{aligned} \quad (3)$$

여기서  $T_{ref}$ 와  $t_n$ 은 기준 신호의 주기와 전압제어지연단의 각 지연단이 가지는 지연 값이다.  $\Delta t_n$ 은 전압제어지연단의 각 지연단이 가지는 지연 값 변화이다.

$N$ 번째 지연단의 지연 값이 커지면 전압제어발진기의

출력 신호의 위상이 기준신호보다 빨라지므로 주 부궤환 루프는 전압제어발진기 지연단의 모든 지연단이 가지는 지연 값을 줄여준다. 전압제어 지연단, 지연변화-전압 변환기와 평균값 검출기로 구성된 내부 부궤환 루프와 위상주파수 검출기, 전하펌프, 루프필터와 전압제어발진기로 구성된 주 부궤환 루프는 각 지연단의 지연 값이 같아지도록 한다. 내부 부궤환 루프는 전압제어발진기의 인접한 지연단의 지연 값을 같게 해주고 주 부궤환 루프는 전압제어발진기의 각 지연단이 가지는 지연 변화 값인  $\Delta t_n$ 을 줄여준다. 두 개의 부궤환 루프는 동시에 위상고정루프의 지터 크기를 줄여주는 역할을 한다.

공정 변화에 따라 5개의 평균값 검출기에 발생 할 수 미스매치는 지터 특성에 영향을 준다. 커패시턴스 크기는 공정 변화에 의한 미스매치는 크

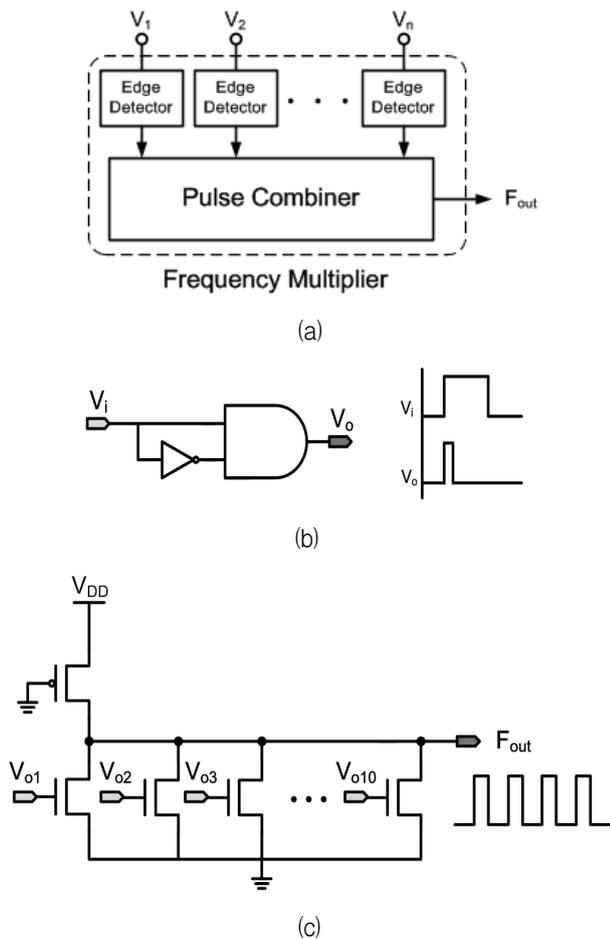


그림 5. (a) 주파수 체배기, (b) 엣지 검출기, (c) 펄스신호 합성기.  
 Fig. 5. (a) Frequency Multiplier, (b) Edge Detector, (c) Pulse Combiner.

지 않으나 레이아웃에 많은 주의가 필요하다.

그림 5의 회로는 주파수 체배기로서 엣지 검출기와 펄스신호 합성기로 이루어져 있다. 엣지 검출기는 그림 5 (b)와 같은 구조로 되어 있으며 전압제어발진기의 각 단위 지연단에서 받은 클럭 신호의 상승엣지를 감지하고 약간의 지연 시간을 주어 하나의 작은 펄스신호를 만들어 낸다. 펄스신호 합성기는 그림 5(c)와 같고 엣지 검출기에서 만든 펄스신호를 입력으로 받아 주파수

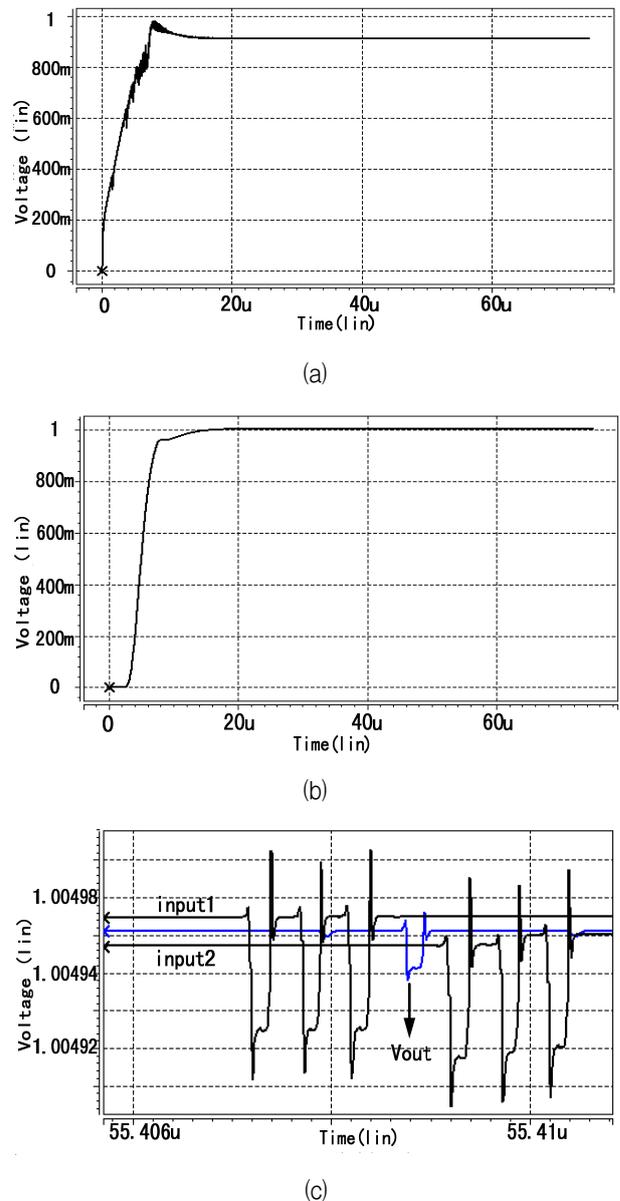


그림 6. (a) 루프필터(VLF)의 시뮬레이션 파형, (b) 평균값 검출기의 시뮬레이션 파형, (c) 평균값 검출기의 입/출력을 확대한 파형.  
 Fig. 6. Simulated waveform of (a) VLF, (b) VAC, (c) Enlarged waveform at VAC I/O signal

신호로 합성한다. 위상고정루프가 고정인 경우 각 지연단의 출력신호는 일정한 간격을 가지며 주파수 체배기를 통과하여 높은 주파수의 신호가 출력이 된다. 출력 신호의 duty ratio는 펄스 신호 합성기의 트랜지스터의 크기에 따라 결정된다.

전압제어발진기는 2개의 전압제어저항 (VCR)과 3단 링 구조로 이루어져 있다<sup>[12]</sup>. 루프필터의 전압은 전압제어저항을 통해 입력전압의 변화를 큰 전류의 변화로 변화시켜줌으로써 VCO가 넓은 출력주파수 범위를 가지도록 해준다.

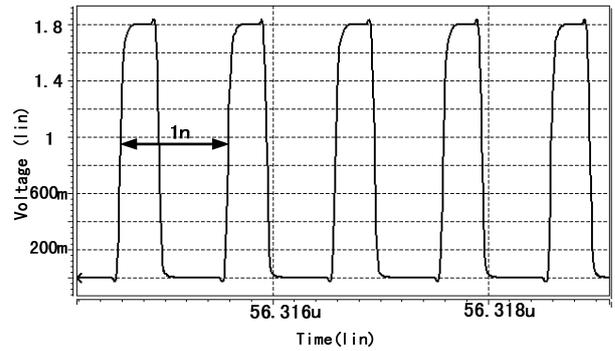
### III. 시뮬레이션 결과 및 고찰

제안된 위상고정루프를 이용한 클럭 발생기를 1.8V 0.18 $\mu$ m CMOS 공정 변수를 이용하여 HSPICE로 시뮬레이션을 수행하고 회로의 동작을 검증하였다. 12.5MHz의 입력주파수를 가지고 출력 주파수는 1GHz이며, 분주비는 16, 지연단의 개수는 5개이다. 이 회로의 변수 값은  $I_{cp}=200\mu A$ ,  $C_p=120pF$ ,  $R_z=1K\Omega$ ,  $C_z=1.5nF$ ,  $K_{VCO,LPF}=250MHz/V$ ,  $K_{VCO,AC}=150MHz/V$ 이다. 이 변수들은  $N=16$ 일 때 안정된 동작을 위해서 충분한 위상마진을 가지도록 설정하였다. 지연변화-전압 변환기와 평균 값 회로의 동작 유무에 따른 비교를 위해 지연변화-전압 변환기와 평균 값 회로를 “on” 또는 “off” 시키고 위상고정루프를 시뮬레이션 하였다.

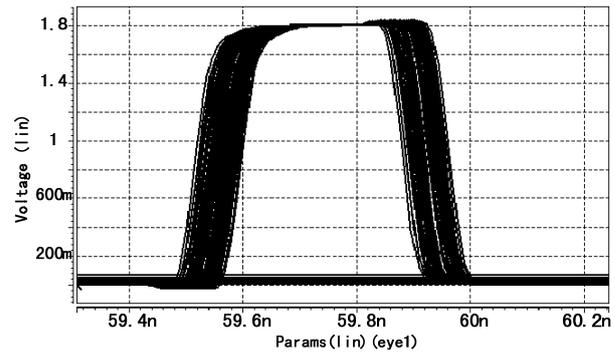
그림 6(a)는 지연고정루프의 루프필터 전압에 대한 시뮬레이션 결과를 보여준다. 약 25 $\mu$ s의 고정시간을 가지며 약 0.91V의 전압에서 고정이 된다. 그림 6(b)는 평균값 검출기의 출력파형을 보여준다. 약 1V에서 고정이 되며, 제안된 구조에서는 5개의 평균값 검출기를 사용하였지만, 임의로 하나의 출력파형을 나타내었으며, 나머지 4개의 출력파형 또한 유사한 형태를 가진다. 그림 6 (c)의 위/아래 신호는 2개의 지연변화-전압 변환기의 출력신호이며 가운데 신호는 평균값 검출기 출력 신호이다. 두 입력신호의 평균값을 출력한다. 그림 6 (c)는 입/출력신호 파형에서 갑자기 증가, 감소하는 펄스 형태의 신호를 보여주고 있다. 지연변화-전압 변환기와 평균값 회로에 사용된 스위치 “on/off”에 의한 것이다.

스위치에 사용된 트랜지스터 크기와 신호를 저장하는 커패시터 크기, 그리고 제어신호 기울기를 조절하여 줄일 수 있다.

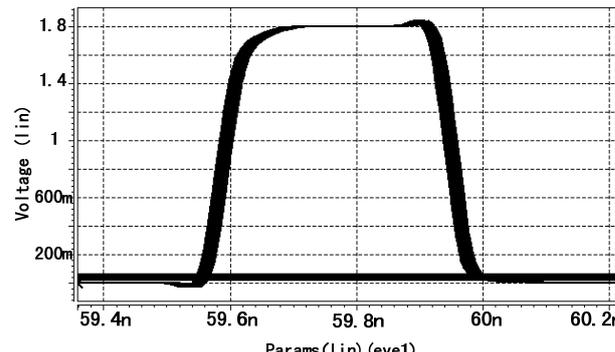
그림 7(a)는 주파수 체배기의 출력 신호를 나타내며, 1GHz의 주파수를 가지는 것을 확인할 수 있다. 그림 7 (b)와 (c)는 지연변화-전압 변환기와 평균값 회로가 동작하지 않은 경우와 동작한 경우의 주파수 체배기의 출력 신호에 대한 지터를 나타내며 최대 63.8 ps의 값을



(a)



(b)



(c)

그림 7. (a) 제안한 클럭 발생기의 출력파형 (b) 기본 구조의 주파수 체배기 출력신호 지터, (c) 제안한 구조의 주파수 체배기 출력신호 지터.

Fig. 7. (a) Simulated waveform of proposed clock generator, Jitter of (b) basic structure, (c) proposed structure.

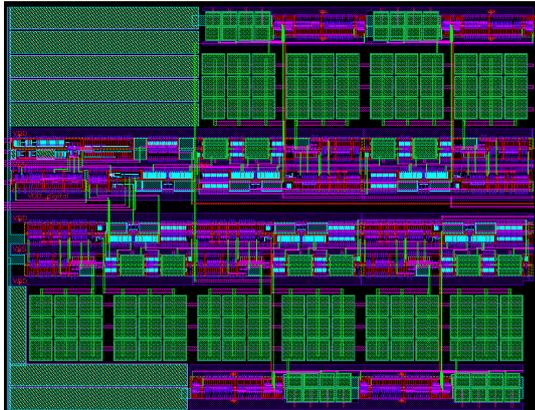


그림 8. 레이아웃.  
Fig. 8. Layout.

가지며, 제안한 구조의 경우 최대 11.3 ps의 값을 가진다. 전력 소모는 31mW입니다.

그림 8은 루프 필터를 제외한 칩 레이아웃을 나타내며, 전체 크기는 535 $\mu$ m\*466 $\mu$ m이다.

#### IV. 결 론

본 논문에서는 낮은 지터를 갖는 위상고정루프를 이용한 클럭 발생기를 제안하였다. 기존의 위상고정루프만을 이용하여 1GHz의 출력을 내려면, 높은 분주비의 분주기를 필요로 한다. 높은 분주비는 잡음에 직접적인 영향을 끼치기 때문에 이러한 점을 고려하여 제안한 구조에서는 200MHz의 출력을 내는 위상고정루프와 주파수 합성기를 이용하여 낮은 분주비를 가지면서 주파수 체배기를 사용하여 1GHz의 높은 주파수의 출력을 내도록 하였다. 추가로 지연변화-전압 변환기와 평균값 검출기를 이용하여 전압제어 발전기의 각 지연단의 출력 신호 간 지연 차이를 항상 일정하게 만들어 지터를 줄였다. 제안된 주파수 발생기는 1.8V 0.18 $\mu$ m CMOS 공정변수를 이용하여 설계하였고, 시뮬레이션 결과를 이용한 지터 측정을 통해 기존의 구조에 비해 성능이 향상됨을 확인할 수 있었다.

#### REFERENCES

[1] G. Chien and P. R. Gray, "A 900-MHz local oscillator using a DLL-based frequency multiplier technique for PCS applications," *IEEE J. Solid-State Circuits*, vol. 35, no. 12, pp. 1996

-1999, Dec. 2000.  
[2] C. Kim, I. C. Hwang and S. M. Kang, "A low-power small-area 7.28 ps jitter 1 GHz DLL-based clock generator," *IEEE J. Solid-State Circuits*, vol. 37, no. 11, pp. 1414-1420, Nov. 2002.  
[3] K. J. Hsiao and T. C. Lee, "An 8-GHz to 10-GHz distributed DLL for multiphase clock generation," *IEEE J. Solid-State Circuits*, vol. 44, no. 9, pp. 2478-2487, Sept. 2009.  
[4] J. H. Nam and Young-Shig Choi, "A clock generator with jitter suppressed delay locked loop," *IEEK SD*, vol. 49, no. 7, pp. 17-22, July 2012.  
[5] J. Choi, S. Kim, W. Kim K. Kim K. Lim, and J. Laskar, "A low power and wide range programmable clock generator with a high multiplication factor," *IEEE Trans., VLSI Systems*, vol. 19, no. 4, pp. 701-705, Apr. 2011.  
[6] K. Ryu, D. Jung, and S. Jung, "A DLL with dual edge triggered phase detector for fast lock and low jitter clock generator" *IEEE Trans. Circuits and Systems II*, vol. 59, no. 9, pp. 1860-1870, Sept. 2012.  
[7] S. Hwang, K. Kim, J. Kim, S. Kim, and C. Kim, "A self-calibrated DLL-based clock generator for an energy-aware EISC processor," *IEEE Trans., VLSI Systems*, vol. 21, no. 3, pp. 575-579, Mar. 2013.  
[8] Floyd M. Gardner, "Charge-Pump Phase-Lock Loop", *IEEE J. Tran, on Communications*, vol. COM-28, no. 11, pp. 1849-1858, Nov. 1980.  
[9] Kyoohyun Lim, Chan-Hong Park, Dal-Soo Kim and Beomsup Kim, "A Low-Noise Phase-Locked Loop Design by Loop Bandwidth Optimization," *IEEE J. Solid-State Circuits*, vol. 35, no. 6, pp. 807-815, June. 2000.  
[10] K. J. Wang, and I. Galton, "A discrete-time model for the design of type-II PLLs with passive sample loop filters," *IEEE Trans. Circuits and Systems-I*, vol. 58, no. 2, Feb. 2011.  
[11] M. M. Elsayed, M. Abdul-Latif, E. Sanchez-Sinocio, "A spur-frequency-boosting PLL with a -74 dBc reference-spur suppression in 90 nm digital CMOS," *IEEE J. Solid-State Circuits*, vol. 48, no. 9, pp. 2104 - 2117, Sept. 2013.  
[12] Y-S Choi, J-D Oh, H-H Choi, "A phase-locked loop with a self-noise suppressing voltage

controlled oscillator,” *IEEK-TC*, vol. 47, no. 8. pp. 47-52, Aug. 2010.

---

 저 자 소 개
 

---



최 영 식(정회원)

1982년 경북대학교 전자공학과  
학사 졸업.

1986년 Texas A&M University  
전자공학과 석사 졸업.

1993년 Arizona State University  
박사 졸업.

1987년~1999년 SK Hynix (구 현대전자)

1999년~2003년 동의대학교 전자공학과 교수

2003년~현재 부경대학교 전자공학과 교수

<주관심분야 : PLL, DLL, CDRC 설계>