

논문 2014-51-6-5

256 QAM까지 지원 가능한 저 복잡도 고 성능의 MIMO 심볼 검파기의 설계 및 구현

(Design and Implementation of a Low-Complexity and
High-Throughput MIMO Symbol Detector Supporting up to 256 QAM)

이 광 호*, 김 태 환**

(Gwang-Ho Lee and Tae-Hwan Kim[Ⓢ])

요 약

본 논문에서는 두 개의 공간 스트림을 갖는 multiple-input multiple-output 시스템을 위한 modified maximum-likelihood 심볼 검파 알고리즘 기반의 저 복잡도 고 성능의 심볼 검파기의 구조를 제시하고 이를 구현한 결과를 보인다. 제안하는 심볼 검파기에서는 비용함수 계산 과정에서의 각 심볼 별로 병렬적으로 계산되던 곱셈 연산을 멀티 사이클 기반의 점증적인 덧셈 연산으로 대체하였다. 또한 양자화 과정을 파이프 라인 구조를 적용하여 성상의 범위에 따라 단계적으로 수행할 수 있게 구현하였다. 그 결과 제안하는 심볼 검파기는 256 QAM과 같이 복잡한 변조 방식을 지원하면서도 하드웨어 복잡도가 낮다. 양자화 과정의 파이프 라인을 재구성함으로써 여러 변조 방식과 안테나 환경에서의 심볼 검파를 유연하게 지원한다. 설계된 심볼 검파기는 0.11- μ m CMOS 공정의 라이브러리를 사용하여 최대 478 MHz의 동작주파수에서 38.7K의 논리 게이트로 구현되어 16 QAM 에서 166Mbps, 64 QAM에서 80 Mbps의 처리량을 달성한다.

Abstract

This paper presents a low-complexity and high-throughput symbol detector for two-spatial-stream multiple-input multiple-output systems based on the modified maximum-likelihood symbol detection algorithm. In the proposed symbol detector, the cost function is calculated incrementally employing a multi-cycle architecture so as to eliminate the complex multiplications for each symbol, and the slicing operations are performed hierarchically according to the range of constellation points by a pipelined architecture. The proposed architecture exhibits low hardware complexity while supporting complicated modulations such as 256 QAM. In addition, various modulations and antenna configurations are supported flexibly by reconfiguring the pipeline for the slicing operation. The proposed symbol detector is implemented with 38.7K logic gates in a 0.11- μ m CMOS process and its throughput is 166 Mbps for 2×3 16-QAM and 80Mbps for 2×3 64-QAM where the operating frequency is 478 MHz.

Keywords : multiple-input multiple-output, MIMO symbol detection, maximum-likelihood detection, multi-cycle architecture, pipelined architecture

* 학생회원, ** 정회원, 한국항공대학교 항공전자 및 정보통신공학부

(School of Electronics, Telecommunication and Computer Engineering, Korea Aerospace University)

Ⓢ Corresponding Author(E-mail: taehwan.kim@kau.ac.kr)

※ 본 연구는 경기도의 경기도지역협력연구센터(GRRC) 사업[GRRC항공-2013-B04, 차세대 N-스크린 서비스를 위한 스크린 협업 기술 및 스마트 카메라 기술 연구]의 일환으로 수행하였음

※ 이 논문은 2012년도 정부(교육과학기술부)의 재원으로 한국연구재단의 지원을 받아 수행된 기초 연구사업임 (2012R1A1A1A043757)

※ 본 연구의 주저자는 해양수산부 해양시설과 해양교통 전문인력 양성사업(GNSS 부분)의 지원을 받고 있음

접수일자: 2014년04월02일, 수정일자: 2014년05월22일, 수정완료: 2014년06월02일

I. 서 론

무선 통신 환경에서 제한된 주파수 대역폭을 이용하여 고속의 데이터 통신을 실현하기 위하여 multiple-input multiple-output (MIMO) 시스템이 개발되었다^[1]. MIMO 시스템은 동일한 주파수 대역을 가진 다수의 공간 스트림을 통해 병렬적으로 데이터를 전송하고 여러 개의 수신 안테나를 사용하여 발생하는 다이버시티 이득을 통해 고성능의 데이터 통신을 가능케 한다. 하지만 복잡한 심볼 검파 과정이 수반되므로 낮은 복잡도를 갖는 심볼 검파 과정과 이에 대한 효율적인 하드웨어 구현이 필요하다.

MIMO 심볼 검파 과정에서 최적의 maximum-likelihood (ML)해를 찾기 위해서는 송신 가능한 모든 심볼 벡터 후보에 대하여 비용함수 계산 과정을 수행해야 한다^[1]. 하지만 이는 매우 높은 계산 복잡도를 갖기 때문에 실시간 동작을 요구하는 하드웨어의 구현이 어렵다. 심볼 검파 과정의 높은 복잡도를 줄이기 위하여 여러 알고리즘과 이에 대한 구현 방법에 관한 연구가 이루어지고 있다^[2~11]. 이 중 두 개의 공간 스트림을 갖는 MIMO 시스템에서 낮은 계산 복잡도로 최적의 ML 해를 구할 수 있는 modified ML (MML) 심볼 검파 알고리즘이 제안되었다^[3]. 하지만 MML 심볼 검파 알고리즘에 기반한 기존의 심볼 검파기도 한 번의 심볼 검파 과정에서 성상의 모든 심볼의 수만큼 비용함수 계산 과정을 동시에 수행하도록 설계되어 매우 높은 하드웨어 복잡도를 보인다^[3~4].

본 논문에서는 기존의 MML 심볼 검파 알고리즘의 병렬적인 복잡한 계산 과정을 점증적인 간단한 덧셈연산으로 변형하고 이러한 변형된 계산 과정을 기반으로 하는 효율적인 심볼 검파기의 구조를 제안한다. 본 논문에서 제안하는 바는 다음과 같이 요약된다.

1) 제안하는 심볼 검파기에서는 각 심볼별로 병렬적으로 계산되는 기존 방식의 비용함수 계산과정을 변형하여 점증적으로 계산할 수 있게 대체하였다. 또한 양자화 과정을 파이프 라인 구조에 기반하여 성상의 범위에 따라 단계적으로 수행 할 수 있게 하였다. 그 결과 256 QAM과 같이 복잡한 변조 방식을 지원하면서도 낮은 복잡도로 구현이 될 수 있게 하였으며 양자화 과정에서 파이프라인의 재구성을 통해 여러 변조 방식에서 유연한 심볼 검파를 지원한다.

2) 제안하는 멀티 사이클 구조의 심볼 검파기를 구현한 결과 최대 478 MHz의 동작주파수에서 38.7K의 적은 게이트 수로 구현되었으며, 16 QAM에서 166 Mbps, 64 QAM에서 80 Mbps의 처리량을 달성한다. 또한 1 × 3과 2 × 3의 안테나 환경에서 B/QPSK, 16/64/256 QAM의 다양한 변조 방식을 지원하며 알고리즘의 변형이 없으므로 최적의 에러율 성능을 유지할 수 있다.

본 논문의 구성은 다음과 같다. II장에서는 MIMO 심볼 검파 과정에 대하여 소개하고 MML 심볼 검파 알고리즘에 대하여 설명한다. III장에서는 기존의 MML 심볼 검파 알고리즘의 계산 과정을 변형하여 복잡도를 줄이는 방법을 제시하고 이를 구현하기 위한 하드웨어의 구조에 대하여 설명한다. IV장에서는 제안하는 심볼 검파기의 구현 결과를 정리하고 기존의 연구결과와 비교하여 본 논문에서 제안하는 심볼 검파기의 우수성을 보인다. 마지막으로 V장에서 결론으로 본 논문을 마친다.

II. 심볼 검파 알고리즘

1. MIMO 심볼 검파

2개의 송신 안테나와 N 개의 수신 안테나를 통해 두 개의 공간 스트림을 갖는 MIMO 시스템의 송수신 모델은 다음과 같다.

$$\mathbf{y} = \mathbf{H} \cdot \mathbf{x} + \mathbf{n} \quad (1)$$

\mathbf{y} 는 $N \times 1$ 의 크기의 수신 심볼 벡터, $\mathbf{x}=[x_1, x_2]^T \in \Omega^2$ 는 송신 심볼 벡터, \mathbf{H} 는 $N \times 2$ 크기의 채널행렬, \mathbf{n} 은 $N \times 1$ 크기의 부가 잡음으로 \mathbf{n} 의 각 요소는 평균 0, 분산 σ^2 의 복소 가우시안 랜덤 변수이다. Ω 는 변조 방식에 따른 성상 집합을 의미하며, \mathbf{x} 를 통해 총 $2\log_2|\Omega|$ 비트가 전송된다 ($|\Omega|$ 는 Ω 의 크기를 의미). 이 중 x_1 을 통해 첫 번째부터 $\log_2|\Omega|$ 번째 비트까지 전송되며, 나머지는 x_2 를 통해 전송된다. 본 논문에서는 $N = 3$ 의 심볼 검파기를 설계하였다.

MIMO 심볼 검파 과정에서 연관정 값은 다음과 같이 계산할 수 있다^[10].

$$L_k = \left(\min_{\mathbf{x} \in \mathcal{X}_{k,0}} C(\mathbf{x}) - \min_{\mathbf{x} \in \mathcal{X}_{k,1}} C(\mathbf{x}) \right) / 2\sigma^2 \quad (2)$$

L_k 는 k 번째 비트에 대한 연관정 값을 뜻하며 ($1 \leq k$

$\leq 2\log_2|\Omega|$), $C(\mathbf{x}) \equiv \|\mathbf{y}-\mathbf{H}\mathbf{x}\|^2$ 는 \mathbf{x} 에 대한 비용함수이다 ($\|\mathbf{y}-\mathbf{H}\mathbf{x}\|^2$ 는 $\mathbf{y}-\mathbf{H}\mathbf{x}$ 의 L^2 -norm의 제곱). $\mathcal{X}_{k,p} \subset \Omega^2$ 는 k 번째 비트가 p 인 후보들로 이루어진 부분 집합이다 (p 는 0 또는 1). 본 방법은 각 비트 별 연관정 값을 얻기 위해서, 전체 심볼 벡터 공간 Ω^2 의 모든 심볼 벡터 후보에 대하여 비용함수를 계산해야 하기 때문에 높은 계산 복잡도를 갖는다.

2. Modified ML 심볼 검파 알고리즘

두 개의 공간 스트림을 갖는 MIMO 시스템에서는 한 공간 스트림의 심볼을 이용해 다른 공간 스트림의 심볼의 최적 해를 의사 역 행렬을 도입하여 구할 수 있다^[3]. MML 심볼 검파 알고리즘에서는 이를 이용하여 아래와 같이 비용함수와 연관정 값을 계산할 수 있다^[4].

$$C_1(x_1) = \left\| \mathbf{y} - \mathbf{h}_1 x_1 - \mathbf{h}_2 Q \left(\mathbf{h}_2^H \mathbf{y} - \mathbf{h}_2^H \mathbf{h}_1 x_1, \|\mathbf{h}_2\|^2 \right) \right\|^2 \quad (3)$$

$$C_2(x_2) = \left\| \mathbf{y} - \mathbf{h}_2 x_2 - \mathbf{h}_1 Q \left(\mathbf{h}_1^H \mathbf{y} - \mathbf{h}_1^H \mathbf{h}_2 x_2, \|\mathbf{h}_1\|^2 \right) \right\|^2 \quad (4)$$

\mathbf{h}_k 는 \mathbf{H} 의 k 번째 열 벡터를 의미한다. $\mathcal{X}'_{k,p} \subset \Omega$ 는 k 번째 전송 비트가 p 인 후보 심볼들로 이루어진 집합이며, $Q(a,b) \equiv \arg \min_{x \in \Omega} \|a - bx\|$ 는 양자화(slicing) 연산이다. MML 심볼 검파 과정에서는 (3), (4)에 따라 모든 가능한 $x_1 \in \Omega$, $x_2 \in \Omega$ 각각에 대하여 C_1 , C_2 를 구하여 (5)에 따라 연관정 값을 계산한다.

$$L_k = \begin{cases} \left(\min_{x_1 \in \mathcal{X}'_{k,0}} C_1(x_1) - \min_{x_1 \in \mathcal{X}'_{k,1}} C_1(x_1) \right) / 2\sigma^2 & \text{for } 1 \leq k \leq \log_2 |\Omega| \\ \left(\min_{x_2 \in \mathcal{X}'_{k,0}} C_2(x_2) - \min_{x_2 \in \mathcal{X}'_{k,1}} C_2(x_2) \right) / 2\sigma^2 & \text{for } 1 + \log_2 |\Omega| \leq k \leq 2 \log_2 |\Omega| \end{cases} \quad (5)$$

(3)과 (4)에서 각각 하나의 공간 스트림 상의 Ω 내의 모든 후보 심볼들에 대해서만 비용함수를 계산하므로, Ω^2 내의 후보 심볼들에 대해 계산을 하는 (2)의 심볼 검파 과정과 비교하여 상대적으로 낮은 계산 복잡도를 갖는다.

이러한 MML 심볼 검파 알고리즘에 기반한 심볼 검파기의 하드웨어 구조가 [3~4]에서 연구되었다. [3~4]에서 제안된 심볼 검파기에서는, (3), (4)에서 표현된 비용함수를 성상 내의 모든 가능한 심볼에 대하여 동시에

병렬적으로 계산하기 위한 다수의 계산 유닛을 내장하고 있다. 이는 높은 심볼 검파 속도를 달성하기에는 유리하지만, 256 QAM과 같이 복잡한 변조 방식에 대해서는 가능한 심볼의 후보의 개수가 매우 많기 때문에, 이를 구현하기 위한 하드웨어의 복잡도가 매우 커지게 된다.

III. 제안하는 심볼 검파기

본 장에서는 제안하는 심볼 검파기의 하드웨어 구조와 동작 방식에 대하여 설명한다. 제안하는 심볼 검파기는 멀티 사이클 기반으로 점증적인 과정을 통해 비용함수를 계산하고, 파이프라인 기반으로 양자화 과정을 수행함으로써 복잡한 변조방식을 지원하면서도 하드웨어 복잡도가 낮다.

1. 전체 구조

그림 1은 제안하는 심볼 검파기의 전체 구조를 보이고 있다. 그림에서 보는 바와 같이, 심볼 검파기는 내부적으로 DU1과 DU2로 구성되어 있으며, 각각 x_1 과 x_2 를 통해 전송되는 비트들에 대한 연관정 값을 (3)-(5)에 따라 계산한다. DU1에서는 성상 내의 $x_1 \in \Omega$ 에 대해서 순차적으로 (3)에 따라 $C_1(x_1)$ 을 계산하여, (5)에 따라 연관정 값을 계산한다. 제안하는 심볼 검파기에서는 C_1 을 아래와 같이 정의한 a , β , γ 로 나누어 계산한다.

$$C_1(x_1) = \left\| \underbrace{\mathbf{y} - \mathbf{h}_1 x_1}_{\beta(x_1)} - \mathbf{h}_2 Q \left(\underbrace{\mathbf{h}_2^H \mathbf{y} - \mathbf{h}_2^H \mathbf{h}_1 x_1}_{\alpha(x_1)}, \|\mathbf{h}_2\|^2 \right) \right\|^2 \quad (6)$$

먼저, CCU에서는 $x_1 \in \Omega$ 에 대하여 그림 1에 표시된 바와 같이, 비용함수 계산에 필요한 $a(x_1)$, $\beta(x_1)$ 을 점증적으로 계산한다. SMCU는 파이프라인 형태의 구조로 CCU에서 계산된 a , β 를 이용하여 $\gamma(a, \beta)$ 를 계산한다. NORMU에서는 변형된 L^1 -norm을 도입하여^[7] 비용함수 C_1 의 계산을 완료하고, 최종적으로 LLRU에서는 (5)에 따라 비용함수 값을 비교하여 비트 별 연관정 값을 출력한다. 비용함수 계산 과정에 필요한 $\mathbf{h}_1^H \mathbf{h}_2$, $\mathbf{h}_1^H \mathbf{y}$, $\|\mathbf{h}_2\|^2$, $\mathbf{h}_2^H \mathbf{h}_1$, $\mathbf{h}_2^H \mathbf{y}$, $\|\mathbf{h}_1\|^2$ 는 채널의 변화에 따라 미리 계산되어 입력된다. DU2는 DU1과 동일한 구조를

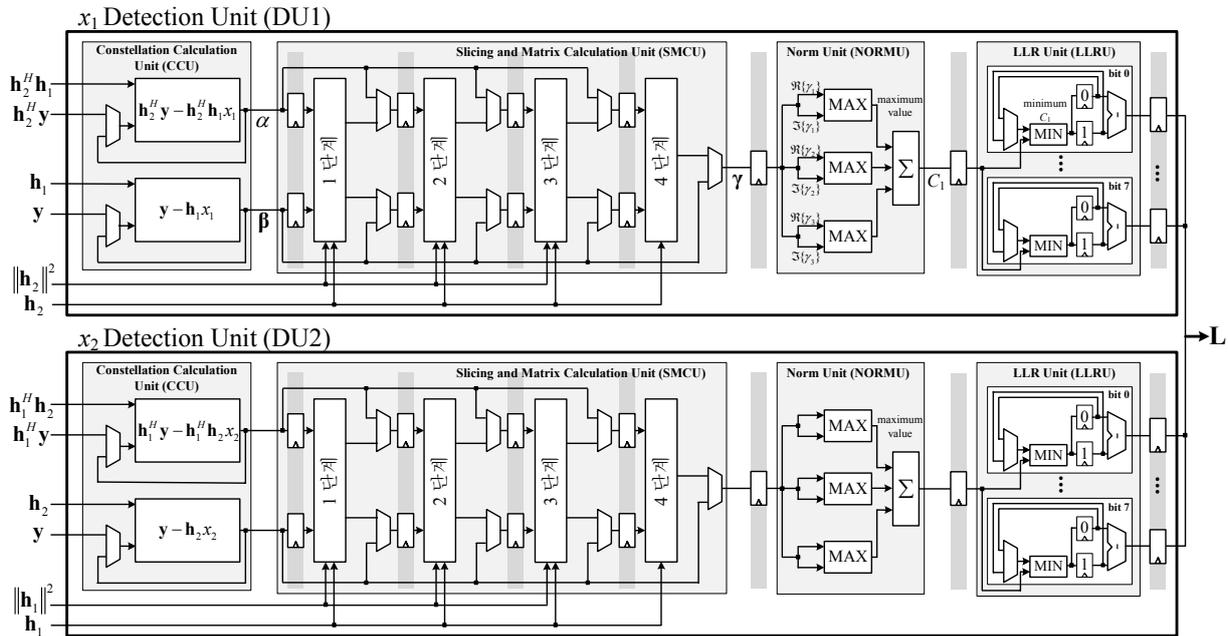


그림 1. 제안하는 심볼 검파기의 전체 구조 (L은 연판정 값)
Fig. 1. Overall architecture of the proposed symbol detector, where L means the soft output.

기반으로 같은 방식으로 $x_2 \in \mathcal{Q}$ 에 대한 비용함수 계산을 통해 심볼 검파를 수행하므로 DU2에 대한 설명은 생략한다.

2. 멀티 사이클 기반의 비용함수 계산 과정

제안하는 심볼 검파기에서는 비용함수 계산 과정에 필요한 α 와 β 를 멀티 사이클 구조를 기반으로 점증적으로 계산한다. MML 심볼 검파 알고리즘의 비용함수 계산 과정에서 α 와 β 의 계산은 성상 내의 $|\mathcal{Q}|$ 개의 모든 가능한 심볼에 대하여 수행된다. α 와 β 의 계산 과정에는 복잡한 복소수의 곱셈과정이 포함되며, 기존의 심볼 검파 과정에서는 동시에 모든 가능한 심볼에 대하여 α 와 β 를 계산하기 때문에 하드웨어 복잡도가 높아 256 QAM과 같이 복잡한 변조 방식에서는 구현이 거의 불가능하였다^[3~4]. 제안하는 심볼 검파기에서는 그림 2와 같이 α 와 β 를 구하는 과정을 매 심볼 별로 점증적으로 수행한다. 그리고 점증적인 과정은 단순한 시프트 연산과 덧셈 연산만을 사용하여 진행되기 때문에, 256 QAM과 같이 $|\mathcal{Q}|$ 가 매우 큰 변조 방식에서도 낮은 복잡도로 구현할 수 있다.

제안하는 심볼 검파기에서는 제안하는 점증적인 비용함수 계산 과정을 CCU에서 수행한다. DU1의 CCU내부 구조를 그림 3에 나타내었다. 그림 3의 구조에서 점

증적인 계산을 위하여 이전에 계산된 α 와 β 를 레지스터에 저장한다. α 와 β 를 계산하는 과정에서 각각 $h_2^H y$ 와 y 는 x_1 의 값과 관계가 없기 때문에 멀티플렉서를 통해 초기 과정에서만 입력된다. 기존의 방식에서는 $h_2^H h_1$, h_1 에 모든 가능한 $x_1 \in \mathcal{Q}$ 을 곱하는 과정이 병렬적으로 이루어지지만^[3~4] 제안하는 심볼 검파기의 구조에서는 $h_2^H h_1$, h_1 을 x_1 의 값에 따라 순차적으로 시프트 하고 실수, 허수부분의 자리를 이동하여 계산함으로써 복잡한 복소수의 곱셈을 대신할 수 있다.

3. 단계적인 양자화 과정

제안하는 심볼 검파기의 구조에서는 단계적인 양자화 과정을 수행하며 이와 병렬적으로 γ 를 계산하는 과정을 수행한다. 그림 4에 제안하는 단계적인 양자화 과정을 나타내었다. 그림 4 (a)에 각 단계별 양자화 값의 결정 경계를 나타내었다. 그림 4 (b)에서는 이러한 단계적인 방법을 통한 256 QAM에서의 양자화 과정의 예를 보이고 있다. 기존의 양자화 과정에서는 병렬적으로 양자화를 한꺼번에 진행하는데, 이 경우 모든 결정 경계와의 비교가 동시에 이루어져야 하기 때문에 변조방식이 복잡할수록 양자화 과정의 복잡도가 기하급수적으로 증가한다^[3~4]. 제안하는 양자화 과정은 최대 4단계에 걸쳐 결정 경계와의 비교를 순차적으로 수행한다. 1 단계

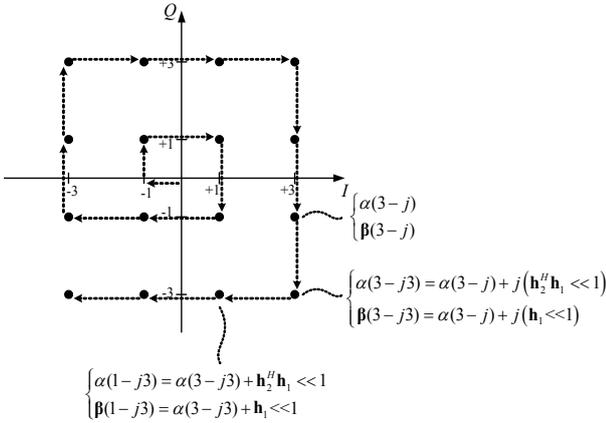


그림 2. 16 QAM에서의 점증적인 α , β 계산 과정의 예
 Fig. 2. Example of the incremental process of calculating α and β in 16 QAM.

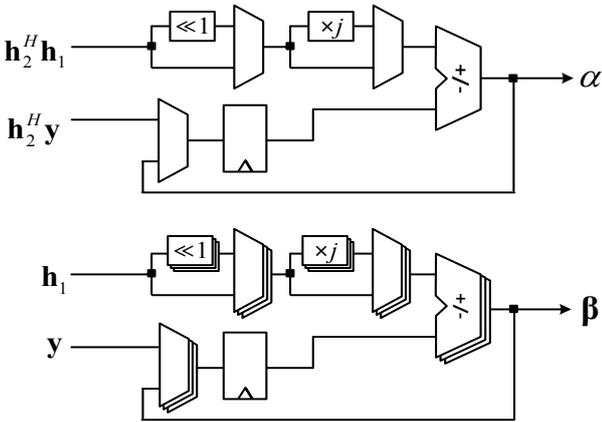


그림 3. DU1의 CCU 내부구조
 Fig. 3. Internal structure of CCU for DU1.

에서는 α 의 부호에 따라 총 4개로 분할된 좌표평면 상의 위치 중 한 곳으로 이동한다. 2 단계에서는 1 단계를 통해 좁아진 좌표 평면의 범위 내에서 다시 4개의 구간으로 분할한다. 이와 같은 반복을 통해 총 4단계 과정을 진행하여 좌표 평면 상의 범위를 좁히는 방식으로 단계적인 양자화 과정을 수행한다. 각 단계에서 $Q(\alpha, \|\mathbf{h}_2\|^2)$ 의 부분합을 구할 수 있으며 각 단계의 부분합을 이용하여 β 와 \mathbf{h}_2 를 입력 받아 \mathbf{y} 를 계산하는 과정을 병렬적으로 진행할 수 있다.

제안하는 심볼 검파기에서는 제안하는 양자화 과정을 SMCU에서 수행한다. SMCU의 구조를 그림 5에 나타내었다. 총 4단계의 파이프라인으로 구성되어 양자화 과정을 수행한다. 양자화 과정에서 각 단계 입력의 부호 비트를 통해 좌표 평면 상에서의 이동 방향을 결정하며, 각 단계에서 $\|\mathbf{h}_2\|^2$ 를 시프트 하여 이 값을 더하

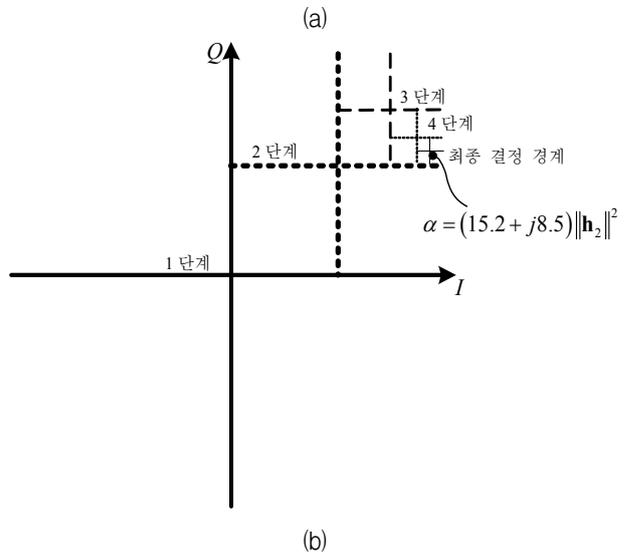
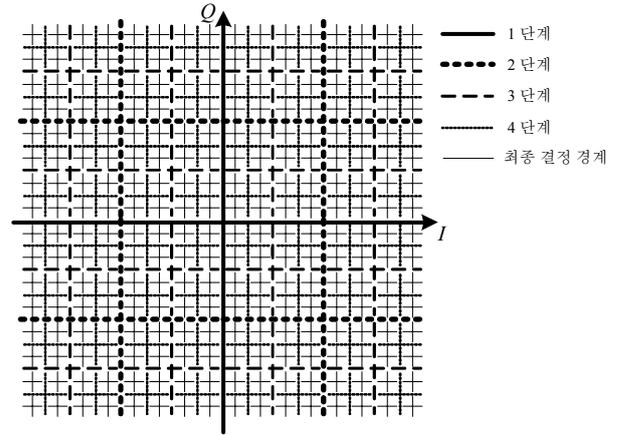


그림 4. 제안하는 단계적인 양자화 과정
 (a) 양자화 결정 경계
 (b) 256 QAM에서의 양자화 진행 과정의 예
 Fig. 4. Proposed hierachial slicing process.
 (a) Decision boundary of the slicing and
 (b) example of the slicing process for 256 QAM.

거나 빼면서 좌표 평면 상의 범위를 좁히는 과정을 수행한다. 또한 각 단계에서 양자화 과정을 통해 구한 $Q(\alpha, \|\mathbf{h}_2\|^2)$ 의 부분합을 \mathbf{y} 를 계산하는 부분에 입력하여 \mathbf{y} 의 계산 과정을 병렬적으로 수행한다. 기존의 방식에는 양자화 과정이 한번에 이루어져야 하기 때문에 복잡도가 높고 양자화 과정과 \mathbf{y} 의 계산 과정을 동시에 수행할 수 없지만^[3~4], 제안하는 심볼 검파기의 구조에서는 멀티 사이클 방식으로 입력된 값을 단계별로 양자화 하기 때문에 복잡도가 낮고 \mathbf{y} 에 대한 계산을 양자화 과정과 동시에 병렬적으로 수행 가능하다.

제안하는 심볼 검파기에서는 변조 방식 별로 양자화

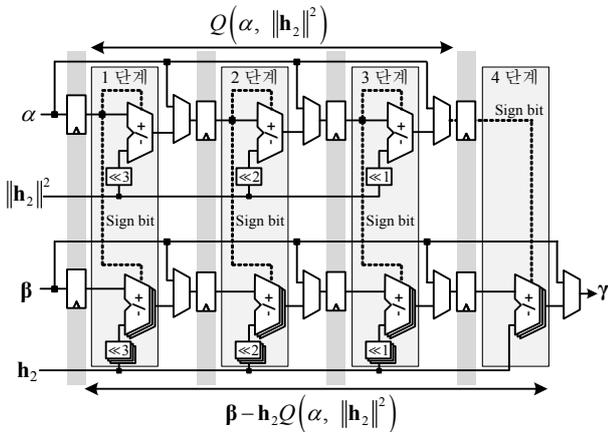


그림 5. DU1의 SMCU 내부구조
Fig. 5. Internal structure of SMCU for DU1.

과정을 단계적으로 수행함으로써 여러 변조 방식에 대한 심볼 검파를 유연하게 지원한다. 제안하는 양자화 과정에서는 변조 방식에 따라 그림 4 (a)의 과정을 일부 또는 전체를 진행한다. 그림 6에 각 변조방식 별 데이터의 흐름을 나타내었다. 실선 부분이 실제 데이터의 흐름이며 활성화 된 블록을 음영 처리하였다. 2 × 3 안테나 환경의 256 QAM에서는 1~4단계를 모두 수행하

지만 64 QAM에서는 초기 입력 a 가 $-(8+j8) \|h_2\|^2$ 에서 $(8+j8) \|h_2\|^2$ 의 범위를 갖기 때문에 2~4단계만을 수행하여 양자화 과정을 진행한다. 마찬가지로 16 QAM에서는 3~4단계만을 수행하고 BPSK, QPSK 환경에서는 4 단계의 과정만을 수행한다. BPSK에서는 정상 내의 모든 심볼이 실수이므로 실수 축에서만 계산을 수행한다. 이와 같이 변조 방식에 따라 파이프라인을 재구성함으로써, B/QPSK, 16/64/256 QAM의 변조 방식과, 1 × 3과 2 × 3의 안테나 환경에서의 심볼 검파를 수행 할 수 있다.

IV. 구현 결과 및 고찰

제안하는 심볼 검파기는 논리 합성 가능한 Soft IP 형태로 구현되었다. 제안하는 심볼 검파기는 MML 심볼 검파 알고리즘의 계산 과정만을 변형하였기 때문에 이론적으로 최적의 에러율 성능을 달성할 것이며, 고정 소수점 연산 (fixed-point arithmetic)에 따른 영향이 있을 수 있다. 표 1에 제안하는 심볼 검파기를 구현함에 있어 각 변수 별로 사용되는 비트 폭을 나타내었다. 그

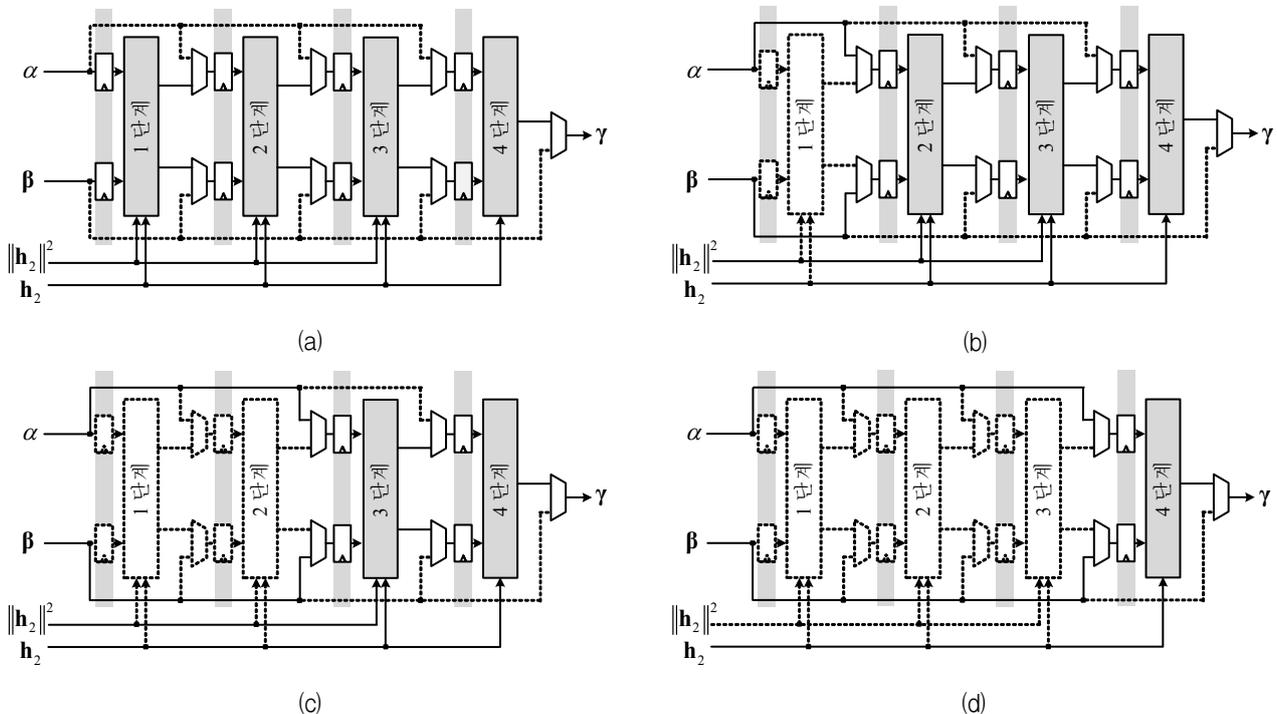


그림 6. 변조 방식에 따른 DU1의 SMCU에서의 데이터 흐름 (a) 256 QAM (b) 64 QAM (c) 16 QAM (d) B/QPSK
Fig. 6. Data flows of SMCU for DU1 according to the modulation:
(a) 256 QAM, (b) 64 QAM, (c) 16 QAM, and (d) B/QPSK.

리고 이에 따라 그림 7에 2×3 안테나 구성에서의 제안하는 심볼 검파기의 고정 소수점 연산에 따른 에러율 성능을 나타내었다. 성능 측정 시 low-density parity check code (LDPC)를 도입하여 측정된 결과이다 (코드를 1/2, 디코딩 반복 횟수 50회, LDPC 블록 크기 32,400 비트). 그림 7에서 보는 바와 같이, 제안하는 심볼 검파기는 지원 가능한 모든 변조 방식에 대해 최적의 에러율 성능을 달성한다.

제안하는 심볼 검파기는 0.11- μ m CMOS 공정의 셀

표 1. 제안하는 심볼 검파기의 각 신호 별 비트 폭
Table 1. Bit width for each signal in the proposed symbol detector.

신호 ¹⁾	정수부	소수부
\mathbf{y}	8 bits	8 bits
$\mathbf{h}_1^H \mathbf{y}, \mathbf{h}_2^H \mathbf{y}$	10 bits	8 bits
$\mathbf{h}_1^H \mathbf{h}_2, \mathbf{h}_2^H \mathbf{h}_1, \mathbf{h}_1, \mathbf{h}_2$	4 bits	8 bits
$\ \mathbf{h}_1\ ^2, \ \mathbf{h}_2\ ^2$	5 bits	8 bits
a	11 bits	8 bits
β, \mathbf{y}	9 bits	8 bits
C_1, C_2	6 bits	8 bits
\mathbf{L}	9 bits	4 bits

¹⁾ 벡터 신호의 경우 1개의 원소 당 비트 폭을 의미

표 2. MML 심볼 검파 알고리즘 기반의 검파기의 구현 결과 비교

Table 2. Comparison of the implementation results of the symbol detector based on MML symbol detection algorithm.

	본 논문			[3] ¹⁾	[4]	
안테나 구성	2 × 3			2 × 2	2 × 2	
판정 방법	연판정			경판정	연판정	
공정	0.11- μ m CMOS			ALTERA Stratix EP1S80F1508C6	0.13- μ m CMOS	
최대 동작 주파수(Hz)	478M			44M	80M ²⁾	
게이트 수(GE) ³⁾	38.7K			921K ⁴⁾	393K	
지원 변조방식	B/QPSK, 16/64/256 QAM			QPSK	QPSK, 16/64 QAM	
변조방식 ⁵⁾	QPSK	16 QAM	64 QAM	QPSK	16 QAM	64 QAM
처리량(bps)	191M	166M	80M	174M	80M	120M
FOM(bps/Hz · GE)	11.4	8.97	4.32	4.29	2.54	3.81

¹⁾ [3]은 FPGA로 구현된 결과이며 여러 개의 구현 결과 중 객관적 비교를 위해 제안된 심볼 검파기와 동일한 알고리즘을 사용하여 구현된 결과만을 나타냄.

²⁾ 최대 동작 주파수가 아닌 동작 주파수임.

³⁾ 가장 작은 2-input NAND 게이트를 1GE로 추산함.

⁴⁾ 직접적으로 게이트 수는 명시되어 있지 않으며 [4]에 비교되어 명시된 게이트 수를 표기함.

⁵⁾ 본 논문에서 제안하는 심볼 검파기는 BPSK부터 256 QAM까지 모든 변조방식을 지원하지만 타 논문과의 비교를 위하여 QPSK, 16/64 QAM에서만 비교를 수행함.

라이브러리를 사용하여 합성되어 최대 478 MHz의 동작 주파수를 갖는다. 표 2에 제안하는 심볼 검파기의 구현 결과 및 기존 논문에서의 연구 결과를 비교하였다. 기존의 심볼 검파기와 제안하는 심볼 검파기는 모두 MML 심볼 검파 알고리즘을 기반으로 구현되었다. 최대 64 QAM까지만 지원하던 기존의 심볼 검파기와는 달리 제안하는 심볼 검파기는 256 QAM을 포함한 다양한 변조 방식을 지원한다. 기존 연구 결과와의 비교를 위해서, 표에서는 QPSK, 16/64 QAM 환경에서의 성능

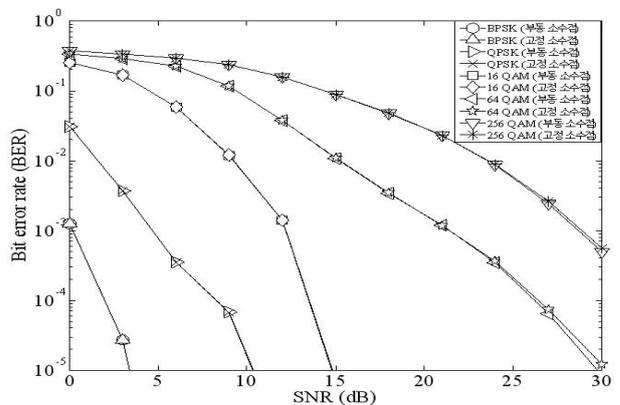


그림 7. 제안하는 심볼 검파기의 에러율 성능

Fig. 7. Error rate performance of the proposed symbol detector.

을 정리하였다. 성능을 정당하게 비교하기 위하여 FOM (figure of merit) \equiv 처리량 / (게이트수 \cdot 최대동작주파수)을 도입하였다. 경관정을 지원하고, 검파 과정에서 모든 심볼을 병렬적으로 처리하는 [3]과 비교하였을 때 FOM을 기준으로 QPSK에서 2.65배의 성능을 보인다. 제안하는 MIMO 심볼 검파기와 동일하게 연관정을 지원하고, 검파 과정에서 부분적으로 멀티사이클 구조가 적용된 [4]와 비교하였을 때는 16 QAM에서 3.53배의 성능을 보이며 64 QAM에서 1.13배의 성능을 보인다.

제안하는 심볼 검파기는 멀티 사이클 구조로 비용함수 계산이 진행되기 때문에 처리량이 변조방식과 안테나 구성에 영향을 받는다. 제안하는 심볼 검파기에서의 안테나 구성과 변조 방식에 따른 처리량을 표 3에 나타내었다. 기존의 심볼 검파기에서는^[3-7] 높은 복잡도로 인해 256 QAM의 변조 방식에서 심볼 검파를 지원하지 못하였지만 제안하는 심볼 검파기는 저 복잡도로 256 QAM에서도 심볼 검파를 수행할 수 있다.

V. 결 론

본 논문에서는 MML 심볼 검파 알고리즘에서 각 심볼별로 병렬적으로 계산되던 복잡한 비용함수 계산 과정을 점증적으로 계산하여 낮은 계산 복잡도를 갖도록 변형하고, 이를 기반으로 저 복잡도, 고속의 심볼 검파기를 설계 및 구현하였다. 제안하는 심볼 검파기에서는 비용함수 계산 과정에서 각 심볼별로 계산되던 병렬적인 곱셈 연산을 멀티 사이클 기반의 점증적인 덧셈 연산으로 대체하였다. 또한 양자화 과정의 계산을 성상의 범위에 따라 단계적으로 수행하도록 하였다. 이를 토대로 제안하는 심볼 검파기는 256 QAM과 같이 복잡한 변조 방식을 지원하면서도 하드웨어 복잡도가 낮다. 또한 변조 방식에 따라 양자화 과정 계산 부분의 파이프라인을 재구성함으로써 1×3 과 2×3 안테나 구성과 B/QPSK, 16/64/256 QAM의 다양한 변조 방식을 유연하게 지원한다. 제안하는 심볼 검파기는 0.11- μ m CMOS 공정에서 38.7K의 게이트 수로 구현되어 16 QAM에서 166 Mbps, 64 QAM에서 80 Mbps의 처리속도를 달성하며 최적의 에러율 성능을 보인다.

REFERENCES

- [1] V. Tarokh, H. Jafarkhani, and A. Calderbank, "Space-time block codes form orthogonal designs," *IEEE Trans. Inf. Theory*, vol. 45, no. 5, pp. 1456 - 1467, Jul. 1999.
- [2] M. O. Damen, A. Chkeif, and J. -C. Belfiore, "Lattice code decoder for space-time codes," *IEEE Comm. Letters*, vol. 4, no. 5, pp. 161 - 163, May. 2000.
- [3] S. Yu, T. Im, C. Park, J. Kim, and Y. Cho, "An FPGA implementation of MML-DFE for spatially multiplexed MIMO systems," *IEEE Trans. Circuits Syst. II, Exp. Briefs*, vol. 55, no. 7, pp. 705 - 709, Jul. 2008.
- [4] S. Jang and Y. Jung, "Efficient symbol detector for MIMO communication systems," in *Proc. Int. Conf. Wireless Mobile Comm.*, pp. 182 - 187, Jun. 2011.
- [5] T. Cupaiuolo, M. Siti, and A. Tomasoni, "Low-complexity high throughput VLSI architecture of soft-output ML MIMO Detector," in *Proc. Design, Automation and Test in Europe Conf.*, pp. 1396 - 1401, Mar. 2010.
- [6] Y. Jung, J. Kim, S. Lee, H. Yoon, and J. Kim, "Design and implementation of MIMO-OFDM baseband processor for high-speed wireless LANs," *IEEE Trans. Circuits Syst. II, Exp. Briefs*, vol. 54, no. 7, pp. 631 - 635, Jul. 2007.
- [7] A. Burg, M. Borgmann, M. Wenk, M. Zellweger, W. Fichtner, and H. Bölcskei, "VLSI implementation of MIMO detection using the sphere decoding algorithm," *IEEE J. Solid-State Circuits*, vol. 40, no. 7, pp. 1566 - 1577, Jul. 2005.
- [8] H. Woo, J. Kim, J. Yi, and Y. Cho, "Reduced complexity ML signal detection for spatially multiplexed signal transmission over MIMO systems with two transmit antennas," *IEEE Trans. Vehicular Tech.*, vol. 59, no. 2, pp. 1036 - 1041, Feb. 2010.
- [9] M. O. Damen, H. El Gamal, and G. Caire. "On maximum-likelihood detection and the search for the closest lattice point," *IEEE Trans. Inf. Theory*, vol. 49, no. 10, pp. 2389 - 2402, Oct. 2003.
- [10] T. Im, J. Kim, J. Yi, S. Yun, and Y. Cho, "MMSE-OSIC signal detection method for spatially multiplexed MIMO systems," in *Proc. IEEE Vehicular Tech. Conf.*, pp. 1468 - 1472, May. 2008.

- [11] C. Lee, H. Lee, and S. Heo, "Low-Complexity Lattice Reduction Aided MIMO Detectors Using Look-Up Table," *IEIE J. Inst. Electronics and Inf. Engineers*, vol. 46, no. 5, pp. 88 - 94, May. 2009.

— 저 자 소 개 —



이 광 호(학생회원)
 2014년 한국항공대학교
 정보통신공학과 학사 졸업.
 2014년~현재 한국항공대학교
 정보통신공학과 석사과정.
 <주관심분야 : 회로 및 시스템,
 VLSI 설계, ASIC 설계>



김 태 환(정회원)-교신저자
 2005년 연세대학교 전기전자
 공학과 학사 졸업.
 2007년 한국과학기술원 전기 및
 전자공학과 석사 졸업.
 2010년 한국과학기술원 전기 및
 전자공학과 박사 졸업.
 2011년~현재 한국항공대학교 항공전자 및
 정보통신공학부 교수.
 <주관심분야 : 회로 및 시스템, VLSI 설계, ASIC
 설계>