

3-레벨 NPC 인버터에서 클램핑되지 않는 스위치 전압의 간단한 보상기법

지균선¹, 주성탁¹, 정해광², 이교범[†]

Simple Compensation Method of Unclamped Switch Voltages in a Three-Level NPC Inverter

Kyun-Seon Ji¹, Sung-Tak Jou¹, Hae-Gwang Jeong², and Kyo-Beum Lee[†]

Abstract - This paper proposes a simple compensation method for switches of the unclamped voltage in the three-level NPC inverter. Voltages of inner-switches can be unclamped in the three-level NPC (neutral point clamped) inverter. It can cause the problem of the switch fault accident. By adding a capacitor, switches of the unclamped voltage can be clamped. Through the analysis of the circuit, the reason behind switches being unclamped was verified which leads to the solution method that designs a compensation capacitor. The proposed method was validated through the simulation and experimental results.

Keywords: neutral point clamped (NPC), three-level inverter, clamping voltage, compensation method

1. 서 론

최근 태양광, 풍력 등과 같은 신/재생 에너지를 포함한 대용량 분산전원 시장의 성장으로 이를 위한 대용량 인버터 토폴로지에 대한 많은 연구가 수행되고 있다^{[1]-[4]}. 이러한 인버터 토폴로지 중 3-레벨 NPC (Neutral Point Clamped) 인버터는 간단한 구조로 많은 장점을 가지고 있어 많은 응용분야에서 주로 사용되고 있다. 3-레벨 NPC 인버터는 비교적 간단한 구조로 각 전력반도체 스위치에 인가되는 전압을 직류-링크단 전압의 절반으로 줄일 수 있어 고전압 특성을 가지는 대용량 인버터에서 주로 사용된다^{[5]-[6]}. 비록 기존 2-레벨 인버터에 비해 많은 소자를 사용하지만 부가적인 커패시터가 없고 단일 전원으로도 구동 가능하며 3-레벨의 출력 극전압으로 출력 전압과 전류의 고조파 성분을 현저하게 저감할 수 있는 등의 장점이 있다. 이러한 특성으로 고전압 응용분

야에서 널리 사용되어 왔을 뿐만 아니라 최근 소자 기술의 발달로 전력반도체의 성능 및 가격이 개선됨에 따라 중소용량의 인버터 응용분야에서도 점차 그 영역을 넓혀가고 있다.

직류-링크가 두 개의 커패시터로 직렬 연결되어 있는 3-레벨 NPC 인버터는 3개의 레그로, 각 레그는 4개의 전력반도체 스위치와 2개의 다이오드로 구성되어 3상의 출력 전압을 표현한다. 한 레그에서는 각 스위치의 상태에 따라 3종류의 극전압, 즉 P전압, O전압, N전압 중 한 전압을 출력한다^[7]. 이렇게 각 레그에서 출력하는 전압이 바뀔 때 구조적인 특성으로 인하여 불가피하게 중성점에서 전위가 변동하게 되는 문제점도 있지만 이에 대한 많은 솔루션이 개발되어 있어 사실상 단점이라 하기 어렵다^{[8]-[12]}. 또한 2-레벨 인버터보다 제어 소자가 많아 짐으로써 그 제어기법이 복잡해졌지만 기존의 많은 연구를 통하여 그러한 문제점 역시 충분히 해결되었다^{[13]-[15]}.

각 레그에 있는 2개의 외측 스위치의 전압이 직류-링크에 직렬로 연결되어 있는 한 커패시터의 전압보다 상승하게 되면 각 레그에 추가된 2개의 클램핑 다이오드가 턴-온 되어 외측 스위치의 전압이 직류-링크에 직렬로 연결되어 있는 커패시터의 전압으로 클램핑된다. 하지만 클램핑 다이오드로 인하여 클램핑되는 외측 스위치와는 달리 내측 스위치는 전압이 상승해도 클램핑 다

Paper number: TKPE-2014-19-3-8

Print ISSN: 1229-2214 Online ISSN: 2288-6281

[†] Corresponding author: kyl@ajou.ac.kr, Dept. of Electrical and Computer Eng., Ajou University

Tel: +82-31-219-2376 Fax: +82-31-212-9531

¹ Dept. of Electrical and Computer Eng., Ajou University

² HAE Lab., LG Electronics co., Ltd.

Manuscript received Dec. 26, 2013; accepted Mar. 11, 2014

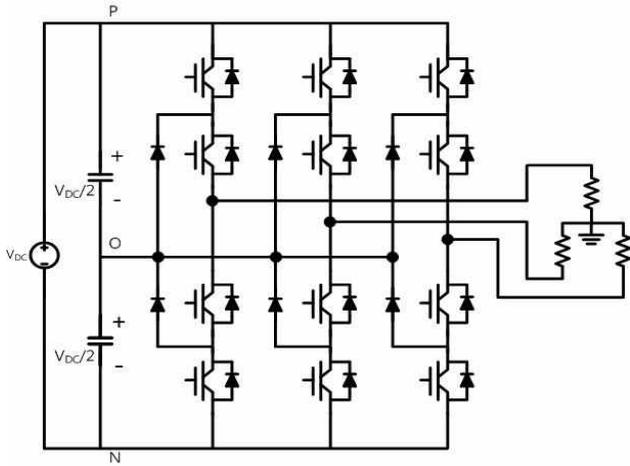


Fig. 1 Schematic diagram of the three-level NPC inverter

이오드는 턴-온 되지 않아 이를 방지할 수가 없으므로 클램핑되지 않는다. 이렇게 상승한 내측 스위치의 전압은 인버터의 고장을 발생케 하는 원인이 될 수 있다. 기본적으로 3-레벨 NPC 인버터의 중성점 전위는 각 상의 전압 벡터에 의해 변동되고 이것은 인버터에 불필요한 누설 경로가 존재하지 않는다면 시스템 성능에 큰 영향을 미치지 않는다. 하지만 인버터 설계 및 개발 시 전력 변환회로에는 다양한 형태의 누설 경로가 발생하게 되고, 이는 각 상의 전압 벡터 변화에 따라 중성점 전위가 변동될 때 누설전류의 원인이 된다. 이러한 누설 전류는 클램핑 되지 않는 내측 스위치의 전위를 상승시키게 되고 3-레벨 NPC 인버터는 그 구조상 이를 방지할 수 없기 때문에 누설 전류의 영향이 크다면 내측 스위치는 과전압으로 인해 파괴될 수 있다.

본 논문에서는 3-레벨 NPC 인버터의 클램핑되지 않는 스위치의 전압 상승에 대한 보상기법을 제안한다. 전압 상승에 대한 보상을 위하여 3-레벨 NPC 인버터의 회로 구조와 누설 전류에 의한 영향을 우선적으로 해석하고 실질적인 보상을 위한 간단한 추가 회로 설계 기법을 제안하였다. 실제 전력변환 회로에서 발생하는 누설경로를 분석하기 위해 누설경로의 등가회로를 모의하여 시뮬레이션을 진행하였고, 실제 15kW 배터리 충/방전 시스템에 적용하여 그 효용성을 입증하였다.

2. 클램핑 전압 상승 해석

2.1 3-레벨 NPC 인버터의 동작원리

그림 1은 일반적인 3상 3-레벨 NPC 인버터의 회로 구조를 나타낸다. 각 상의 레그는 4개의 IGBT 스위치와 2개의 클램핑 다이오드로 구성되어 있어 3-레벨 NPC 인버터는 총 12개의 스위치와 6개의 다이오드로 구성된다.

3상 3-레벨 NPC 인버터는 각 상의 스위치 상태에 따라 3가지의 전압이 출력되며 12개의 스위치는 모두 27

Table 1 Pole voltages for A phase switching states

Components		State		
Outer switch	Q_{A1}	ON	OFF	OFF
Inner switch	Q_{A2}	ON	ON	OFF
Inner switch	Q_{A3}	OFF	ON	ON
Outer switch	Q_{A4}	OFF	OFF	ON
Pole voltage	Q_{Ao}	P	O	N

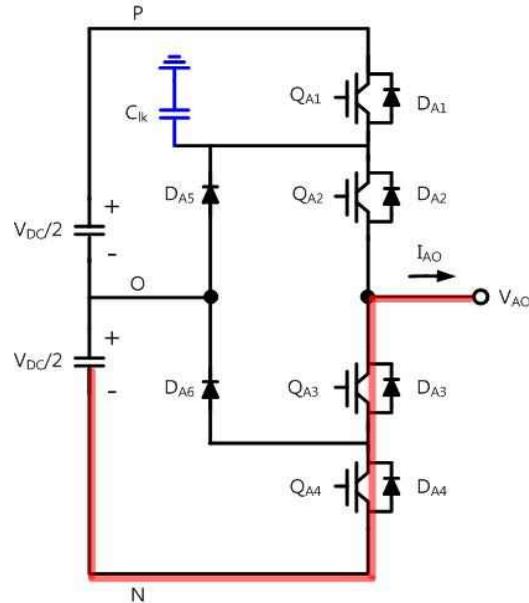


Fig. 2 Schematic diagram of A phase leg of the three-level NPC inverter

가지의 전압 벡터를 가진다. 각 상에서 상위 두 스위치가 턴-온 되면 P전압, 가운데의 두 내측 스위치가 턴-온 되면 O전압, 하위 두 스위치가 턴-온 되면 N전압을 출력하게 된다. 표 1에서는 A상을 예로 들어 4개의 스위치 상태에 따라 3종류로 출력되는 극전압을 나열하였다.

그림 2는 Q_{A3} 과 Q_{A4} 가 턴-온 되서 A상의 극전압이 N전압이 될 때를 나타낸다. 출력전류의 방향에 따라 I_{AO} 가 음의 값이면 Q_{A3} 과 Q_{A4} 를 통해, I_{AO} 가 양의 값이면 D_{A3} 과 D_{A4} 를 통해 출력 전류가 흐른다. 이 때, Q_{A2} 양단의 전압은 V_{ON} 이 되며 클램핑 다이오드 D_{A5} 의 전위차는 0이 된다. 스위치 전압과 직류-링크 전압의 관계는 다음과 같다.

$$V_{DC} = V_{PO} + V_{ON} = V_{DA1} + V_{DA2} + V_{DA3} + V_{DA4} \quad (1)$$

또한 식 (1)에 의하면 $V_{DA1} = (V_{PO} + V_{ON}) - V_{DA2}$ 이므로 $V_{DA1} = V_{PO}$ 가 된다. 만일 V_{DA1} 이 V_{PO} 보다 높아지면 D_{A5} 가 턴-온 되어 V_{DA1} 은 V_{PO} 로 클램핑 된다. 하지만 이 상태에서 V_{DA2} 는 V_{ON} 으로 클램핑 되지 않게 되는데,

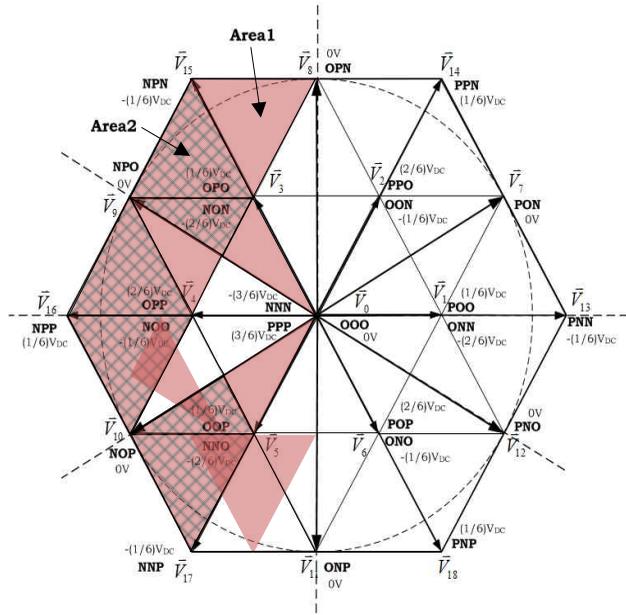


Fig. 3 Space vector diagram

V_{DA2} 가 V_{ON} 보다 높아지면 D_{A5} 가 턴-오프 되어 식 (1)에 따라 $V_{DA1} < V_{PO}$, $V_{DA2} > V_{ON}$ 이 된다. 따라서 스위치 Q_{A1} 과 Q_{A2} 의 전압 스트레스 영역은 $0 \leq V_{DA1} \leq V_{PO}$, $V_{DA2} \geq V_{ON}$ 이 된다.

이와 같은 과정으로 한 상의 극전압이 P전압일 경우에도 V_{DA1} 는 클램핑 되지만 V_{DA3} 은 클램핑 되지 않으며 다른 상의 경우에도 같은 결과를 확인할 수 있다. 결과적으로 3-레벨 NPC 인버터의 각 상 레그의 스위치 상태는 항상 인접한 두 개의 스위치가 턴-온 상태가 되는데, 출력되는 극전압이 P전압 또는 N전압일 때 각 상의 내측 스위치 Q_{X2} 또는 Q_{X3} 의($X=A, B, C$) 전압이 클램핑 되지 않고 경우에 따라서 스위치의 정격 전압 이상이 된다.

2.2 공간 전압 벡터 변조 시 중성점 전압 변동

그림 3은 스위칭 상태에 따른 공간 전압 벡터를 벡터도를 통해 나타내며, 각 스위칭 상태에 따른 접지 기준에서의 중성점 전압을 기입하였다. 그리고 A상의 극전압이 N전압인 경우에 스위치 Q_{A2} 의 전압 V_{DA2} 가 상승하는 전압 벡터 영역을 두 종류로 나누어 음영과 격자무늬로 표시 하였다. 음영으로 표시된 영역과 격자무늬로 표시된 영역 중 한 영역을 영역1, 영역2로 정의한다.

표 1은 영역1의 전압 벡터를 표현하기 위해 출력되는 각 상의 극전압과 접지 기준에서의 중성점 전위 V_{OG} 를 4구간으로 나누어 구간별로 나타낸다. 영역 2의 전압 벡터를 표현하기 위한 구간별 각 상의 극전압과 V_{OG} 는 표 2와 같다. 이와 같이 전압 상승 영역내의 전압 벡터를 출력하기 위해서는 4구간에 걸쳐 각 상의 극전압이 변하게 되는데, 예를 들면 A상의 극전압이 N전압일 때 다른 상의 극전압의 변화에 따라 스위치 Q_{A2} 의 전압 V_{DA2}

Table 2 Pole voltages of each phase in area 1

Area	Phase	Interval 1	Interval 2	Interval 3	Interval 4
Area 1	A	N	N	O	O
	B	O	P	P	P
	C	N	N	N	O
$V_{OG}[V]$		$\frac{1}{3} V_{DC}$	$\frac{1}{6} V_{DC}$	0	$-\frac{1}{6} V_{DC}$

Table 3 Pole voltages of each phase in area 2

Area	Phase	Interval 1	Interval 2	Interval 3	Interval 4
Area 2	A	N	N	N	O
	B	O	P	P	P
	C	N	N	O	O
$V_{OG}[V]$		$\frac{1}{3} V_{DC}$	$\frac{1}{6} V_{DC}$	0	$-\frac{1}{6} V_{DC}$

가 상승한다. 이러한 현상은 A상의 극전압이 P전압인 경우에도 같은 구간에서 확인할 수 있으며 다른 상의 경우에도 동일하게 발생한다.

2.3 누설 경로를 포함하는 3-레벨 NPC 인버터의 회로 해석

앞서 논의된 내용과 같이 각 상의 극전압이 P전압 또는 N전압일 때 내측 스위치의 다이오드 전압은 경우에 따라 $V_{DC}/2$ 보다 더 커질 수 있다. 이러한 현상은 한 상의 극전압이 P전압 또는 N전압일 때 다른 상의 극전압이 스위칭 동작으로 인해 변하면서 발생할 수 있다. 다른 상의 극전압이 변하면 중성점 전압인 O전압이 변동하게 되는데 누설 경로가 없으면 내측 스위치는 이에 대한 영향을 받지 않는다. 하지만 클램핑 다이오드에 누설 경로가 생기게 되면, 중성점 전압 변동 시 V_{OG} 또한 변하게 되고 이에 따라 내측 스위치의 전압이 상승하게 된다. 본 현상을 해석하기 위해 클램핑 다이오드와 내측 스위치 사이에 누설 커패시터 C_{Kk} 를 추가한 누설경로를 그림 2와 같이 구성하고 A상의 극전압이 N전압일 때 다른 상의 극전압 변화에 따른 스위치 Q_{A2} 의 전압변화를 표 2와 같이 구간별로 해석한다.

1) 그림4는 구간1에서 A상 레그의 등가회로이다. 이 때 A상과 C상의 극전압은 N전압, B상의 극전압은 O전압이다. 이 구간에서 V_{DA1} 과 V_{DA2} 는 V_{PO} 값인 $V_{DC}/2$ 값으로 클램핑 되어있다. 이 때 V_{OG} 는 $V_{DC}/3$ 이다.

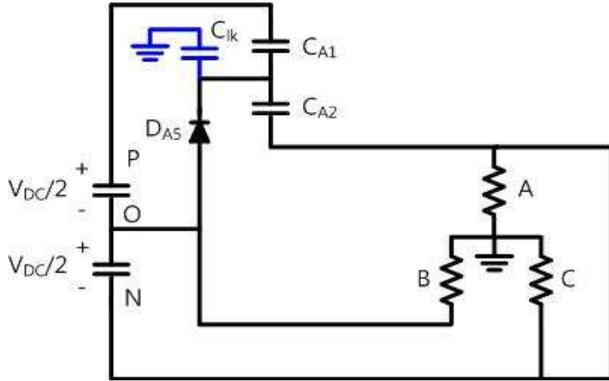


Fig. 4 Equivalent circuit of the interval 1 in area 2

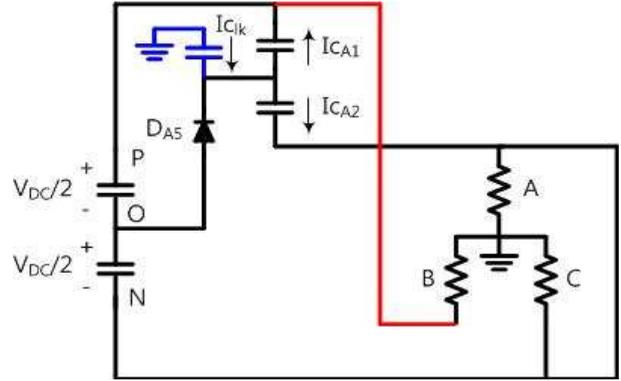


Fig. 5 Equivalent circuit of the interval 2 in area 2

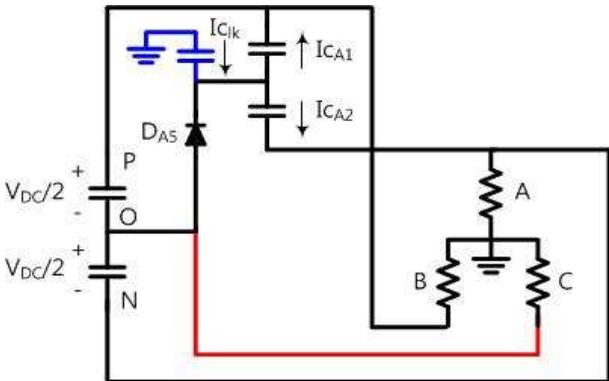


Fig. 6 Equivalent circuit of the interval 3 in area 2

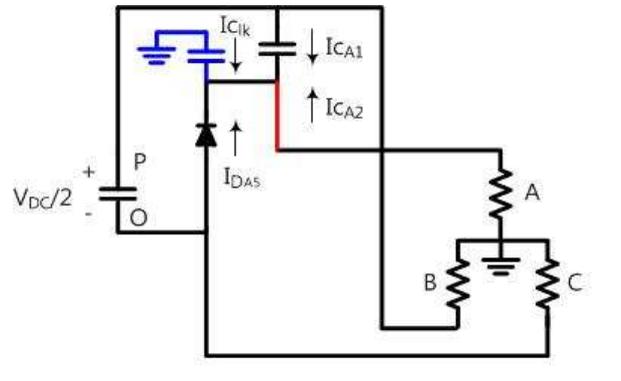


Fig. 7 Equivalent circuit of the interval 4 in area 2

2) 그림5는 구간2에서 A상 레그의 등가회로이다. 구간2에서 B상의 극전압은 O전압에서 P전압으로 변화한다. 이 때 V_{OG} 는 $V_{DC}/3$ 에서 $V_{DC}/6$ 로 감소한다. O전압 값으로 충전되어 있던 C_{ik} 도 같이 방전하면서 흐르는 전류가 C_{A2} 를 충전시켜 V_{DA2} 값이 상승한다. V_{DA2} 값이 상승하면 식 (1)에 따라 V_{DA1} 값이 감소한다.

3) 그림6은 구간3에서 A상 레그의 등가회로이다. 구간3에서 C상의 극전압은 N전압에서 O전압으로 변화한다. 이 때는 V_{OG} 가 $V_{DC}/6$ 값에서 0으로 감소하는데, 이 전압 변화로 다시 구간2에서와 같은 방향으로 전류가 흘러 C_{A2} 는 충전되고 C_{A1} 은 방전된다.

4) 그림7은 구간4에서 A상 레그의 등가회로이다. 구간4에서 A상의 극전압은 N전압에서 O전압으로 변화한다. 스위치 Q_{A2} 가 턴-온 되면서 C_{A2} 가 모두 방전되고 클램핑 다이오드가 턴-온 되어 구간2와 구간3에서 방전되었던 C_{A1} 은 다시 $V_{DC}/2$ 값으로 충전된다.

3. 클램핑 전압 상승 보상기법

전압 상승 현상을 각 구간별로 해석해본 결과 전압 상승은 접지 기준의 중성점 전압 V_{OG} 가 변화함에 따라 C_{ik} 의 전압도 변화하면서 흐르는 전류의 영향이 크다.

커패시터 방정식에 따라 커패시턴스가 클수록 흐르는 전류에 대해 전압의 변화량은 감소한다. 따라서 본 논문에서는 스위치의 커패시턴스 증가를 위해 보상 커패시터를 추가로 설치하는 방식으로 전압 변화를 줄여 스위치 전압을 클램핑 하는 간단한 보상기법을 제안한다.

보상 커패시터를 설계하기 위해 구간1과 구간2의 등가회로를 해석하면 각 커패시터의 전압 방정식은 식 (2), (3), (4)와 같다.

$$V_{Cik} = \frac{2}{6} V_{DC} - \frac{1}{6} V_{DC} \times \frac{C_{A1} + C_{A2}}{C_{ik} + C_{A1} + C_{A2}} \quad (2)$$

$$V_{DA1} = \frac{1}{2} V_{DC} - \frac{1}{6} V_{DC} \times \frac{C_{ik}}{C_{ik} + C_{A1} + C_{A2}} \quad (3)$$

$$V_{DA2} = \frac{1}{2} V_{DC} + \frac{1}{6} V_{DC} \times \frac{C_{ik}}{C_{ik} + C_{A1} + C_{A2}} \quad (4)$$

여기서 V_{Cik} 는 누설 커패시터에 걸리는 전압을, V_{DC} 는 직류-링크의 전압을, V_{DA1} 과 V_{DA2} 는 스위치 Q_{A1} 과 Q_{A2} 에 걸리는 전압을 나타내며, C_{A1} 과 C_{A2} 는 스위치 Q_{A1} 과 Q_{A2} 의 기생 커패시턴스를 나타낸다. 각 스위치의 전압 변화량은 누설 커패시턴스와 각 스위치의 커패시턴스와 밀접한 관련이 있고, 보상 커패시터 C_m 를 추가함으로써 보상 커패시터가 추가된 스위치의 기생 커패시턴스 용량을 증가시켜 식 (5)와 같이 V_{DA2} 의 변화량

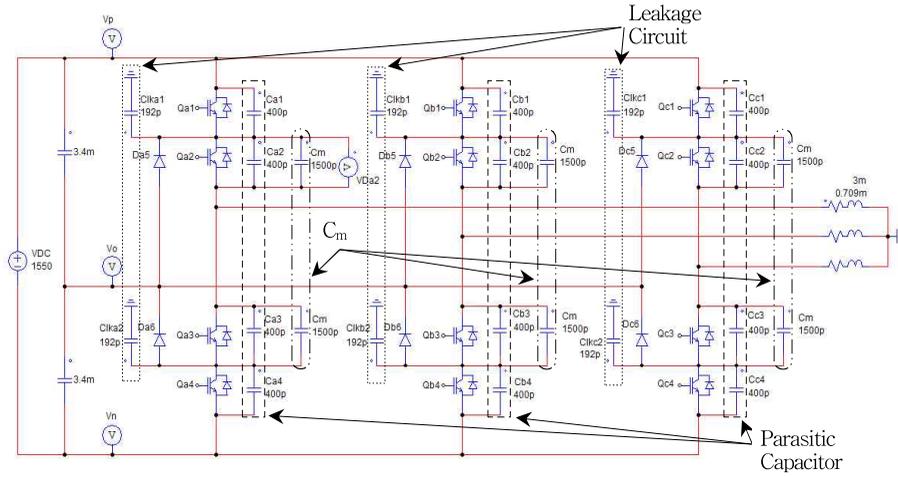


Fig. 8 Schematic Circuit of PSIM

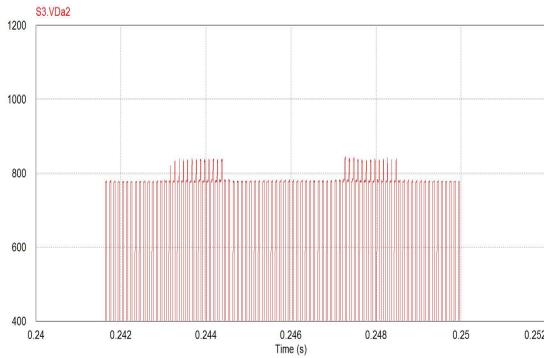


Fig. 9 Waveform of V_{DA2} (under small vector)

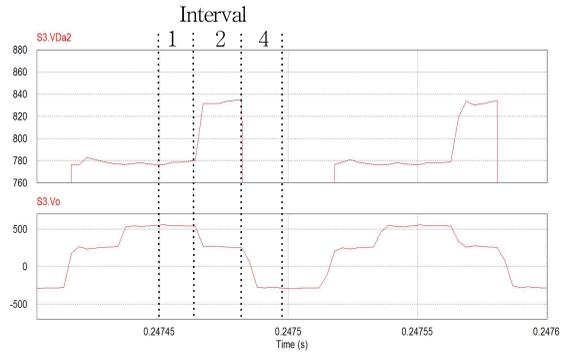


Fig. 10 Waveform of V_{DA2} and neutral-point

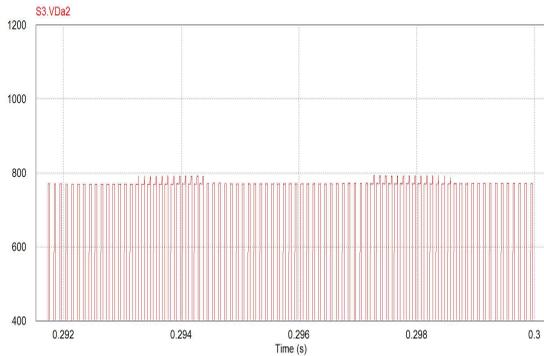


Fig. 11 Waveform of V_{DA2} with compensation method applied to Q_{A1}

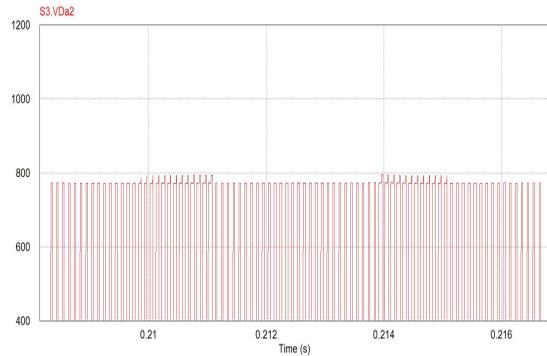


Fig. 12 Waveform of V_{DA2} with compensation method applied to Q_{A2}

ΔV_{DA2} 를 감소시킬 수 있다.

$$\Delta V_{DA2} = \frac{1}{6} V_{DC} \times \frac{C_{lk}}{C_{lk} + C_{A1} + C_{A2} + C_m} \quad (5)$$

4. 시뮬레이션

제안하는 클램핑 전압상승 해석 및 보상 커패시터의

성능을 검증하기 위하여 누설전류를 구현하기 위한 커패시터를 추가하여 그림 8과 같이 회로를 구성하여 PSIM을 이용한 시뮬레이션을 수행하였다. 그림 9는 출력 전압 벡터가 작은 벡터보다 작을 때 A상의 극전압이 N전압인 영역에서 상승하는 스위치 Q_{A2}의 전압 V_{DA2}의 파형을 나타낸다. 그림 3과 같이 두 영역에서 전압이 상승한 것을 볼 수 있다. 그림 10에서 V_{DA2}의 상승 파형을 그에 따른 접지 기준에서의 중성점 전압과 함께 구간별

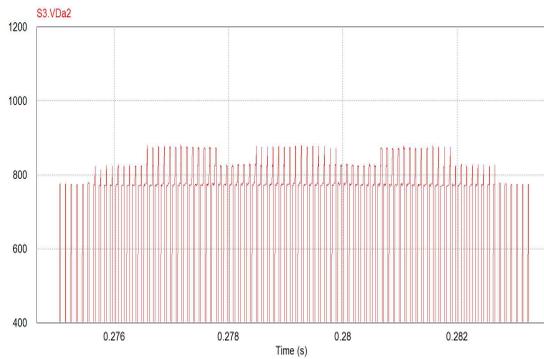


Fig. 13 Waveform of V_{DA2} (over small vector)

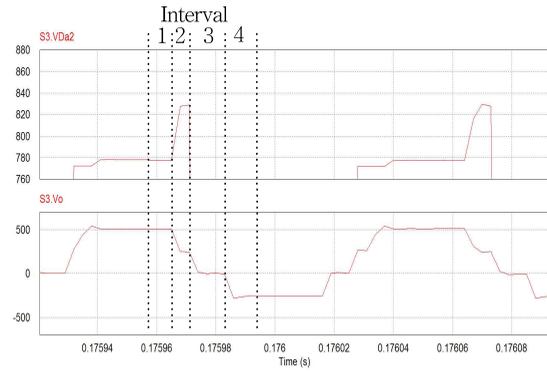


Fig. 14 Waveform of V_{DA2} and neutral-point in area1

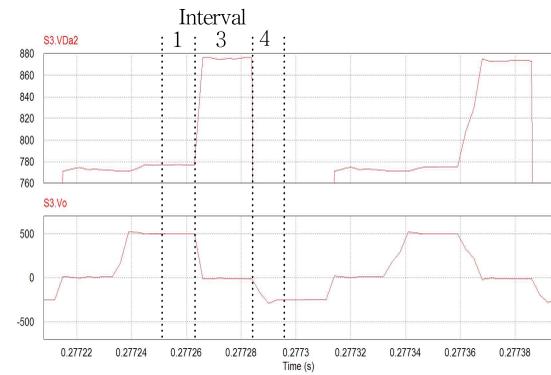


Fig. 15 Waveform of V_{DA2} and neutral-point in area2

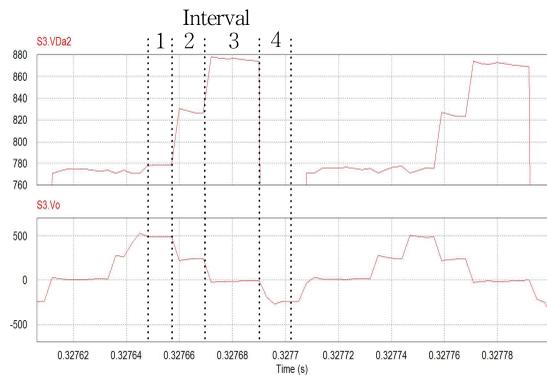


Fig. 16 Waveform of V_{DA2} and neutral-point in area2

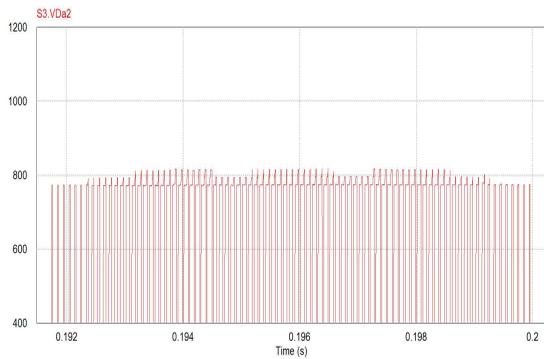


Fig. 17 Waveform of V_{DA2} with compensation method applied to Q_{A1}

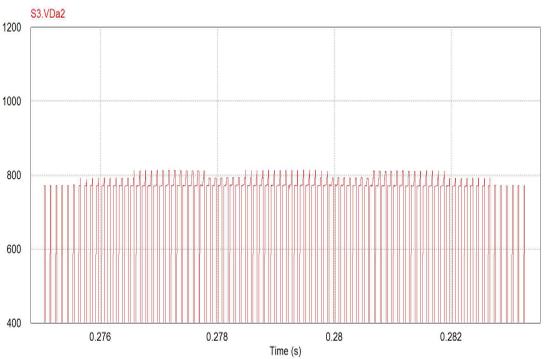


Fig. 18 Waveform of V_{DA2} with compensation method applied to Q_{A2}

Table 4 Parameters of simulation

V_{DC}	1550 [V]
Parasitic Capacitance	400 [pF]
C_{lk} (Leakage Capacitance)	192 [pF]
Switching frequency	7.8 [Khz]
C_m (Compensation Capacitance)	1500 [pF]

로 구분하였다. V_{OG} 가 0 값인 구간3이 존재하지 않아 V_{DA2} 는 구간2에서 한 번만 상승한다. 그림 11은 제안하

는 보상기법을 Q_{A1} 에 적용한 V_{DA2} 의 파형으로 전압 상승 현상 없이 $V_{DC}/2$ 에 클램핑 된 것을 확인하였다. 그림 12는 제안하는 보상기법을 Q_{A2} 에 적용한 V_{DA2} 의 파형으로 그림 11과 같이 $V_{DC}/2$ 값으로 클램핑 된 것임을 알 수 있다. 시뮬레이션에 사용된 파라미터는 표 4와 같다. 기생 커패시턴스는 실험에 사용된 스위치의 데이터 시트에 명시되어 있는 값을 적용하였고 누설 커패시턴스는 실험을 통해 얻은 파형에서 상승된 전압값을 확인하고 식 (4)에 대입하여 산정하였다. 보상 커패시턴스는

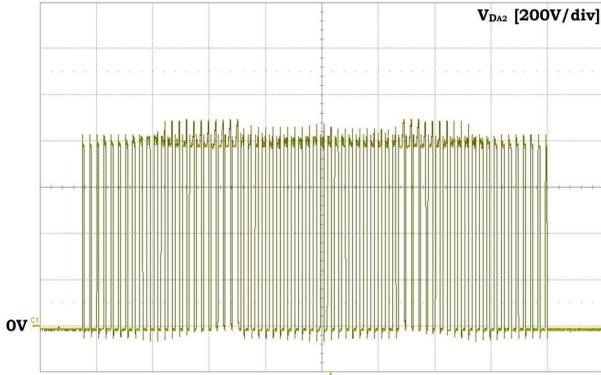


Fig. 19 Waveform of V_{Da2} in area 1 (experimental waveform)

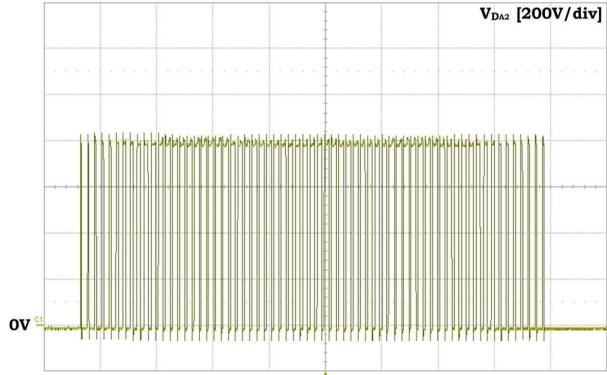


Fig. 20 Waveform of V_{Da2} with compensation method in area 1 (experimental waveform)

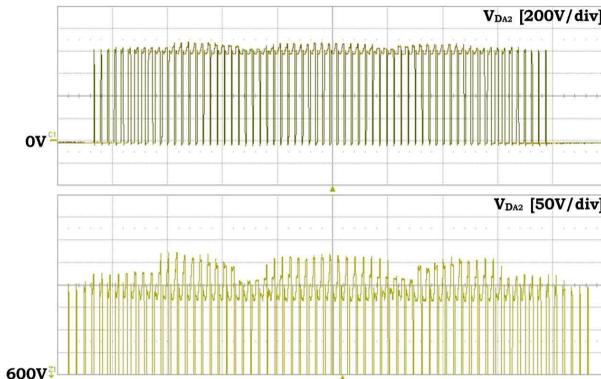


Fig. 21 Waveform of V_{Da2} in area 2 (experimental waveform)

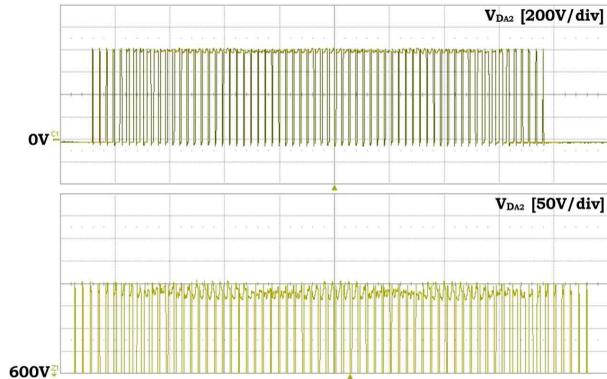


Fig. 22 Waveform of V_{Da2} with compensation method in area 2 (experimental waveform)

식 (5)에 의해 두 번 상승하는 전압 상승량을 $V_{DC}/2$ 의 5%로 감소시키기 위한 계산값이다.

그림 13은 출력 전압 벡터가 작은 벡터보다 클 때 A상의 극전압이 N전압인 영역에서 상승하는 스위치 Q_{A2} 의 전압 V_{DA2} 의 파형을 나타낸다. 그림 3과 같이 영역에 따라 전압이 한 번 또는 두 번 상승한 것을 볼 수 있다. 그림 14는 전압이 한 번 상승할 때의 파형이다. 구간3에서 V_{OG} 가 0 값으로 $V_{DC}/6$ 만큼 감소했지만, A상의 극전압이 0전압이기 때문에 V_{DA2} 는 $V_{DC}/2$ 로 클램핑 된 것임을 알 수 있다. 그림 15는 구간1에서 구간2를 거치지 않고 구간3으로 V_{OG} 의 값이 $V_{DC}/3$ 만큼 감소한 파형이다. 따라서 V_{DA2} 의 상승 폭은 두 번 상승한 파형의 폭과 같은 것을 확인할 수 있다. 그림 16에서는 구간3까지의 A상의 극전압이 N전압이고 V_{OG} 가 $V_{DC}/6$ 만큼 두 번 감소했기 때문에 전압이 두 번 상승한 것을 확인할 수 있다.

그림 17은 제안하는 보상기법을 Q_{A1} 에 적용한 V_{DA2} 의 파형이며 $V_{DC}/2$ 의 5% 이내로 클램핑 된 것을 나타낸다. 그림 18은 제안하는 보상기법을 Q_{A2} 에 적용한 V_{DA2} 의 파형이며 그림 17과 같이 $V_{DC}/2$ 의 5% 이내로 클램핑 된 것으로 볼 수 있다.

5. 실험 결과

제안하는 클램핑 전압상승 해석 및 보상 커패시터의 성능을 검증하기 위하여 15kW급 양방향 전력변환기기를 이용한 실험을 수행하였다. 그림 19는 출력 전압 벡터가 작은 벡터보다 작을 때 V_{DA2} 의 파형이다. 시뮬레이션에서 확인한 바와 같이 그림 3에 따라 두 영역에서 전압 상승 현상이 발생하였다. 그림 20은 스위치 Q_{A2} 에 C_m 을 병렬로 연결하여 보상기법을 적용한 파형이다. 그림 21의 위 파형은 출력 전압 벡터가 작은 벡터보다 클 때 V_{DA2} 파형이고 아래 파형은 위 파형을 4배 확대한 파형이다. 시뮬레이션 파형과 같이 그림 3에 따라 전압이 한 번 또는 두 번 상승하였다. 기생 커패시턴스와 누설 커패시턴스를 충/방전 하는 경로에는 인덕턴스와 저항 성분이 작고, 스위칭 상태가 바뀌면서 인가되는 전압이 구형과 형태이므로 스위칭 주파수보다 매우 높은 주파수로 충/방전이 이루어진다. 따라서 스위칭 상태가 바뀌는 순간에 전압 상승 현상이 발생하므로 스위칭 주파수와 연관성은 없다. 파형을 참고하면 스위칭 상태가 변할 때 피크 형태 전류의 흐름에 따른 계단 모양의 전압 파형을 확인할 수 있다. 그림 22의 위 파형은 스위치

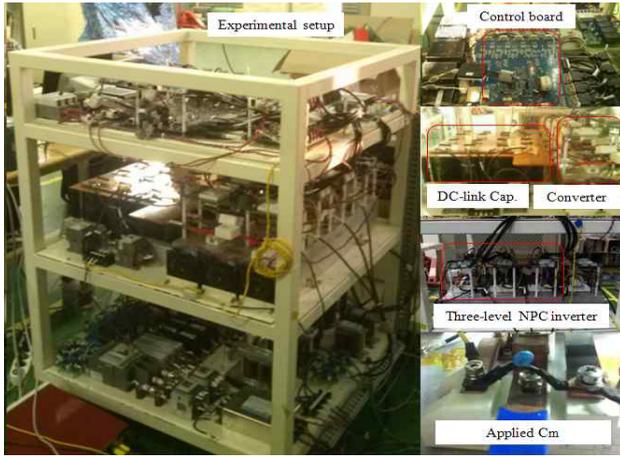


Fig. 23 Experimental setup

Table 5 Parameters and devices of experiment

V_{DC}	1550 [V]
Parasitic Capacitance	400 [pF]
Switching Frequency	7.8 [Khz]
C_m (Compensation Capacitance)	1500 [pF]
Switch	LUH50G1204 (1200V/50A)
Clamping Diode	STTH6112TV2 (1200V/30A)

Q_{A2} 에 C_m 를 병렬로 연결하여 보상기법을 적용한 파형이고 아래 파형은 위 파형을 4배 확대한 파형이다. 출력 전압 벡터의 크기에 관계없이 보상기법을 적용한 V_{DA2} 파형 모두 전압 상승이 억제되어 $V_{DC}/2$ 값으로 클램핑되는 것을 확인하였다. 보상 커패시터를 추가하여 스위치의 기생 커패시턴스를 증가시켜 누설 전류에 대한 기생 커패시터의 전압 변화율을 감소시킨 것이다. 그림 23은 본 논문에서 실험한 15kW급 양방향 전력변환기이고 사양은 표 5와 같다.

출력 전압 벡터가 작은 벡터보다 클 때의 전압 상승 파형을 분석해보면, 전압이 한 번 상승할 때 약 50 [V] 정도 상승한다. 직류-링크 전압이 1550 [V]이고 각 스위치의 기생 커패시턴스는 400 [pF] 이므로 식 (4)에 따라 누설 커패시턴스 C_k 는 약 192 [pF] 임을 알 수 있다. 1500 [pF] 용량의 보상 커패시터를 추가함으로써 제안하는 보상기법을 적용하면 식 (5)에 따라 전압 상승량은 약 19 [V]가 되는 것을 그림 22에 나타내었다.

6. 결 론

본 논문에서는 3-레벨 NPC 인버터에서 발생할 수 있는 클램핑 스위치의 전압상승 문제를 해석하고 이를 억제하기 위한 보상기법을 제안하였다. 누설 전류가 커질수록 스위치의 상승하는 전압 폭은 증가하며, 이는 스위치 파괴의 원인이 될 수 있다. 누설 커패시터를 추가하

여 누설 경로로서 전압 상승 현상을 해석하고 15kW급의 양방향 전력변환기에 적용하여 제안하는 보상기법의 효용성을 검증하였다.

이 논문은 2013년도 정부(교육부)의 재원으로 한국연구재단의 지원을 받아 수행된 기초연구사업임(No. 2013R1A1A2A10006090)

References

- [1] J. S. Lai and F. Z. Peng, "Multilevel converters - A new breed of power converters," *IEEE Transactions on Industry Applications*, Vol. 32, pp. 509-517, 1996.
- [2] S. Calligaro, F. Pasut, R. Petrella, and A. Pevere, "Modulation techniques for three-phase three-level NPC inverters : A review and a novel solution for switching losses reduction and optimal neutral-point balancing in photovoltaic applications," *Applied Power Electronics Conference and Exposition (APEC)*, pp. 2997-3004, Mar. 2013.
- [3] H. G. Jeong, H. S. Ro, and K. B. Lee, "An Improved Maximum Power Point Tracking Method for Wind Power Systems," *Energies*, Vol. 5, No. 5, pp. 1339-1354, May 2012.
- [4] H. G. Jeong and K. B. Lee, "A Improved Maximum Power Point Tracking Method for Wind Power Systems," *Electrical Engineering, Online Publications*, Nov. 2013.
- [5] A. Nabae, I. Takahashi, and H. Akagi, "A New Neutral-Point-Clamped PWM Inverter," *IEEE Transactions on Industry Applications*, Vol. 1A-17, pp. 518-523, 1981.
- [6] S. Zhang, Q. Ge, and Y. Li, "Three-level NPC inverter with IGCT for high power AC drives," *Electrical Machines and Systems*, pp. 1562-1566, Oct. 2008.
- [7] P. Li and Q. Zhang, "Research on vector control method of neutral-point-clamped (NPC) three-level inverter with bootstrap driver," *Intelligent Control and Information Processing (ICICIP)*, pp. 10-14, Jun. 2013.
- [8] R. Rojas, T. Ohnishi and T. Suzuki, "Neutral-point-clamped inverter with improved voltage waveform and control range," *IEEE Transactions on Industrial Electronics*, Vol. 42, No. 6, pp. 587-594, 1995.
- [9] C. Newton and M. Sumner, "Neutral point control for multi-level inverters : theory, design and operational limitations," *Industry Applications Conference, 1997. Thirty-Second IAS Annual Meeting, IAS '97, Conference Record of the 1997 IEEE*, Vol. 2, pp. 1336-1343, 1997.
- [10] U. M. Choi and K. B. Lee, "Neutral-Point Voltage Balancing Method for Three-Level Inverter Systems

with a Time-Offset Estimation Scheme,” *Journal of Power Electronics*, Vol. 13, No. 2, pp. 243-249, Mar. 2013.

- [11] U. M. Choi, H. H. Lee, and K. B. Lee, “Simple Neutral-Point Voltage Control for Three-level Inverters Using a Discontinuous Pulse Width Modulation,” *IEEE Transactions on Energy Conversion*, Vol. 28, No. 2, pp. 434-443, Jun. 2013.
- [12] U. M. Choi and K. B. Lee, “A SVM Strategy for Neutral-Point Voltage Balancing in Three-Level Inverter Systems,” *IET Power Electronics*, Vol. 6, No. 7, pp. 1390-1398, Aug. 2013.
- [13] L. M. Tolbert and T. G. Habetler, “Novel multilevel inverter carrier-based PWM method,” *IEEE Transactions on Industry Applications*, Vol. 35, No. 5, pp. 1098-1107, 1999.
- [14] A. K. Gupta and A. M. Khambadkone, “A simple space vector PWM scheme to operate a three-level NPC inverter at high modulation index including overmodulation region, with neutral point balancing,” *Industry Applications Conference, 2005. Fourtieth IAS Annual Meeting. Conference Record of the 2005*, Vol. 3, pp. 1657-1664, Oct. 2005.
- [15] U. M. Choi, H. G. Jeong, K. B. Lee, and F. Blaabjerg, “Method for Detecting an Open-Switch Fault in a Grid-Connected NPC Inverter System,” *IEEE Transactions on Power Electronics*, Vol. 27, No. 6, pp. 2726-2739, Jun. 2012.



지군선(池均宣)

1985년 2월 28일생. 2007년 고려대 제어계측공학과 졸업. 2013년~현재 아주대 대학원 전자공학과 석사과정.



주성탁(朱成鐸)

1979년 12월 18일생. 2005년 아주대 전자공학과 졸업. 2008년~현재 동 대학원 전자공학과 석박사통합과정.



정해광(丁海光)

1982년 8월 9일생. 2008년 전북대 전자정보공학부 졸업. 2010년 아주대 전자공학과 졸업(석사). 2014년 동 대학원 전자공학과 졸업(공박). 2014년~현재 LG전자 HAE연구센터 선임연구원.



이교범(李教範)

1972년 6월 30일생. 1997년 아주대 공대 전자공학과 졸업. 1999년 동 대학원 제어계측공학과 졸업(석사). 2003년 고려대 전기공학과 졸업(공박). 2003년~2006년 Department of Energy Technology, Aalborg University (Denmark). 2006년~2007년 전북대 전자정보공학부 조교수. 2007년~현재 아주대 전자공학부 교수. 당 학회 JPE 편집위원.