

RF 인덕터의 Underpass에 따른 품질 계수 및 항복전압 특성

신종관¹, 권성규¹, 장성용¹, 정진웅¹, 유재남¹, 오선호¹, 김철영¹, 이가원¹, 이희덕^{1,a}

¹ 충남대학교 전자공학과

Effect of Underpass Structure on Quality Factor and Breakdown Voltage in RF Inductor

Jong-Kwan Shin¹, Sung-Kyu Kwon¹, Sung-Yong Jang¹, Jin-Woong Jung¹, Jae-nam Yu¹, Sun-Ho Oh¹, Choul-Young Kim¹, Ga-Won Lee¹, and Hi-Deok Lee^{1,a}

¹ Department of Electronics Engineering, Chungnam National University, Daejeon 305-764, Korea

(Received April 29, 2014; Revised May 12, 2014; Accepted May 19, 2014)

Abstract: In this paper, the effect of underpass structure on quality factor and breakdown voltage of octagonal inductors which were fabricated with 90 nm complementary metal-oxide-semiconductor (CMOS) technology for radio frequency integrated circuit (RFIC) was studied. It was found that quality factor and breakdown voltage of inductors with more than one metal layer for underpass showed improved properties compared to those with one metal layer. However, little change of quality factor and breakdown voltage was observed between the inductors with two and more than two metal layers for underpass. Therefore, underpasses with two metal layers are promising for RFIC designs of the octagonal inductors in 90 nm CMOS technology.

Keywords: Quality factor, Breakdown voltage, Effective inductance, Underpass

1. 서론

오늘날 실리콘 기반의 CMOS 공정기술의 발전으로 인해 소자의 미세화가 수십 나노미터 영역까지 개발됨에 따라 고주파 특성이 매우 향상되어 RF IC 분야까지 그 영역이 확대되어 가고 있다. 실리콘 기반의 RF CMOS는 미세화로 인한 성능 향상으로 인해 현재 각광받는 모바일 시장에서 필수적인 요소로 자리 잡고 있다. 왜냐하면 RF IC의 저가격화뿐만 아니라

미래의 복합·다기능 무선 멀티미디어 단말기 구현을 위한 싱글 칩 솔루션 (single chip solution)을 제공할 수 있는 가능성이 가장 높기 때문이다. 이러한 RF IC 분야에서 인덕터의 크기와 성능은 RF 설계에서 매우 중요한 부분을 차지하고 있는데 이는 인덕터가 RF 회로를 구성하는 면적에 많은 부분을 차지하고 있고, VCO (voltage controlled oscillator) 설계에 있어 인덕터의 품질 계수는 VCO의 출력 전력과 위상 잡음 성능을 결정하는데 중요한 역할을 하기 때문이다 [1-3]. 또한, 이러한 인덕터의 중요함에도 불구하고 MOS 소자와 달리 인덕터의 성능과 크기를 개선시키는 것은 매우 제한적이다. 일반적으로 인덕터의 성능을 개선시키는 방법은 비저항이 낮은 금속을 사용하거나 상대적으로 두꺼운 금속을 사용함으로써 인덕터

a. Corresponding author; hdllee@cnu.ac.kr

Copyright ©2014 KIEEME. All rights reserved.
This is an Open-Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License (<http://creativecommons.org/licenses/by-nc/3.0>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.

를 이루는 금속선의 저항을 줄이는 방법이 있고 인덕터의 금속선과 실리콘 기판과의 손실을 줄이기 위해 patterned ground shield를 사용하여 인덕터의 특성을 개선시키는 방법이 있다 [4-6]. 일반적으로 인덕터의 평면 구조는 사각형 구조에서부터 팔각형 원형 구조로 설계가 가능하다. 원형 > 팔각형 > 사각형 순으로 품질 계수가 높지만 설계 편의성 측면에서는 사각형이 가장 유리하다. 그 중 팔각형 구조가 일반적으로 많이 쓰이고 있는데 본 논문에서 연구한 인덕터는 팔각형 구조 중 최상위 금속선 하나만을 사용하여 인덕터 구조를 설계하고 하위 금속선을 underpass로 사용하여 외부 금속선으로 빠지는 역할을 하도록 설계하였다. 인덕터 금속선에 사용한 최상위 금속선에 비해 underpass에 사용한 하위 금속선의 두께가 상대적으로 많이 얇기 때문에 인덕터의 저항을 크게 하는 요소로 작용될 뿐만 아니라 전압 인가 시 underpass 부분의 높은 저항으로 인해 항복전압에 취약할 수 있다. 이러한 문제점으로 인해 인덕터의 품질 계수의 감소 및 고전압 회로 설계 시 인덕터의 신뢰성을 약화시키는 요소가 될 수 있다.

따라서 본 논문에서는 이러한 문제점을 해결하기 위해 90 nm CMOS 기반에서 팔각형 구조의 인덕터 금속선 밑으로 지나가는 underpass를 일반적으로 사용되는 단일 금속 층 대비 다중 금속 층을 사용한 인덕터의 품질 계수 및 항복전압 특성을 비교 분석하였다.

2. 실험 방법

실험을 위한 인덕터는 90 nm CMOS 공정에서 설계되었고, 그림 1과 같이 팔각형 구조로 이루어져 있다. 인덕터의 선폭 (W)은 6 μm 이고, 내부 반경 (R)은 61.5 μm , 금속선의 회전수는 4.5이다. 인덕터의 금속선은 Metal5로 설계되었고 금속선 안에서 Metal5 밑으로 지나가는 underpass 부분은 단일 금속선을 사용한 Metal4와 다중 금속선을 사용한 Metal4 + Metal3, Metal4 + Metal3 + Metal2, Metal4 + Metal3 + Metal2 + Metal1의 네 가지 방법으로 설계하였다. 그림 1(c)는 설계한 인덕터의 직렬 성분을 schematic 으로 나타낸 것이다. L_s 는 인덕터 금속선의 직렬 인덕턴스, R_s 는 직렬 저항이고 R_{M_i} 는 underpass에 사용된 각각의 금속 층에 대한 직렬저항 성분이다.

품질 계수 추출을 위한 RF 측정은 Network analyzer

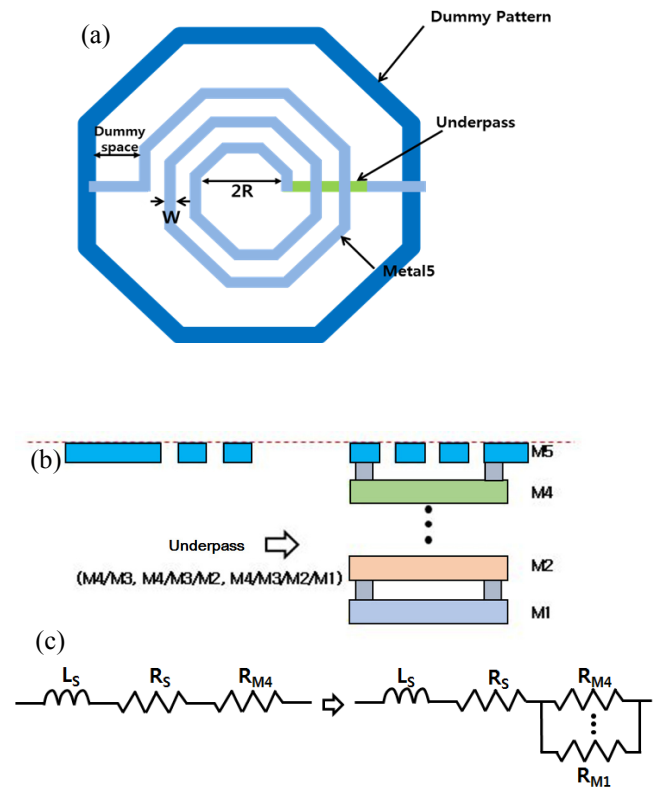


Fig. 1. Designed inductor structure (a) layout of inductor, (b) cross-sectional schematic diagram, and (c) modeling of inductor.

(Agilent E8360A) 장비를 이용하여 그림 2와 같이 100 MHz~20 GHz의 주파수 범위에서 GSG probe로 측정하였다. 또한, 그림 3은 de-embedding을 하기 위한 open과 short, 그리고 through pattern을 나타낸 것인데, de-embedding은 RF 측정 시 패드에 의한 기생 성분을 제거하여 좀 더 정확한 측정 data를 얻기 위해 진행되는 방법이다 [7,8].

본 측정에서도 소자를 측정한 후 open, short, through pattern을 통하여 de-embedding을 한 후 품질 계수를 추출하였다. 항복전압을 측정하기 위한 장비로는 Parameter analyzer (Keithley 4200)를 사용하였다.

3. 결과 및 고찰

인덕터의 품질 계수 추출을 위해 RF 측정을 통하여 S-parameter를 측정한 후 de-embedding을 거쳐

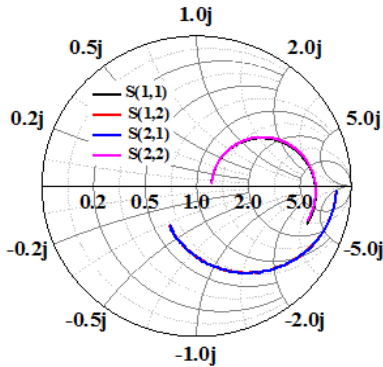


Fig. 2. Smith chart of measured data.

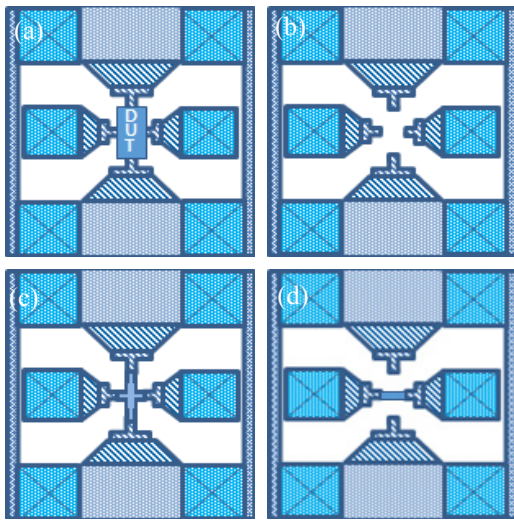


Fig. 3. Pad De-embedding structure (a) GSG pad with DUT, (b) open pad (c) short pad, and (d) through pad.

pad 성분이 빠진 S-parameter를 추출한다. 이렇게 추출한 S-parameter를 Y-parameter로 변환하여 아래의 식을 통하여 품질 계수를 추출한다.

$$Q = - \frac{Im(Y_{11})}{Re(Y_{11})}$$

위와 같이 품질 계수는 Y-parameter의 Y_{11} 성분의 실수 성분에 대한 허수 성분을 나타낸다. Underpass의 금속 층 개수에 따라 그림 4와 같이 품질 계수를 추출하였다. Underpass의 금속 층이 단일 금속 층을 사용하였을 때보다 다중 금속 층을 사용하였을 때 품질 계수가 증가함을 확인하였다.

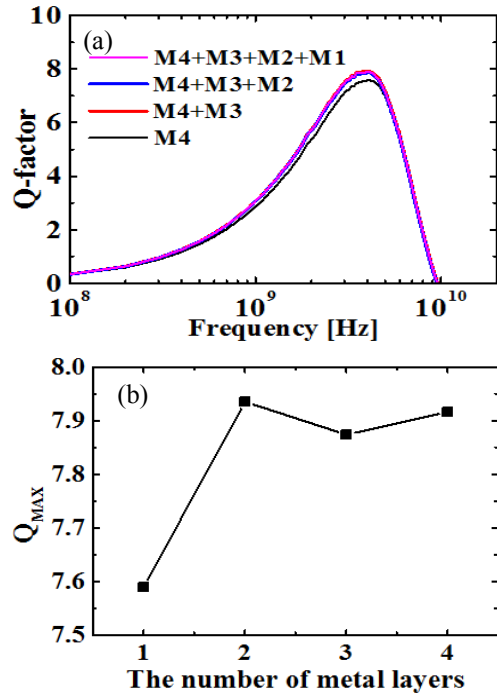


Fig. 4. Quality factor with respect to underpass split (a) quality factor versus frequency and (b) Q_{max} versus the number of metal layers.

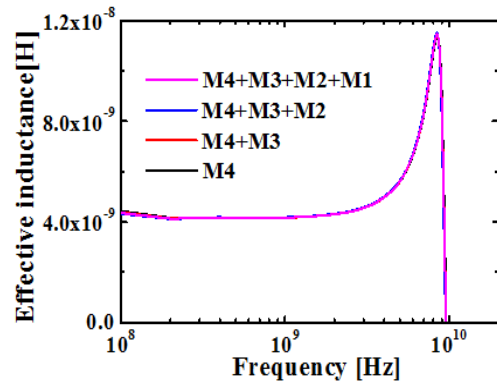


Fig. 5. Effective inductance with respect to underpass split.

단일 금속 층을 사용하였을 때 Q_{MAX} 값은 7.59이고, 다중 금속 층을 사용하였을 때 Q_{MAX} 값은 최대 7.94로 약 5%가 증가됨을 확인하였다.

그림 5는 underpass의 금속 층수에 따른 유효 인덕턴스 값을 나타낸다. 유효 인덕턴스를 추출하는 식은 아래와 같다 [9].

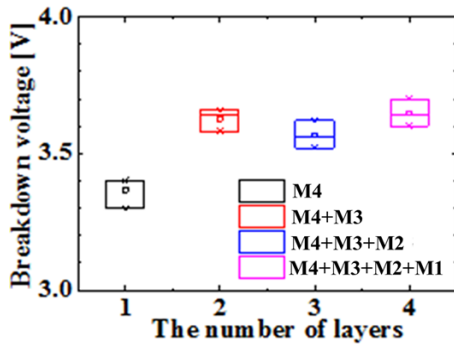


Fig. 6. Breakdown voltage with respect to underpass split.

$$L_e = \frac{1}{2\pi \times freq \times Im(Y_{11})}$$

식을 통하여 underpass의 금속 층에 따른 유효 인덕턴스를 추출하면 그림 5와 같다. 품질 계수와 경향성과 달리 유효 인덕턴스는 underpass의 금속 층의 개수에 따라 변화가 거의 나타나지 않았다. 이를 통해 underpass의 금속 층수에 따른 품질 계수의 변화 요인은 인덕턴스 성분의 영향이 아니라 저항 성분의 영향임을 알 수가 있다. 즉, underpass의 금속선이 단일 금속 층으로 사용되었을 때보다 다중 금속 층으로 사용되었을 때 underpass의 저항 성분을 감소시키는 효과를 가져와 품질 계수를 향상 시키는 결과를 가져왔다. 하지만 2개 이상의 다중 금속 층 종류 중에서는 금속 층을 늘렸을 때 품질 계수의 차이가 미미하다. 그 이유는 인덕터의 전체 직렬 저항 값 중에서 underpass가 차지하는 저항 값은 상대적으로 인덕터의 금속선 부분보다 작기 때문에 금속 층을 1개에서 2개로 늘릴 경우 인덕터 전체저항의 감소가 있지만 2개에서 3개 또는 4개로 늘릴 경우에는 전체 저항 성분의 감소가 미미하게 나타난다. 그렇기 때문에 단일 금속 층에서 다중 금속 층을 사용하였을 때의 품질 계수가 상승되는 만큼 2개에서 3개 또는 4개로 underpass의 금속 층을 증가시켜도 품질 계수는 개선되지 않는다.

인덕터의 underpass에 따른 항복전압 특성은 종류별로 세 샘플씩 측정하여 그림 6과 같이 box chart로 나타내었다. Underpass에 따른 항복전압은 M4층일 경우 평균 3.37 V, M4 + M3는 3.63 V, M4 + M3 + M2는 3.57 V, M4 + M3 +M2 + M1일 때 3.65 V로 단일 금속 층일 때 보다 다중 금속 층일 때 최대 9% 증

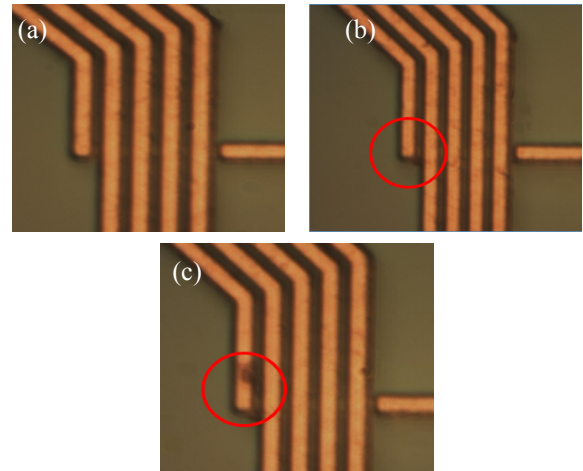


Fig. 7. Microscope of inductor (a) before breakdown, (b) after breakdown at underpass (M4), and (c) after breakdown at others (M4+M3).

가함을 확인하였다. 항복전압 특성도 품질계수 특성과 유사하게 underpass를 단일 금속 층으로 하였을 때보다 2개 이상의 다중 금속 층으로 하였을 때 개선되는 것을 확인하였다. 하지만 품질 계수와 마찬가지로 2개 이상의 다중 금속 층 종류 간에는 큰 차이가 나지 않았다.

그림 7은 마이크로 스코프를 통해 항복전압 지점을 확대하여 나타낸 것이다. 그림 7에서와 같이 underpass를 단일 금속 층으로 할 경우 항복전압은 인덕터의 금속선에 비해 두께가 얇아 저항이 큰 underpass 부분에서 일어나게 되는 것을 알 수 있다. 그러나 인덕터의 underpass를 다중 금속 층으로 할 경우 항복전압 발생 위치는 underpass 외에 via나 다른 금속선에서 발생하는 것을 알 수 있다. 이는 underpass를 다중 금속 층으로 할 경우 전압 인가 시 underpass 쪽에 흐르는 전류는 금속 층의 개수만큼 나뉘어져 흐르기 때문에 underpass 부분에 항복전압이 일어나지 않기 때문이다. 그렇기 때문에 단일 금속 층을 사용하였을 때보다 다중 금속 층을 사용하였을 때 항복전압이 상승하고, 또 다중 금속 층 종류 간에는 underpass 외에 다른 부분에서 항복이 일어나기 때문에 항복전압의 차이가 크지 않게 된다.

4. 결론

본 논문에서는 인덕터의 underpass 부분의 금속 층

의 개수를 기존의 일반적인 방법인 1개로 설계하였을 때와 금속 층의 개수를 2개, 3개, 4개로 하였을 때에 따른 품질 계수 및 항복전압 특성에 대해 분석하였다. 단일 금속 층에 비해 다중 금속 층을 사용할 경우 금속선의 두께가 증가하는 효과를 가져와 저항 성분이 감소하여 품질 계수가 최대 5% 증가하였지만 underpass의 금속 층을 2개에서 3개 또는 4개로 증가시킬 경우에는 인덕터의 전체 저항의 변화는 작기 때문에 품질계수 차이는 크지 않았다. 또한 항복전압 특성은 단일 금속 층에 비해 다중 금속 층이 underpass에 흐르는 전류가 금속 층의 개수만큼 나뉘어 흐르게 되어 항복이 underpass 부분에 일어나지 않게 되어 항복전압이 최대 9% 증가하였지만, 2개 이상의 다중 금속 층간의 경우에는 항복이 underpass 부분 외에 다른 부분에서 발생하기 때문에 항복전압 특성의 차이는 크지 않았다.

이러한 결과를 통해 인덕터의 underpass 부분을 단일 금속 층 대신에 2개 이상의 다중 금속 층을 사용하면 면적의 증가 없이 품질 계수를 개선시킬 수 있을 뿐만 아니라 항복전압 또한 상승시키는 효과를 가져 오기 때문에 인덕터의 신뢰성 측면에도 효과적인 방법이 될 것이다. 하지만 underpass를 3개 이상의 금속 층으로 사용하는 것은 2개로 사용할 때보다 성능 상 더 큰 개선 효과를 기대하기 어렵기 때문에 underpass를 3개 이상의 금속 층으로 사용하는 것은 비효율적인 방법이라 할 수 있다.

감사의 글

본 연구는 지식경제부 및 한국산업기술평가관리원의 업원천기술개발사업 (정보통신)의 일환으로 수행하였음. [10041855, e-NVM 내장형 아날로그 혼성신호 기반의 융복합 공정기술 및 IP 개발].

REFERENCES

- [1] C. Yue and S. Wong, *IEEE Trans. Elec. Dev.*, **47**, 560 (2000).
- [2] A. Niknejad and R. Meyer, *IEEE J. Solid State Circuits*, **33**, 1470 (1998).
- [3] M. Akira, *IEEE Trans. Microwave Theory and Techniques*, **50**, 245 (2002).
- [4] Y. Chen, D. Bien, Heo, and D. Laskar, *J. Microwave Symposium Digest*, **2**, 1289 (2001).
- [5] K. Murata, T. Hosaka, and Y. Sugimoto, *2000 Asia-Pacific Microwave Conference Digest*, p. 177
- [6] C. Sia, K. Yeo, W. Goh, and T. Swe, *Proc. VLSI Technology, Systems, and Applications*, 158 (2001).
- [7] J. Kim, M. Choi, and S. Lee, *J. Semi. Technol. Sci.*, **12**, 53 (2012).
- [8] E. Vandamme, D. Schreurs, and C. Dinther, *IEEE Trans. Elec. Dev.*, **48**, 737 (2001).
- [9] Y. Cao, R. Groves, H. Xuejue, and N. Zamdmer, *IEEE J. Solid State Circuits*, **38**, 419 (2003).