

논문 2014-51-5-24

# 역률 개선 제어용 집적회로의 설계

( An Integrated Circuit design for Power Factor Correction )

이 준 성\*

( Jun-sung Lee<sup>Ⓢ</sup> )

### 요 약

본 논문에서는 가정용 교류 전원을 DC 전원으로 변환하여 가전기기에 사용할 수 있는 역률 개선 회로를 설계하였다. 역률은 공급되는 교류 전원의 전압과 전압의 위상차 뿐만 아니라 특정구간에서 발생하는 급격한 전류 파형의 불균형 등과도 관련이 있다. 설계된 본 회로는 부하에 공급되는 교류전력의 전류 파형은 전압파형과 위상차가 적으면서 정현파에 가깝게 공급하는 기능을 제공한다. 자체 발진하는 10[kHz]~100[kHz] 내외의 주파수로 AC 전원에 연결된 코일을 스위칭 한 후 코일전류를 부하에 공급하는 기능을 위한 회로, AC 파형의 zero crossing 지점을 찾는 기능을 함께 수행하는 multiplier 회로, UVLO, OVP, BGR 등의 회로를 한 개의 IC에 집적할 수 있도록 설계하였다. 제작공정은 최소선폭 0.5[μm], 내압 20[V], 2P\_2M CMOS 공정을 사용하여 설계하였고 시뮬레이션을 통하여 전체 기능을 검증하였다.

### Abstract

This paper describes an IC for Power Factor Correction. It can use electrical appliances which convert power from AC to DC. The power factor can be influenced not only phase difference of voltage and current but also sudden change of current waveform. This circuit enables current wave supplied to load by close to sinusoidal and minimum phase difference of voltage and current waveform. A self oscillated 10[kHz]~100[kHz] pulse signal converted to PWM waveform and it chops rectified full wave AC power which flows to load device. The multiplier and zero current detector circuit, UVLO, OVP, BGR circuits were designed. This IC has been designed and whole chip simulation use 0.5[μm] double poly, double metal 20[V] CMOS process.

**Keywords** : Power Factor Correction, DC-DC converter, AC-DC Power Converter. PFC Controller.

## I. 서 론

교류전력 전송 시 무효전력성분은 일반 가정용 소비자 입장에서는 별 고려 대상이 아니다. 실제 에너지의 소모가 발생함에도 과금(Billing)이 되는 전력이 아니기 때문이다. 이러한 무효전력량의 정도를 역률(PF, Power

Factor)로 표현하는데 그간 가전제품 등의 설계 시에 별다른 고려는 하지 않았다. 왜냐하면 역률 개선을 위해서는 추가되는 하드웨어가 복잡하고 비용이 추가되며 소비자 입장에서는 별다른 효과가 눈에 보이지 않기 때문이다. 또한, 역률제고를 위하여 산업용 기기에 관한 규제는 강화되었으나, 가정용 기기나 조명용 기기 등에 대한 별다른 규제는 없었던 것도 또 다른 이유일 것이다. 하지만 최근 그린(Green)정책, 즉 에너지 절감이라는 큰 이슈가 대두되면서 조명분야와 전력변환기기분야 등에서 무효전력 성분을 최소화하는 요구, 즉 역률을 개선해야 하는 문제가 대두하고 있다. 또한 IEC 61000-3-2 표준이 역률개선의 제약사항이 되었다<sup>[1]</sup>. 역률이란 교류전력에 있어서 전압과 전류 위상차의 관계,

\* 정회원, 인덕대학교 컴퓨터전자과  
(Department of Computer Engineering and Electronics of INDUK University)

Ⓢ Corresponding Author(E-mail: ljsskku@induk.ac.kr)

※ 본 연구는 인덕대학교 해외학술연수비 지원에 의해 수행되었음.

접수일자: 2014년3월 4일, 수정일자: 2014년3월13일

수정완료: 2014년4월30일

즉  $P=V \cdot I \cdot \cos\theta$ 로 정의 한다. 여기서 P는 교류전력, V와 I는 각각 교류전압, 전류를 나타낸다. TV나 오디오 등 일부 가전 제품은 교류전력을 직류로 변환한 다음 직류상태에서 동작시킨다. AC전원을 DC전원으로 변환하기 위하여 다이오드를 이용한 정류회로를 사용하는 경우가 많다. 그림 1(a)은 전파 정류기(D1~D4)를 거쳐 맥류상태로 정류된 파형을 뒷 단에 연결한 충전콘덴서(C)에 충전하여 안정된 전압을 기기(LOAD)의 전원으로 사용하는 예이다. 그런데 이러한 정류 동작 가정중에 그림 1(b)와 같이 충전 콘덴서(C)에 입력되어 충전되는 전류(Ic)는 교류 입력전압의 피크치 부근에서만 과도하게 흐르고 그 이외의 구간에서는 흐르지 않게 되는 현상이 나타나게 된다. 이것은 역률이라는 측면에서는 바람직한 현상이 아니다.<sup>[5]</sup> 또한, 피크치에서 일시적으로 흐르는 과도한 전류 때문에 인가되는 입력전압 파형이 일시적으로 하강되는 현상도 발생할 수 있다. 본 역률개선 회로는 위의 문제 현상들에 대응하여 공급되는 입력 전류를 시간 축 상에서 배분하여 콘덴서에 충전함으로써 공급 효율을 안정화시키기 위한 동작을 수행한다. 다양한 회로들이 설계되어 제공되고 있으나, 본 설계에서는 기능을 비교적 단순화하여 설계함으로써 소비 전력 감소 및 가격 경쟁력을 제고 하고자 하였다.

역률 개선을 위해서 채용하는 회로 중에서 그림 2와 같은 구조가 있다. 그림 1(a)의 정류기(Rectifier)와 충전 콘덴서(Storage Condenser) 사이에 코일(L), 다이오드(D5)를 직렬로 연결하고 이 두 소자 사이에 스위칭 소자(Switching FET)와 역률제어기(Power Factor Controller)를 연결하였다. 역률제어기에서 적절한 제어 신호를 만들고 스위칭소자를 단속하여 원하는 동작을 구현하는 방법이다. 한편, 코일을 스위칭시키는 동작 중에 발생하는 불요 주파수 성분이 국제규격인 IEC555의

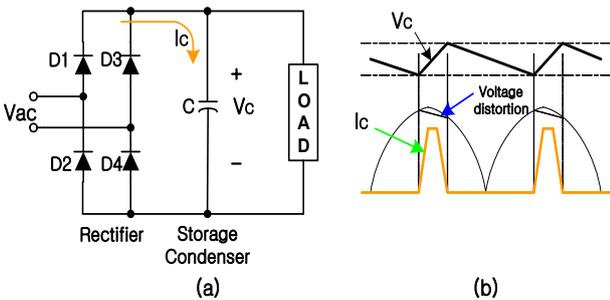


그림 1. AC-DC 전력변환 설명도  
Fig. 1. AC-DC Power Converter.

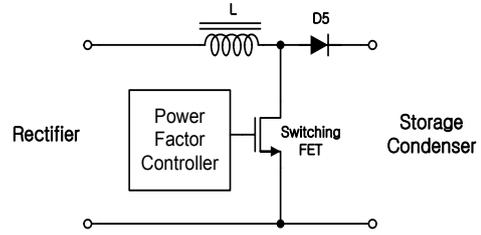


그림 2. 역률개선제어회로 개념도  
Fig. 2. The Concept of Power Factor Controller.

규정을 해치지 않도록 주의 할 필요가 있다<sup>[2]</sup>. 본 설계는 이 규정에 적합하도록 코일의 전류를 불연속으로 스위칭하는 전류불연속모드 제어 방식<sup>[3]</sup>에 따른 역률개선기를 설계하였다.

## II. 역률 개선 제어회로의 설계

설계된 역률개선 제어기의 간략화 된 전체 블록도는 그림 3과 같다. 역률개선 제어기의 최종 출력 DC 전압은 Vout 이다. RS1과 RS2의 저항 비에 의한 배분 전압을 에리증폭기 1 (Err Amp1)에서 읽어낸다.

이 전압을 뒷단의 전압-전류 변환기(V-I 변환기)에 의해서 전류로 바꾼 다음, 같은 단에 구성된 곱셈기의 트랜스컨덕턴스(gm) 값을 제어하게 한다. gm 값에 의하여 전파 정류된 입력 AC 신호이득은 가변되어 출력되는데, 출력(Vout) DC 전압이 상승하면 이득을 낮게 하고, 하강하면 이득을 크게하도록 설정하였다. 곱셈기에서 출력된 전파정류 AC 신호는 에리증폭기 2(Err Amp2)에서 노이즈성분을 제거한 후 구동회로(DRV)의

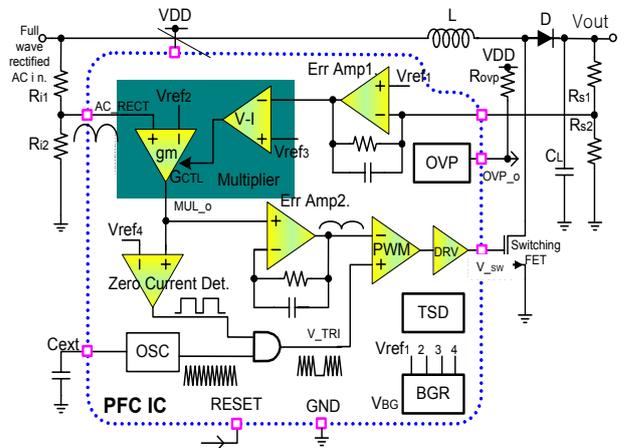


그림 3. 역률개선 제어기의 전체블록도  
Fig. 3. The block diagram of Power Factor Corrector.

기준전압(PWM 회로의 - 단자)을 제어한다. 기준전압이 높은 구간에서는 PWM 출력 펄스의 듀티가 줄어들게 되므로 스위칭 FET(Switching FET)의 온(On) 시간도 줄게 되고 외부 코일(L)에 전류가 충전되는 시간까지 줄게 되므로 최종 출력전압은 서서히 상승한다. 반대로 기준전압이 낮은 구간에서는 PWM 펄스 폭은 넓어져서 외부 코일의 충전시간이 늘어나게 됨으로써 출력전압이 빨리 상승한다. 칩 내부에 설계된 발진기(OSC)는 외부 스위칭 FET에 인가할 PWM 펄스 신호를 발생시키는 회로이다. 외부 콘덴서  $C_{ext}$ 와 IC 내부의 회로 상수에 의해 발진 주파수가 결정되게 된다. 발진기는 외부 소자인  $C_{ext}$ 의 값을 변경하여 약 2 [kHz]~350[kHz]까지 주파수를 가변시킬 수 있다. 전파정류되어 입력된 AC 전원의 영전압 부근 즉, 영전압 교차점(Zero Crossing Point) 구간에서는 부하에 전류를 거의 공급하지 않는다. 즉 정류된 파형의 경우 낮은 전압 구간에서는 실제적으로 부하에 전원을 공급하지 않는다. 따라서 이 구간을 찾아내어 발진출력을 차단함으로써 스위칭 FET의 스위칭 동작을 중단시킬 필요가 있다. 이를 위하여 영전류 검출회로(Zero Current Detector)를 설계한다.<sup>[4]</sup> 또한 과전압이 인가될 경우에 회로를 보호하기 위한 과전압 보호(OVP, Over Voltage Protection) 회로와 고온 동작에 의한 소자 파괴를 방지하기 위한 회로(TSD, Thermal Shut Down Circuit)를 설계하였다. 그리고 내부 회로의 기준바이어스 전압이 온도 및 전원전압의 변동에도 전체 회로의 동작을 일정하게 유지시켜 안정화시키기 위한 밴드갭 정전압(BGR, Band Gap Reference) 회로(5)를 설계하였다. 본 회로는 0.5[um]급 40[V]내압, CMOS 공정 파라미터를 사용하여 설계와 시뮬레이션을 수행하였다.

### 2.1 곱셈기(Multiplier) 회로

그림 3에 표시한 곱셈기(Multiplier)의 블록다이어그램에 해당하는 세부 회로는 그림 4와 같이 이득조절부(Gain Adjustment)와 가변증폭부(Variable Gain Amplifier)로 구성되어 있다. 가변증폭부에는 정류회로에서 정류된 AC 신호가 외부 저항비에 의해 적절한 진폭으로 조정된 다음 AC\_RECT 단자를 통해 입력된다. 가변증폭부에서는 이 AC 신호를 증폭하게 되는데 증폭률은 GCTL 단자에 가해지는 DC 전압에 의해 가변된다. GCTL 단자의 DC 전압을 높이면 IG 전류가 증가하고

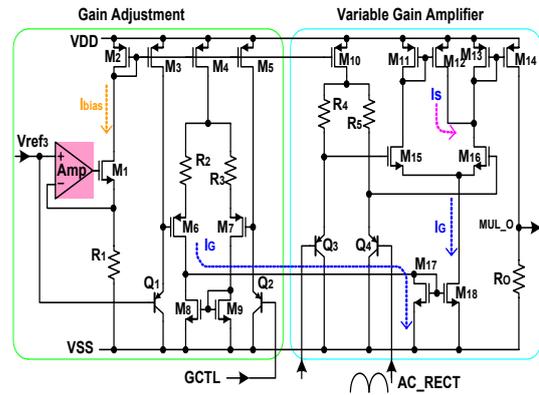


그림 4. 곱셈기 회로도  
Fig. 4. The schematic diagram of Multiplier.

이에 따라 최종 출력저항  $R_o$ 에 전달되는 전류의 양이 커지므로 진폭이 크게 나타나게 된다. 반대로 GCTL 전압을 낮추면 최종 출력저항  $R_o$ 에 전달되는 전류의 양도 작아진다. 이런 동작으로 인해 출력 단자 MUL\_O의 진폭을 크거나 작도록 하여 이득을 변화시킬 수 있다.

### 2.2 영전류구간 검출기(Zero Current Detector)

공급되는 교류 전원은 0 (영, Zero) 전압 구간을 통과하게 된다. 교류전원을 전파 정류시켜 사용할 경우에도 이 구간 부근에서는 실제 공급전류가 거의 없다. 따라서 이 구간에서는 굳이 발진기의 출력 펄스가 외부 코일을 스위칭하게 내버려 두어 불요주파수 발생을 허용할 필요가 없다<sup>[6-7]</sup>. 그러므로 영전류 구간 검출 회로를 통해서 전류 공급이 거의 없는 영전류 구간을 찾아낸 후 발진기 출력신호의 출력 유무를 결정하게 한다. 이는 그림 3과 같이 곱셈기 뒷단에 레벨 검출기(Zero Current Detector)를 추가함으로써 구현할 수 있

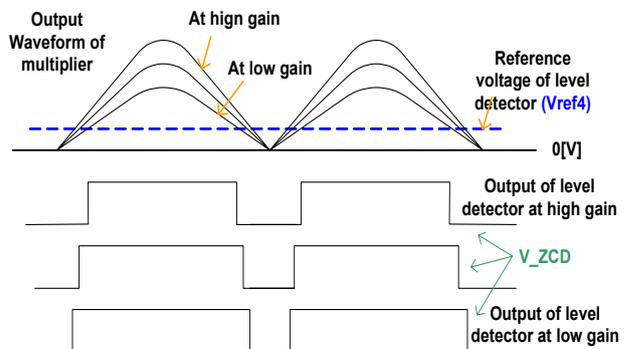


그림 5. 영전류 구간 검출기의 개념파형도  
Fig. 5. The concept waveform of zero current detector.

다. 출력 펄스는 발진기의 발진 허용(Enable) 신호로 인가되어 발진기의 발진 여부를 결정하게 된다. 그림 5는 레벨검출기에서 기준전압( $V_{ref4}$ )과 곱셈기의 AC 출력신호를 비교하여  $V_{ZCD}$  펄스 신호를 만들어 내는 상황을 나타내었다. 영전류 구간에서 검출되는 펄스의 폭은 곱셈기에서 출력되는 신호의 크기에 따라 달라지게 된다.

2.3 발진기(Oscillator)

그림 6.에서 발진기는 기준 전압 발생을 위한 저항 ( $Rb1, Rb2, Rb3$ )와 두 개의 비교기(Comp1, Comp2), 그리고 NOR 게이트로 구성된 래치 회로, 기준전류 발생 및 제어 소자들(MP1~MP3, MN1~MN3)과 외부 충전소자( $C_{osc}$ )로 구성하였다. 기준 바이어스 전압 ( $V_{BGR}$ )은 밴드갭 회로에서 만들어 온도, 전원전압의 변동 시에도 안정된 발진 주파수를 유지할 수 하도록 설계하였다. 최초의  $C_{osc}$ 의 충전전압이 0[V]라면 Comp1과 Comp2의 출력은 각각 “L”와 “H”이고 래치 출력 Qb는 “H”이다. 이때 MN1이 “온” 상태이므로 MP2를 통해 공급되는 전류 I는 모두 MN1의 드레인-소스 단자를 거쳐 접지측으로 빠져나가고 MN2와 MN3가 모두 차단 상태가 되며 MP3에서 공급되는 전류 I가  $C_{osc}$ 에 충전을 시작케 된다. 충전전압이 높아져서  $VC2P$ 보다 커지면 Comp2의 출력이 “L”가 되고 래치 출력 Q만 “H”로 바뀐다.  $C_{osc}$ 전압이 상승을 계속하여  $VC1m$ 보다 커지면 이제 Comp1의 출력이 “H”로 바뀐다 동시에 래치 출력 Qb가 “L”로 바뀐다. 그렇게 되면 MN1이 오프상태가 되고 MN2의 드레인전류 I가 MN3에서 2\*I로 증폭된다. 이 전류는 MP3의 드레인 전류에서 I,  $C_{osc}$ 에서 I 만큼 공급(방전)해야 하므로 콘덴서

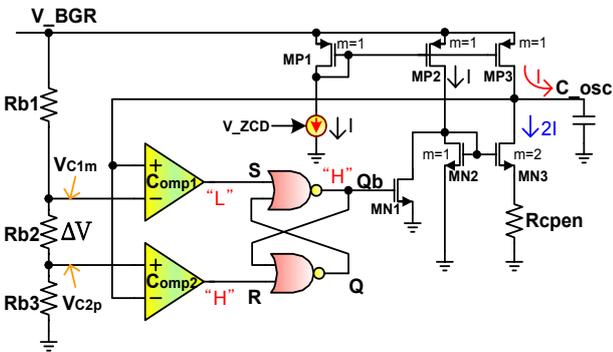


그림 6. 발진기 구성 회로도  
Fig. 6. The schematic of Oscillator.

$C_{osc}$ 는 방전 된다. 방전된 전압이  $VC2P$  보다 작아지는 순간 Comp2의 출력이 바뀌어 MN1은 다시 오프상태가 되면서  $C_{osc}$ 는 충전 상태로 되돌아 온다. 즉,  $C_{osc}$ 의 충전·방전 전압은  $Rb2$ 의 양단 DC 전압( $\Delta V$ )만큼 인것을 알 수 있다. 발진기의 발진 주파수는 외부소자  $C_{osc}$ 와 기준전류 I 그리고 충전·방전전압의 진폭을 설정한 저항인  $Rb2$  양단에 인가되는 전압  $\Delta V$  ( $Vc1m-Vc2p$ )에 의해 결정된다. 충전시간은  $t_{chg} = (C_{osc} \cdot \Delta V) / I$  이고, 방전시간은  $t_{dis} = (C_{osc} \cdot \Delta V) / I$  로 계산된다. 즉 발진주파수  $f_{osc} = 1 / (t_{chg} + t_{dis}) = I / (2C_{osc} \cdot \Delta V)$ 이다.  $V_{ZCD}$  단자는 그림 5의 영전류 검출 출력 펄스( $V_{ZCD}$ )가 인가되어서 영전류 구간의 OSC 동작을 차단시키는 역할을 한다. 그리고  $C_{osc}$ 의 충전·방전 삼각파의 상승과 하강시의 기울기를 같도록 맞추기 위하여 MN3의 소스측 저항인  $R_{cpen}$  저항은 설계시 조정할 수 있도록 하였다.

2.4 Pulse Width Modulation(PWM) 회로

PWM 회로는 전파 정류된 후 코일에 인가되는 AC\_RECT 신호를 스위칭하기 위한 펄스를 발생시키는 회로이다.

이 회로에서 에러앰프(Err Amp 2)의 입력 신호는 그림 4. 곱셈기 회로의 출력인 MUL\_O이고, 비교기(Comp)에 인가되는 삼각파 신호는 OSC에서 발진한 삼각파와 영전류 검출 출력최종 신호( $V_{ZCD}$ )를 AND 한 신호인  $V_{TRI}$  신호이다. AC\_RECT의 전압 레벨이 높아질수록 PWM 펄스 폭은 좁아지는 것을 알 수 있다. 그림 7과 같이 영전류 구간에서는 PWM 펄스가 제거되므로 불요주파수의 발생을 막을 수 있다. PWM 펄스는 DRV 회로를 거쳐 IC 외부의 스위칭 FET를 구동하게 된다.

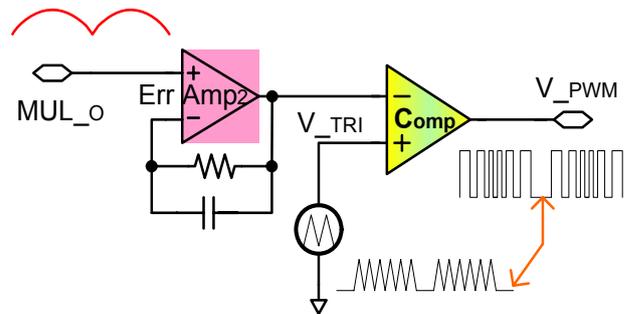


그림 7. PWM 회로  
Fig. 7. The schematic of PWM circuit.

### 2.5 게이트 드라이버(DRV) 회로

게이트 드라이버(DRV) 회로는 먼저 그림 3.에 표시한 PWM 회로의 출력신호(V\_PWM 신호)를 입력으로 받아서 레벨변환기(Level Shift)에서 버퍼(BUF)를 충분히 구동할 수 있는 진폭으로 변환한다. 버퍼를 거친 신호는 인버터(INV), M1과 M2 에서 (VDD-VTH)와 GND 사이의 진폭으로 출력되어 그림 3.의 스위칭(Switching) FET를 구동하게 된다.

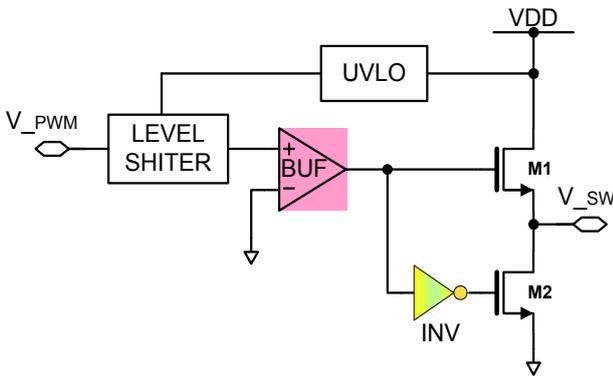


그림 8. 게이트 드라이버 회로  
Fig. 8. The schematic of Gate Driver circuit.

### 2.6 UVLO(Under Voltage LockOut) 회로

UVLO 회로는 전원전압(VDD)을 검출하여 VDD 전압이 일정전압 이상일 때만 내부 회로가 동작하도록 하고 특정전압 이하(Under Voltage)에서는 내부 회로의 동작을 차단(LockOut)시키는 기능을 수행한다. 또, 스위칭 소자의 V<sub>TH</sub>(Threshold Voltage)를 고려한 동작 상태를 설정하는 경우도 있다. 즉, 보통의 전력제어 회로는 MOSFET를 구동해야 할 경우가 많은데 Gate의 V<sub>TH</sub>가 5[V]라면 구동단 소자의 드롭아웃(Dropout)이 약 2~3[V]인 것을 감안하여야 한다. 즉, V<sub>cc</sub>는 최소 7~8[V] 이상이 인가되어야 하는 것이다. 이 때문에 최초로 회로가 기동될 경우를 포함해서 정상동작시에도 V<sub>cc</sub> 전압이 MOSFET의 Gate를 충분히 구동할 수 있는 전압 이하에서는 전체 회로의 동작은 정지시키게 된다. 마지막으로 정상 상태 동작에 도달하기 전까지의 대기전력을 줄이는 효과도 노릴 수 있다. UVLO 전압 이하에서는 UVLO 회로를 제외한 모든 회로를 Shutdown 시키기 때문에 소모전류를 최소화 할 수 있다. 이러한 UVLO회로는 비교기를 이용하거나 밴드갭 회로 또는 제너다이오드 등을 이용하여 구성할 수 있

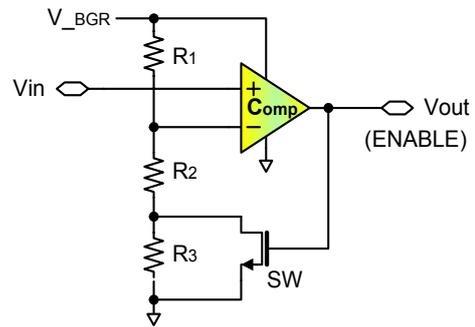


그림 9. UVLO 구성 회로도  
Fig. 9. The Schematic Diagram of UVLO.

다. 본 논문에서는 히스테리시스 특성을 가지는 비교기(Comparator)를 이용하여 설계하였다.

위 회로에서 V<sub>BGR</sub>은 밴드갭 회로에서 만든 기준전압(V<sub>ref</sub>)으로 전원전압이나 온도 등의 변동에도 일정한 전압을 유지한다. 동작상태는 다음과 같다. Vin 전압이 Low에서 High로 상승할 때 출력전압 Vout은 Low이고 SW는 Off 상태가 된다. 이때 비교기의 (-)단자 전압 V<sup>-</sup>는  $V^- = V_{ref} \times \frac{R_2 + R_3}{R_1 + R_2 + R_3}$  이고, Vin 전압이 High에서 Low로 강하할 때 Vout은 High, SW는 ON 상태이므로 V<sup>-</sup>는  $V^- = V_{ref} \times \frac{R_2}{R_1 + R_2}$  이다. 즉, Vin 전압의 상승, 하강에 따라 출력 상태가 변동되는 지점이 달라지는 것을 알 수 있다. 이 출력 상태를 이용하여 특정 회로의 동작을 차단시키거나 인에이블(ENABLE)시킬 수 있다는 것이다.

### 2.7 과전압 보호회로

AC 전원이 외부 여건에 의해서 정상치보다 높게 인가되는 경우에는 뒷 단 소자들을 보호하기 위하여 회로 동작을 차단할 필요가 있다. 영전류 구간 검출회로에 인가된 AC 파형의 크기를 비교기에서 비교함으로써 과전압 인가 여부를 판단할 수 있다. 과전압 검출 신호는 오픈드레인 핀으로 출력되며 외부저항(Rovp)에 의해 로직 레벨로 변환된다. 이 레벨을 이용하여 IC의 RESET 핀에 신호를 인가함으로써 과전압에 대하여 IC 동작을 차단시키거나 재 동작을 시키는 기능을 수행한다.

## III. 시뮬레이션

본 설계된 회로는 블록별, 기능별 시뮬레이션을 통한

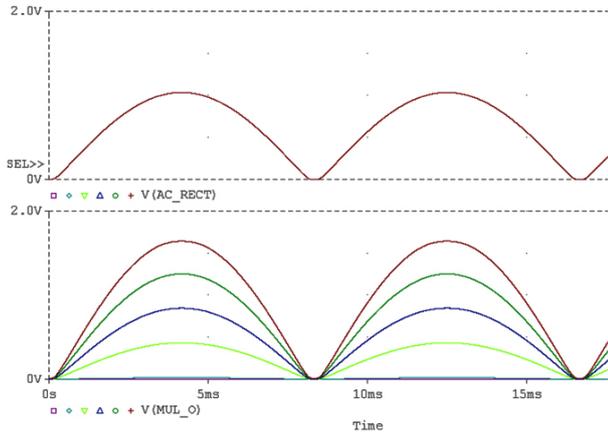


그림 10. GCTL 전압의 변화에 따른 곱셈기의 시뮬레이션 결과파형

Fig. 10. The simulation waveform of multiplier gain at GCTL voltage sweep.

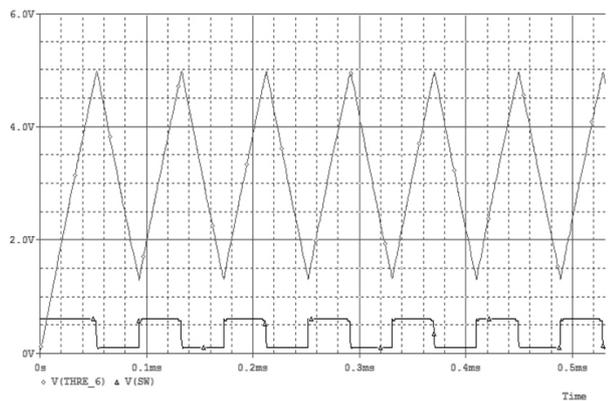


그림 11. Oscillator의 시뮬레이션 결과파형

Fig. 11. The simulation waveform of oscillator.

검증으로 개별 블록 및 전체 칩에 대한 기능을 확인하였다.

그림 10에는 그림 4에서 제시한 multiplier의 가변이득 증폭 특성과 영전류 구간 검출 기능을 검증하기 위하여 시뮬레이션으로 검증한 파형이 나타나 있다. GCTL 단자 DC전압을 2.5~4.5[V]까지, 0.5[V] 간격으로 증가(Sweep)시키면서 입력단자인 AC\_RECT에 전파 전류된 AC 파형을 인가한 후 출력단자인 MUL\_O의 전압특성을 관찰한 결과이다.

그림 11은 그림 6에서 제시한 발진기 회로의 시뮬레이션 결과 파형이다. 삼각파는 콘덴서의 충·방전 파형을 나타내며 충전과 방전시의 기울기가 거의 동일한 값을 나타낸 것을 볼 수 있다.

그림 12는 그림 3에서 제시한 전체 칩을 시뮬레이션으로 기능을 검증한 결과 파형이다. 맨 위쪽 그림이 스

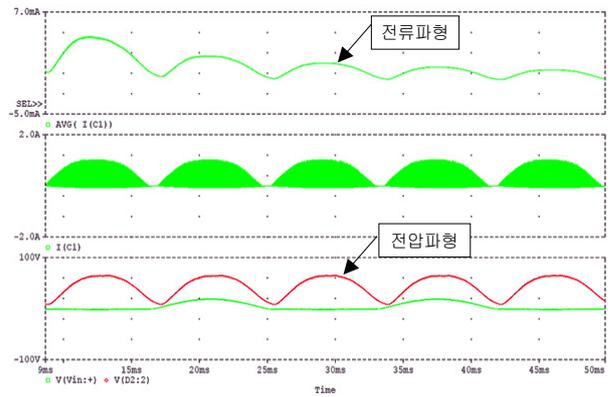


그림 12. PFC IC의 전체 칩 시뮬레이션 검증 파형

Fig. 12. The whole chip simulation waveform of PFC system.

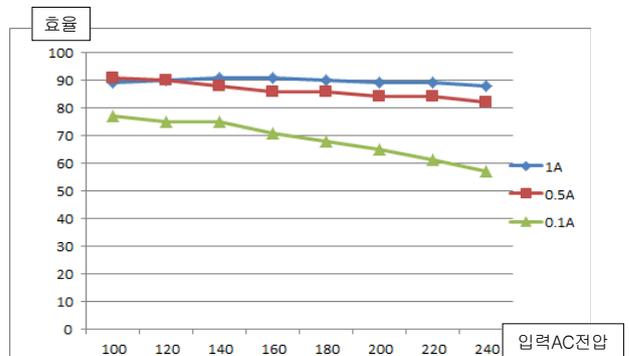


그림 13. 입력 교류전압에 따른 효율 변동

Fig. 13. The graphs of Input AC Voltage versus Efficiency

위칭 동작을 거친 후 부하에 공급되는 전류 파형을 나타낸 것이다. 처음 기동할 때를 제외하면 전류파형의 모양이 전압파형을 거의 그대로 추종함을 알 수 있다.

그림 13은 그림 3에서 제시한 전체 회로에 대해서 출력 전달 전력을 20[W]로 설정한 다음 전력 전달 효율을 시뮬레이션으로 검증한 결과이다. 출력전류가 적절하게 설정된 경우 약 90[%] 정도의 전력 전달 효율을 달성할 수 있는 것으로 확인되었다.

#### IV. 결 론

본 논문에서는 가정용 교류 전원을 DC 전원으로 변환하여 가전기에 사용할 수 있는 역률 개선 회로를 설계하였다. 역률은 공급되는 교류 전원의 전압과 전압의 위상차 뿐만 아니라 특정구간에서 발생하는 급격한 전류 파형의 불균형 등과도 관련이 있다. 설계된 본 회로는 부하에 공급되는 교류전력의 전류 파형은 전압과

형과 위상차가 적으면서 정현파에 가깝게 공급하는 기능을 제공한다. 곱셈기 회로와 영전류 검출회로를 설계하고 검증하였으며 자체 발전하는 10[kHz]~100[kHz] 내외의 주파수로 AC 전원에 연결된 코일을 스위칭 한 후 코일전류를 부하에 공급하는 기능을 위한 회로, PWM 회로와 게이트 구동회로, UVLO, OVP, BGR 등의 회로를 한 개의 IC에 집적할 수 있도록 설계하였다. 전체 칩과 외부 응용 회로를 구성하여 특성을 검증한 결과 전력전달효율이 약 90[%] 내외로 동작함을 확인하였고 전달 전류 파형의 모양이 전압파형과 거의 일치하는 결과를 얻었는데 이 결과로 인하여 본 설계 회로가 실제 제품에 충분히 적용할 수 있음을 확인하였다. 제작공정은 최소선폭 0.5[ $\mu$ m], 내압 20[V], 2P\_2M CMOS 공정을 사용하여 설계하였고 시뮬레이션을 통하여 전체 기능을 검증하였다. 회로 규모가 비교적 간단하게 설계 되었으며 배치된 핀이 모두 8개로 하드웨어 설계시 간단한 구성이 가능하게 하였다.

## REFERENCES

- [1] In-Sun Jeon, et al, "Design of Boost Converter PFC IC for Unity Power Factor Achievement", The Journal of Institute of Electronics Engineers of Korea, Semiconductor and Devices, Vol.47-SD No.2, 2010.2.
- [2] Bo-Min Kwon, et al, "Design of High Power Factor PFC circuit for SMPS", THE INSTITUTE OF ELECTRONICS ENGINEERS OF KOREA, 2010.11.
- [3] W. Guo, and P. K. Jain, "A Low Frequency AC to High Frequency AC Inverter with Build-In Power Factor Correction and Soft-Switching", IEEE Trans. on PE, Vol. 19, No. 2, pp. 430-442, 2004.
- [4] Kil-Soo Seo, et al, "Design of Zero Cross Detection Power Factor Correction IC", THE INSTITUTE OF ELECTRONICS ENGINEERS OF KOREA, 2008.6.
- [5] Jun-sung Lee, "A Design of Integrated Circuit for High Efficiency current mode boost DC-DC converter", The Journal of Institute of Electronics Engineers of Korea, IE, Vol.47-IE No.2 2010.6.
- [6] Dong-Kurl Kwak, et al, "PWM-PFC Step-Up Converter For Novel Loss-Less Snubber", The Journal of Institute of Electronics Engineers of

Korea, System and Control, Vol.43 No.1 (WN.307) 2006.1.

- [7] Yong-Wook Kim, Rae-Young Kim, Jae-Hwan Soh, and Ki-Young Choi, "A Novel Soft Switched Auxiliary Resonant Circuit of a PFC ZVT-PWM Boost Converter for an Integrated Multi-chips Power Module Fabrication", The Transactions of the Korean Institute of Power Electronics, Vol. 18, No. 5, October 2013.

## 저 자 소 개



이 준 성(정회원)

1985년 경북대학교 전자공학과  
학사

1997년 연세대학교 산업대학원  
석사

2003년 성균관대학교 전기전자  
컴퓨터공학부 공학박사

1984년 12월~1995년 9월 삼성전자 반도체연구소  
마이크로사업부 개발1실 선임연구원, 프  
로젝트리더

1995년 10월~1998년 9월 삼성전자 ASIC사업부  
기반설계팀 선임연구원, 파트리더

1999년 3월~현재 인덕대학교 컴퓨터전자과 교수  
<주관심분야 : 아날로그집적회로설계, 오디오(디  
지털, 아날로그), 비디오 구동회로, 아날로그 비디  
오 프로세서, 전력용반도체, 센서구동회로>