

습식표면처리 및 열 사이클에 따른 Cu/SiN_x 계면접착에너지 평가 및 분석

정민수¹ · 김정규¹ · 강희오² · 황욱중² · 박영배^{1,†}

¹안동대학교 신소재공학부 청정에너지소재기술연구센터

²나노융합기술원

Effects of Wet Chemical Treatment and Thermal Cycle Conditions on the Interfacial Adhesion Energy of Cu/SiN_x thin Film Interfaces

Minsu Jeong¹, Jeong-kyu Kim¹, Hee-Oh Kang², Wook-Jung Hwang² and Young-Bae Park^{1,†}

¹School of Materials Science and Engineering, Andong National University, Andong-si, Gyeongbuk 760-749, Korea

²National Nanofab Center, Daejeon 305-701, Korea

(2014년 2월 18일 접수: 2014년 3월 27일 수정: 2014년 3월 28일 게재확정)

초 록: 반도체 미세구리배선 적용을 위하여 구리배선의 습식 표면처리 및 열 사이클에 따른 구리 박막과 실리콘질화막 도포층 사이의 계면접착에너지를 4점굽힘시험을 통해 정량적으로 평가하였다. 구리배선을 화학적·기계적 연마한 후 습식 표면처리를 통하여 구리 박막과 실리콘질화막의 계면접착에너지는 10.57 J/m²에서 14.87 J/m²로 증가하였다. -45~175°C 범위에서 250사이클 후, 표면처리를 하지 않은 시편의 계면접착에너지는 5.64 J/m²으로, 표면처리를 한 시편은 7.34 J/m²으로 감소하였으며, 모든 시편의 박리계면은 구리 박막과 실리콘질화막 계면으로 확인되었다. X-선 광전자 분광법으로 계면 결합 상태를 분석한 결과, 화학적·기계적 연마 공정 후 구리배선의 표면 산화물이 습식표면처리에 의해 효과적으로 제거된 것을 확인하였다. 또한, 열 사이클 처리동안, 구리 박막과 실리콘질화막의 큰 열 팽창 계수 차이로 인한 열응력으로 인하여 구리 박막과 실리콘질화막 계면이 취약해지고, 계면을 통한 산소유입에 따른 구리 산화층이 증가하여 계면접착에너지가 저하된 것으로 판단된다.

Abstract: Effects of wet chemical treatment and thermal cycle conditions on the quantitative interfacial adhesion energy of Cu/SiN_x thin film interfaces were evaluated by 4-point bending test method. The test samples were cleaned by chemical treatment after Cu chemical-mechanical polishing (CMP). The thermal cycle test between Cu and SiN_x capping layer was experimented at the temperature, -45 to 175°C for 250 cycles. The measured interfacial adhesion energy increased from 10.57 to 14.87 J/m² after surface chemical treatment. After 250 thermal cycles, the interfacial adhesion energy decreased to 5.64 J/m² and 7.34 J/m² for without chemical treatment and with chemical treatment, respectively. The delaminated interfaces were confirmed as Cu/SiN_x interface by using the scanning electron microscope and energy dispersive spectroscopy. From X-ray photoelectron spectroscopy analysis results, the relative Cu oxide amounts between SiN_x and Cu decreased by chemical treatment and increased after thermal cycle. The thermal stress due to the mismatch of thermal expansion coefficient during thermal cycle seemed to weaken the Cu/SiN_x interface adhesion, which led to increased CuO amounts at Cu film surface.

Keywords: Cu interconnect, CMP, 4-point bending test, thermal cycle

1. 서 론

최근 전자 제품의 소형화, 고집적화와 배선의 미세화가 진행되면서 배선 저항의 증가가 신호 전달의 문제점을 발생시키며, 미세 배선의 선풍이 한계에 다다랐다. 이에 금속 배선 공정 기술이 중요하게 되었다. 종래에는 경제성

이 좋으며 다른 공정과 연관성이 좋은 알루미늄 배선 기술이 많이 사용되었다. 하지만, 배선에 사용되는 알루미늄 배선 기술이 차세대 고집적 반도체 소자에 적용되면서 신뢰성의 한계가 발생하게 되었다. 이로 인하여 최근 초고집적화 및 미세화가 용이한 재료인 구리가 대체 재료로 사용되었다. 구리는 낮은 저항으로 RC delay를 향

[†]Corresponding author
E-mail: ybpark@andong.ac.kr

© 2014, The Korean Microelectronics and Packaging Society

This is an Open-Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License(<http://creativecommons.org/licenses/by-nc/3.0>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.

상시키고 우수한 electromigration 및 stress-migration 저항 특성으로 소자의 신뢰성 측면에서도 알루미늄 배선과 비교하여 우수하다.¹⁾ 또한, 기존의 실리콘 산화물 대신 유전상수가 낮은 물질(low-k)도 배선의 절연체로 적용할 수 있게 됨으로써 소자의 동작 속도 저하도 방지할 수 있게 되었다. 하지만, 구리 배선을 형성하기 위해 기존의 배선 형성 기술 적용이 어렵기 때문에 구리 배선 형성을 위한 상감공정이 개발되었다. 상감공정 중 화학적·기계적 연마(chemical-mechanical polishing, CMP) 후 외부에 노출된 구리 박막의 표면은 후속 공정 중에 산화될 수 있다. 이를 방지하기 위해 피복층에 사용하는 유전 상수가 낮은 물질은 계면 접착력을 떨어뜨려 배선의 신뢰성을 저하시키는 원인으로 작용된다고 보고되었다.^{2,3)} 이에 상감공정에서 구리 박막을 CMP 공정한 후에 다양한 표면처리가 계면접착력에 영향을 미친다는 연구가 보고되었다.

구리 박막의 피복층으로 실리콘질화막(SiN_x) 및 실리콘탄화막(SiC) 도포층을 사용한 기존 연구에 의하면⁴⁾, He 플라즈마, H₂ 플라즈마, N₂+NH₃ 플라즈마, 희석시킨 HF 용액, NE14 와 열처리(350°C) 등 6가지 종류의 표면처리를 실리콘질화막 증착 전에 실시하였다. 그 결과, 구리 박막과 실리콘질화막 사이의 계면이 오염되거나 잔류하는 산화층이 계면접착력에 영향을 미치는 것으로 보고되었으며, 표면처리를 함으로써 계면접착력이 향상되는 것을 확인할 수 있다. Ryan P는 구리 박막과 실리콘질화막 구조에 대하여 다양한 산화 환경과 환원 환경에서의 구리 박막과 피복층 사이의 계면이 환경적 요인에 의해 박리되는 실험을 하였다.⁵⁾

산화 환경은 건조한 환경과 습한 환경을 조성하여 CO₂ 와 O₂의 활성도 차이에 따른 계면접착에너지를 평가하였다. 연구 결과, 산화 활성도의 차이보다 산화 조건에 따른 환경적 영향을 더 받는 것으로 보고되었다.

전류 인가 시 발생하는 발열 또한 금속 배선과 피복층(capping layer) 및 확산방지층(Barrier layer) 등 이종 재료 접합부의 신뢰성에 직접적인 영향을 미치는 인자가 될 수 있다. 특히, 실리콘(Si)의 경우에는 2.6 ppm/°C, 실리콘질화막(Si₃N₄)의 경우는 3.2 ppm/°C 정도의 열팽창계수를 가지며, 금속배선 재료인 구리의 열팽창계수는 16.7 ppm/°C로 실리콘과 비교하여 7배 이상의 열팽창계수가 높은 것으로 보고된다. 이러한 열팽창계수 차이로 인하여 열 사이클을 장시간 반복하는 경우, 이종 계면에서 발생하는 반복적인 인장 및 압축 응력으로 인하여 계면의 신뢰성 및 소자의 성능이 저하되는 것으로 알려져 있다.^{6,9)} 이에 미세구리배선 적용을 위하여 구리 박막 위에 실리콘질화막을 도포한 구조를 이용하여 열 사이클이 계면접착에너지에 미치는 영향에 대한 평가가 필요하다.

이전 연구 결과에 따르면 CMP 후 표면처리에 따른 구리 박막과 실리콘질화막 사이의 계면접착에너지를 평가하였다. N₂ 플라즈마, NH₃ 플라즈마와 화학 처리의 세 가지 표면처리를 사용하였으며, CMP 공정 후 아무런 표면

처리를 하지 않은 것보다 표면처리를 함으로써 계면접착 에너지가 증가하는 것으로 보고되었다.¹⁰⁾ 기 그룹에서는 CMP 공정 후의 구리 박막 표면이 대기 중에 있는 산소에 의해 산화되고 오염되어 계면접착력이 저하된 것을 확인하였으며, 산소 환경에 노출된 실리콘질화막 도포층의 두께와 산화 속도는 노출 시간에 따라 증가하였다고 보고하였다.¹¹⁾ 하지만, 표면처리에 따라 장시간 신뢰성 평가에 대한 연구 결과는 보고되지 않았다. 따라서 본 연구에서는 열 사이클과 표면처리가 구리 박막과 실리콘질화막(SiN_x)에 미치는 영향을 분석하기 위해 CMP공정 후 표면처리 유무에 따라 실리콘질화막을 도포하였고, 열 사이클에 따라 4점굽힘실험을 통해 정량적인 계면접착에너지 및 신뢰성을 평가하였다.

2. 실험 방법

후속 열처리 및 고온다습환경에서의 장시간 신뢰성을 평가하기 위해 Fig. 1과 같은 시편을 제작하였다. 시편은 웨이퍼 레벨 공정으로 제작되었으며, 725 μm 두께의 8인치 실리콘 웨이퍼 위에 실리콘산화막을 화학 증착(chemical vapor deposition, CVD) 공정으로 100 nm 형성하였다. 물리 증착(Physical vapor deposition, PVD) 공정을 이용하여 질화탄탈륨(TaN)과 탄탈륨(Ta)를 각각 15 nm 증착하였고, 15 nm의 씨앗층 위에 전해도금으로 구리 박막을 총 1.5 μm 가량 증착한 후 CMP를 하였다. 표면처리의 유무에 따른 영향을 알아보기 위하여 CMP 공정 후 표면처리를 하지 않고 24시간 동안 클린 룸에서 노출시킨 시편과 ESC-784(ATMI 사) 용액을 사용하여 습식화학처리를 한 시편으로 나누었다. 구리 박막 표면처리를 마치고 스퍼터링(Sputtering)으로 약 100 nm 두께의

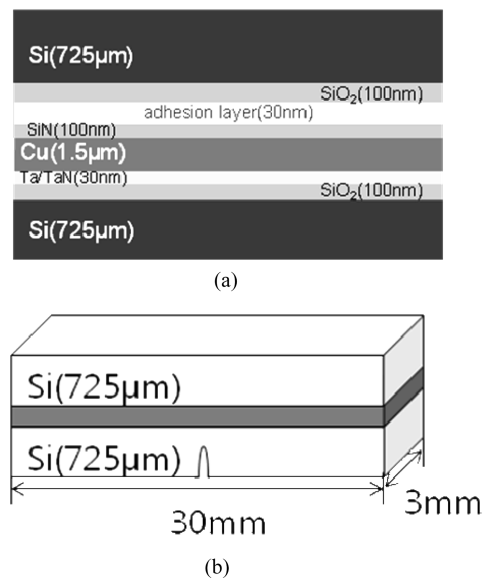


Fig. 1. Schematics of (a) the multilayer sample structure and (b) the four-point bending test geometry after bonding.

실리콘질화막을 도포하였다. 구리 박막에 실리콘질화막이 도포된 시편을 100 nm 두께의 실리콘 산화막이 형성된 같은 두께의 8인치 실리콘 웨이퍼와 마주보게 정렬하여 상, 하 웨이퍼에 에폭시 레진(Epo-tek353ND, Epo-Tek)을 도포하여 150°C에서 1시간 동안 유지시켜 접합하였다. 웨이퍼 레벨로 제작된 샌드위치 구조의 시편은 4점굽힘실험을 위해 3 mm×30 mm의 크기로 절단하였고, 접합된 두 장의 실리콘 웨이퍼 중 실리콘질화막이 도포된 하부 실리콘 웨이퍼의 중심에 초기 균열을 유도하기 위해 웨이퍼에 깊이 600 μm의 노치(Notch)를 형성하였다. 4점굽힘 시험을 위해 제작된 시편을 대기 환경에서 열 사이클 시험을 하였으며, 적용된 온도범위는 -45~175°C로, 한 사이클이 진행되는 데 소요되는 시간은 1시간으로 설정하였다. 열 사이클 시험은 24, 48, 100, 250 그리고 500 사이클을 진행하였다. 열 사이클 시험을 완료한 시편을 인장 시험기(Lloyd Instruments 사)에 4 점굽힘시험용 지그를 설치하여 정량적인 계면접착에너지를 측정하였다. 실험에 사용된 로드셀은 20 N, 로딩 속도는 0.08 μm/s, 핀 간 거리는 5 mm로 설정하였다. 4 점굽힘실험이 완료된 모든 시편은 주사 전자현미경(scanning electron microscope, SEM)과 에너지 분산형 분광기(energy dispersive spectroscopy, EDS)로 파면의 미세구조 및 성분을 분석하였고, X-선 광전자 분광법(X-ray photoelectron spectroscopy, XPS)을 통하여 파괴 경로 및 화학 결합에 대해 분석하였다.

3. 결과 및 고찰

습식 표면처리 및 열 사이클에 따른 계면접착에너지를 정량적으로 측정하기 위해 4점굽힘 시험을 이용하였다. 4 점굽힘실험은 단일 재료 내부에 균열이 진행할 때 필요한 에너지 해방률(G)을 선형과괴역학적 방법으로 측정하여 박막 간 계면접합에너지를 측정하는 파괴역학시험법이다.^{12,13)} 이 시험법은 두 개의 탄성 기판 사이에 이중 재료의 박막을 증착한 샌드위치 시편을 위·아래에 4 개 핀의 중심에 고정시킨 후 위쪽 두 개의 핀에서 하중이 가해질 때 노치에서 내부 균열이 발생하며 하중과 변위 곡선으로 나타난다.¹⁴⁾ 곡선의 일정한 하중 영역을 보이는 plateau 구간의 하중 값을 다음 식에 대입하여 정량적인 계면접합에너지를 도출할 수 있다.¹⁵⁾

$$G = \frac{21(1-\nu^2)M^2}{4Eb^2h^3} = \frac{21(1-\nu^2)P^2L^2}{16Eb^2h^3} \quad (1)$$

여기서, ν는 기판으로 사용되는 탄성재료의 프와송비(실리콘 웨이퍼: 0.28), E는 기판의 탄성계수(실리콘 웨이퍼: 130 GPa), b는 시편의 너비(3 mm), h는 시편 두께의 절반(500 μm)을 의미하며, 모멘트 M은 PL/2이다. P는 변위 곡선 plateau의 하중 값, L은 핀 간 거리(5 mm)이며, 식으로 도출한 계면접합에너지의 단위는 J/m²이다. 그 결과, Fig. 2와 같이 CMP 공정 후 표면처리 및 열 사이클에 따른

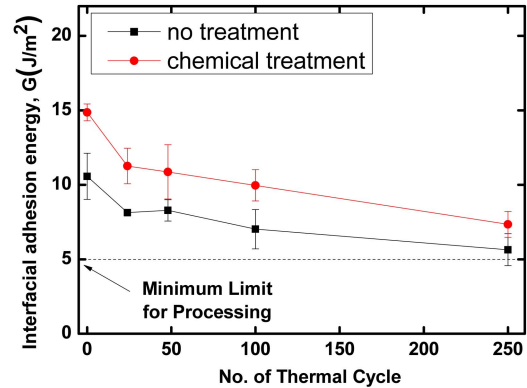


Fig. 2. Effect of thermal cycle numbers on interfacial adhesion energy at -45°C~175°C for no treatment and chemical treatment.

구리 박막과 실리콘질화막 사이의 계면접착에너지를 도출할 수 있었다. 화학적 표면처리를 하지 않은 시편 중, 열 사이클을 실시하지 않은 시편의 계면접착에너지는 10.57 J/m²이며, 화학적 표면처리를 한 시편은 약 14.87 J/m²로 화학적 표면처리를 함으로써 계면접착에너지가 증가하는 경향을 확인하였다. 이는 CMP 공정에 의해 발생할 수 있는 구리 박막 표면의 흠집 및 산화되거나 오염된 층이 표면처리를 통하여 제거되어 계면접착에너지가 증가한 것으로 생각된다. 이전 연구 분석 결과,¹¹⁾ CMP 후 H₂, NH₃ 및 화학적 표면처리를 한 시편의 구리 박막과 실리콘질화막 계면의 산화층보다 표면처리를 하지 않은 시편의 산화층이 두꺼운 것을 투과전자현미경(transmission electron microscopy, TEM)으로 확인하였다. 또한, 전자 에너지 손실 분광법(electron energy loss spectroscopy, EELS)을 통한 성분 분석 결과에서도 화학적 표면처리를 한 시편보다 아무 처리를 하지 않은 시편의 O-K 피크가 더 높게 나타난 것으로 확인되었다.

이러한 결과를 바탕으로 구리 박막과 실리콘질화막 계면의 산화층이 화학적 표면처리에 의해 감소한 것으로 사료된다. 표면처리를 하지 않은 시편의 계면접착에너지는 열 사이클 전 10.57 J/m²에서 사이클 24, 48, 100, 250회와 같이 증가함에 따라 8.13, 8.29, 7.02, 5.64 J/m²으로 감소하였으며, 표면처리를 한 시편의 경우의 열 사이클 전 14.87 J/m²에서 11.27, 10.87, 9.97, 7.34 J/m²으로 감소하였다. 열 사이클 후에도 화학적 표면처리 한 시편의 계면접착에너지는 표면처리를 하지 않은 시편보다 높은 계면접착에너지를 유지하는 것을 알 수 있었으며, 열 사이클에 따라 계면 접착력이 저하되는 경향을 확인할 수 있었다. 또한, 250사이클 후에도 화학적 표면처리를 한 시편과 하지 않은 시편 모두 5 J/m² 이상을 유지하였다. 5 J/m²는 패키징 공정 및 신뢰성 평가 중에 배선 계면이 박리되지 않고 견딜 수 있는 충분한 계면접착에너지로 보고되었다.¹⁶⁾

4점굽힘실험 후 박리된 파면을 SEM 과 EDS를 통하여 분석하였다. Fig. 3은 SEM으로 박리된 파면의 미세구조

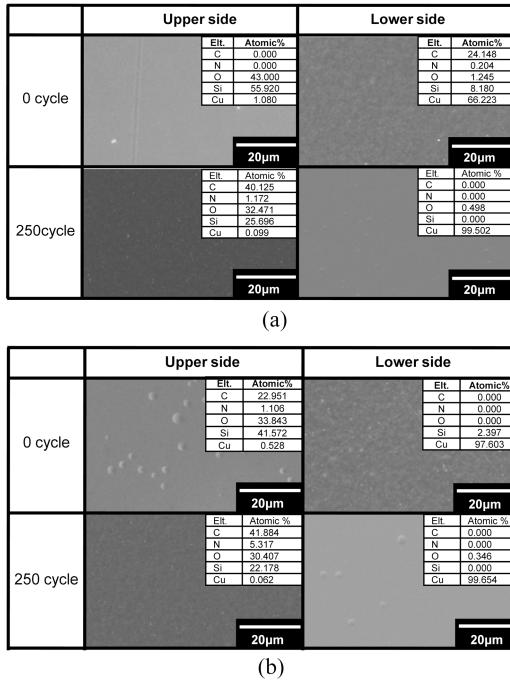


Fig. 3. SEM images and EDS atomic concentrations of delaminated surfaces: (a) no treatment and (b) chemical treatment.

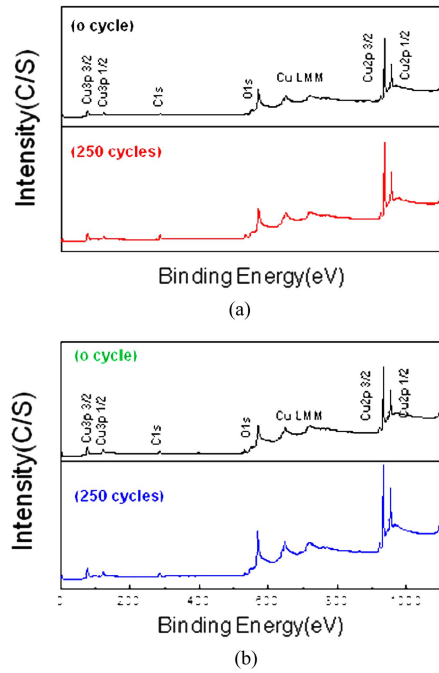


Fig. 4. XPS wide-scan spectra of the lower side at the interface between Cu and SiN_x layers: (a) no treatment and (b) chemical treatment.

를 분석한 결과로, 상, 하부 웨이퍼의 양 파면 모두 특별한 미세조직이 보이지 않고 매끈한 표면 형상을 보였으며, EDS분석결과 상부 웨이퍼에는 Si 이 다량 검출되었고, 하부 웨이퍼에는 Cu 스펙트럼이 다량 검출된 것을 확인하였으나, 보다 정확한 파괴경로를 분석하기 위하여 XPS분석을 통하여 박리 계면의 표면분석을 실시하였다. XPS 분석으로 얻은 박리된 하부 계면의 wide-scan spectra 결과를 Fig. 4에서 나타내었다. 결합 에너지는 C 1s 피크에서 검출되는 284.5 eV의 C-C 결합에 의해 Cu 3p, C 1s, O 1s 그리고 Cu 2p 피크가 하부 계면에서 검출되었으며, 구리 박막과 실리콘질화막에서 검출되지 않는 원소인 C 1s 피크와 O 1s 피크가 확인되었다. C 1s 피크의 경우, 표면에서 불순물로 및 CMP 공정에 의해 잔류가능한 성분으로 XPS 표면 분석 시에 검출된 것으로 생각된다. O 1s 피크는 네 시편에서 모두 검출되었으며, 표면처리를 함으로써 O 1s 피크의 양은 19.15%에서 17.14%로 감소하는 것으로 보인다. 열 사이클의 경우, 표면처리를 하지 않은 시편의 O 1s 피크 양은 유사하며, 표면처리한 시편의 O 1s는 감소하는 경향을 보인다(Table 1). 동일 구조를 85°C/85% 상대습도 및 200°C에서 열처리한 결과, 산소와 습도로 인하여 표면의 산화율이 증가하여 계면접착에너지가 감소하는 결과가 기 보고되었다.¹⁷⁾ 하지만, 시간당 -45°C~175°C의 사이클을 반복적으로 진행하는 경우, 구리 박막과 실리콘질화막의 열 팽창 계수 차이로 인하여 발생한 열응력이 잔류하여 계면에 전단응력이 반복적으로 가해지고, 이로 인하여 4점굽힘시험으로 박리된 구리 박막과 실리콘질화막의 실제 파괴 경로에 영향을 미치는

Table 1. XPS atomic concentrations of C 1s, O 1s, and Cu 2p peaks on the delaminated surfaces.

Sample(lower side)	Atomic concentration (%)	Atomic concentration (%)		
		C1s	O1s	Cu2p
No	0 h	37.45	19.15	43.4
treatment	250cycles @ -45°C~175°C	53.75	19.96	26.29
Chemical	0 h	43.13	17.14	39.75
treatment	250cycles @ -45°C~175°C	48.05	11.73	40.22

것으로 보인다. 열 사이클 이후의 정확한 파괴 경로 규명은 추가적인 XPS depth 분석 또는 TEM 분석 등을 통하여 정밀 분석이 필요하다. 박리된 계면의 화학 결합을 분석하기 위해 박리된 하부 계면에서 검출된 Cu 2p 피크로 가우시안 피크 분리를 하였다. 그 결과, 박리된 하부 웨이퍼에서 검출된 Cu 2p 피크는 CuO와 Cu₂O 로 두 가지 피크로 분리하였다. 피크 분리에 적용된 결합 에너지는 932.6 eV의 Cu₂O 피크, 932.5 eV의 Cu 피크와 933.7 eV의 CuO 피크가 있으며, Cu와 Cu₂O의 결합에너지 값은 매우 유사하였으며, 그 결과는 Fig. 5와 같이 나타내었다.¹⁸⁾ 이를 Table 2와 같이 정량적인 수치로 나타내었으며, 표면처리를 하여 박리된 표면의 CuO의 분율은 25.2%에서 20.7%로 감소한 것을 확인할 수 있으며, 열 사이클 시험에서 500사이클이 경과한 시편에서 CuO의 분율이 35.3%, 27.9%로 각각 증가하는 것을 알 수 있다. 계면접착에너지가 감소함에 따라 XPS 분석 결과의 CuO 분율

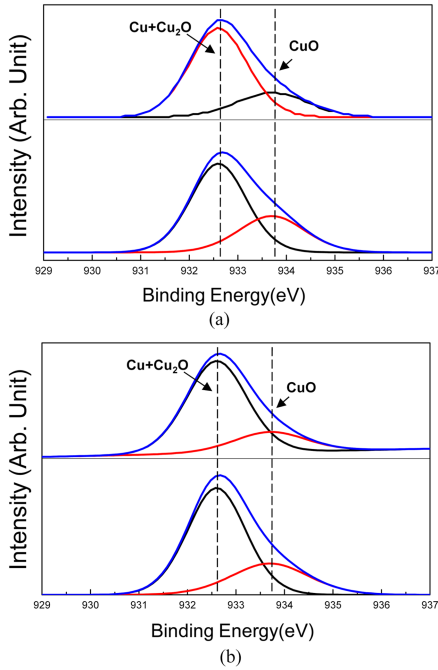


Fig. 5. XPS Gaussian peak fitting of Cu 2p peak on the lower side at the delaminated surface: (a) no treatment and (b) chemical treatment.

Table 2. XPS intensity ratios of Cu+Cu₂O peak and CuO peak in Cu 2p peak on the lower side surfaces.

Sample(lower side)		Cu2p3/2 intensity ratio (%)	
		Cu+Cu ₂ O	CuO
No treatment	0 h	74.8	25.2
	250cycles @ -45°C~175°C	64.65	35.35
Chemical Treatment	0 h	79.3	20.7
	250cycles @ -45°C~175°C	72.04	27.96

이 증가하는 것으로 보아 CuO가 영향을 미치는 것으로 보인다. 기존 구리 박막과 관련된 연구 결과 및 이론에 따르면 CuO는 Cu → Cu+Cu₂O → Cu₂O+CuO → CuO의 순서로 생성된다고 보고되었으¹⁹⁾, CuO가 가장 표면에서 생성되는 구리 산화막으로 CuO와 계면접착에너지가 매우 밀접한 연관이 있는 것으로 사료된다. 따라서 열 사이클 동안 이종 재료간 발생하는 열 팽창 계수의 차이에 의해 계면이 더 약해지며, 열 사이클을 진행하면서 대기 중의 산소가 유입되면서 구리 박막과 실리콘질화막 계면에서 Cu-O 결합이 증가하기 때문에 계면의 산소 양이 증가한 것으로 사료된다.²⁰⁾ 또한, 전자 소자 내에서 이종 재료간에 발생하는 접촉 저항의 증가는 공정 온도에 따라 발생하는 열 압축 및 팽창으로 인한 것이라고 연구된 바 있다.²¹⁾ Fig. 6에서 확인 가능하듯이 계면접착에너지가 감소함에 따라 CuO 결합이 증가하는 경향을 보인다. 따라서, 표면처리를 함으로써 구리 박막 표면의 산화막이 제거되어 계면접착에너지가 증가하였으며, 열 사이클이 진

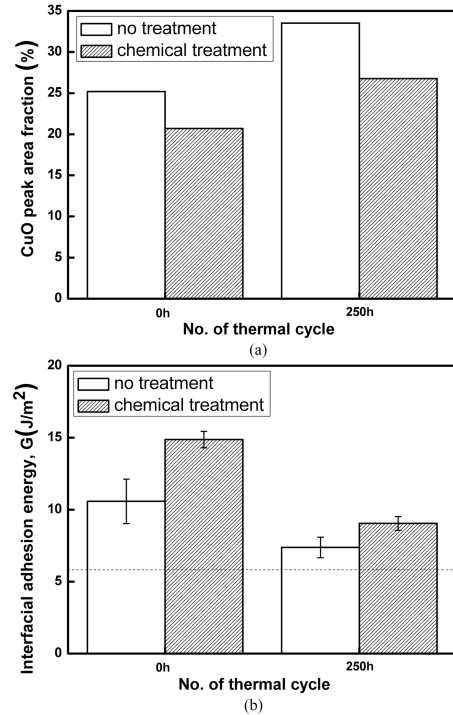


Fig. 6. The Comparisons between (a) the CuO peak area fractions in Cu₂p peak and (b) the interfacial adhesion energies during thermal cycles for no treatment and chemical treatment.

행됨에 따라 가장 표면에서 생성되는 CuO가 증가하면서 계면접착에너지가 감소하는 것으로 사료되며, 구리 박막과 실리콘질화막 계면에 생성된 산화막인 CuO가 계면접착에너지에 영향을 미치는 것으로 판단된다.

4. 결 론

미세구리배선 적용을 위해 CMP 공정 후 습식 표면처리 및 열 사이클에 따른 구리 박막과 실리콘질화막의 계면접착에너지를 4점굽힘시험법을 이용하여 정량적으로 평가하여 다음과 같은 결과를 얻었다. CMP 공정 후 습식 표면처리를 함으로써 구리 박막과 실리콘질화막 사이의 계면접착에너지가 증가하였고, 45~175°C범위에서 250회 열 사이클 이후 계면접착에너지가 감소하는 경향을 보였다. 습식표면처리를 통해 CMP 공정 이후 구리 표면에 잔류한 이물질 및 산화막이 효과적으로 제거되어 계면접착력이 증가한 것으로 판단된다. 또한, 열 사이클 처리 동안 구리 박막과 실리콘질화막의 열 팽창 계수 차이로 인한 열 응력으로 인하여 구리 박막과 실리콘질화막 계면이 취약해지고, 계면을 통한 산소 유입에 따른 구리 산화층이 증가하여 계면접착에너지가 저하된 것으로 판단된다. XPS 분석결과, 구리 박막 표면의 CuO의 품질 및 두께가 구리 박막과 실리콘질화막의 계면접착에너지와 밀접한 연관이 있는 것으로 판단된다.

감사의 글

본 연구는 지식경제부 기술혁신사업(초미세 고신뢰성 배선기술연구 산업원천기술개발사업, 10035430)과 지식경제 R&D 전략기획단 미래산업선도기술개발사업(10042421)의 지원을 받아 수행한 연구이며, 열 사이클 시험에 도움을 주신 한국생산기술연구원의 유세훈박사님과 고영호연구원님, 분석 및 토의에 도움을 주신 나노종합기술원의 양준모박사님께 감사드립니다.

참고문헌

1. T. C. Wang, Y. L. Cheng, Y. L. Wang, T. E. Hsieh, G. J. Hwang, C. F. Chen, "Comparison of characteristics and integration of copper diffusion-barrier dielectrics", *Thin Solid Films*, 498, 36 (2006).
2. Eun-Jung Jang, Seungmin Hyun, Hak-Joo Lee, and Young-Bae Park, "Effect of Wet Pretreatment on Interfacial Adhesion Energy of Cu-Cu Thermocompression Bond for 3D IC Packages", *J. Electron. Mater.*, 38(12), 2449 (2009).
3. M.H. Lin, Y.L. Lin, K.P. Chang, K.C. Su, Tahui Wang, "Copper interconnect electromigration behaviors in various structures and lifetime improvement by cap/dielectric interface treatment", *Microelectron. Reliab.*, 45, 1061 (2005).
4. S. M. Yi, C. M. Shim, H. C. Lee, J. W. Han, K. H. Kim, and Y. C. Joo, "Effect of capping layer and post-CMP surface treatments on adhesion between damascene Cu and capping layer for ULSI interconnects", *Microelectron. Eng.*, 85, 621 (2008).
5. Ryan P. Birringer, Roey Shaviv, Paul R. Besser, and Reinhold H. Dauskardt, "Environmentally assisted debonding of copper/barrier interfaces" *Acta Mater.*, 60, 2219 (2012).
6. Wu ZhenYu, Yang YinTang, Chai ChangChun, Li YueJin, Wang JiaYou, Liu Jing, Liu Bin, "Temperature-dependent stress-induced voiding in dual-damascene Cu interconnects" *Microelectron. Reliab.*, 48, 578 (2008).
7. Jong-Min Paik, Hyun Park, Young-Chang Joo, "Effect of low-k dielectric on stress and stress-induced damage in Cu interconnects", *Microelectron. Eng.*, 71, 348 (2004).
8. P. Agrawal, K. Conlon, K.J. Bowman, C.T. Sun, F.R. Cichocki JR, K.P., "Thermal residual stresses in co-continuous composites", *Acta Mater.*, 51, 1143 (2003).
9. E.J. Cheng, Y.-L. Shen, "Thermal expansion behavior of through-silicon-via structures in three-dimensional microelectronic packaging", *Microelectron. Reliab.*, 52, 534 (2012).
10. Jeong-Kyu Kim, Hee-Oh Kang, Wook-Jung Hwang, Jun-Mo Yang, and Young-Bae Park, "Effect of Post-Chemical-Mechanical Polishing Surface Treatments on the Interfacial Adhesion Energy between Cu and a Capping Layer", *Jpn. J. Appl. Phys.*, 52, 10MC05 (2013).
11. Jesu's Carrillo-Lo'pez and Arturo Morales-Acevedo, "Characterization of the oxidation rate of densified SiN thin films by Auger and infrared absorption spectroscopies", *Thin Solid Films*, 311, 38 (1997).
12. R. H. Dauskardt, M. Lane, Q. Ma and N. Krishna, "Adhesion and debonding of multi-layer thin film structures", *Eng Fract. Mech.*, 61, 141 (1998).
13. J. W. Kim, K. S. Kim, H. J. Lee, H. Y. Kim, Y. B. Park and S. M. Hyun, "Characterization and observation of Cu-Cu Thermo-Compression Bonding using 4-point bending test system", *J. Microelectron. Packag. Soc.*, 18 (4), 11 (2011).
14. J. K. Kim, E. K. Lee, M. S. Kim, J. H. Lim, K. H. Lee and Y. B. Park, "Interfacial Adhesion Energy of Ni-P Electroless-plating Contact for Buried Contact Silicon Solar Cell using 4-point Bending Test System", *J. Microelectron. Packag. Soc.* 19(1), 55 (2012).
15. P. G. Charalambides, J. Lund, A. G. Evans and R. M. McMeeking, "A Test Specimen for Determining the Fracture Resistance of Bimaterial Interfaces", *J. Appl. Mech.*, 111, 77 (1989).
16. T. Scherban. Sun, J. Blaine. Block. Jin and Adideh, "Interfacial Adhesion of Copper-Low k Interconnects", *Proc. International Interconnect Tech. conference(IITC)*, Burlingame, 257, IEEE Components (2001).
17. 정민수, 김정규, 강희오, 양준모, 황욱중, 박영배, "미세구리배선 적용을 위한 열처리 및 고온다습조건에서의 Cu capping layer 계면신뢰성 평가" (in Korean), 한국반도체학술대회, 20 (2013).
18. I. Platzman, R. Brener, H. Haick, and R. Tannenbaum, "Oxidation of Polycrystalline Copper Thin Films at Ambient Conditions", *J. Phys. Chem.*, C112, 1101 (2008).
19. L. De Los Santos Valladares, D. Hurtado Salinas, A. Bustamante Dominguez, D. Acosta Najarro, S.I. Khondaker, T. Mitrelias, C.H.W. Barnes, J. Albino Aguiar, and Y. Majima, "Crystallization and electrical resistivity of Cu₂O and CuO obtained by thermal oxidation of Cu thin films on SiO₂/Si substrates", *Thin Solid Films*, 520, 6368 (2012).
20. Laura Frisk and Kati Kokko, "The effects of chip and substrate thickness on the reliability of ACA bonded flip chip joints", *Soldering & Surface Mount Tech.*, 18(4) 28 (2006).
21. Xu Chen, Jun Zhang, Chunlei Jiao, Yanmin Liu, "Effects of different bonding parameters on the electrical performance and peeling strengths of ACF interconnection", *Microelectron. Reliab.*, 46, 774 (2006).