

N-GaN 접촉 전극의 크기 및 배열 변화에 따른 패드리스 수직형 발광다이오드의 구동전압의 변화에 관한 연구

노호균 · 하준석[†]

전남대학교 응용화학공학부

The Effects of Size and Array of N-GaN Contacts on Operation Voltage of Padless Vertical Light Emitting Diode

Hokyun Rho and Jun-Seok Ha[†]

Applied Chemical Engineering, Chonnam National University, Gwangju 500-757, Korea

(2014년 3월 10일 접수: 2014년 3월 26일 수정: 2014년 3월 27일 게재확정)

초 록: LED (Light Emitting Diode) 시장의 발전이 빠르게 이루어지고 있음에 따라 점차 고효율 LED의 필요성이 증가하고 있다. 이에 우리는 Hole Type의 Padless 신 구조 수직형 LED에서, 접촉 전극의 크기와 그 배치가 Chip의 가동 전압에 어떠한 영향을 미치는지 알아보았다. 이를 위하여 LED simulation을 통한 계산과 실제 Chip 제작을 통한 전기적 특성 평가를 하였다. 그 결과, Simulation을 통하여 n전극의 크기가 커질수록 구동전압이 낮아짐을 확인하였고, N 전극의 형태가 확산됨에 따라라도 구동전압이 낮아짐을 확인하였다. 이러한 추세는 실제 제작한 LED Chip의 측정 결과와 비슷한 경향을 나타내었다.

Abstract: For the application of light-emitting diodes (LEDs) for general illumination, the development of high power LEDs chips became more essential. For these reasons, recently, modified vertical LEDs have been developed to meet various requirements such as better heat dissipation, higher light extraction and less cost of production. In this research, we investigate the effect of Size and Array of N-GaN contact on operation voltage with new structured padless vertical LED. We changed the size and array of N-electrodes and investigated how they affect the operation voltage of LEDs. We simulated the current crowding and expected operation voltage for different N-contact structures with commercial LED simulator. Also, we fabricated the padless vertical LED chips and measured the electrical property. From the simulation, we could know that the larger size and denser array of n-electrodes could make operation voltage decrease. These results are well in accordance with those measured values of real padless vertical LED chips.

Keywords: Light Emitting Diode (LED), Current Crowding, Padless, Vertical LED, Operation Voltage

1. 서 론

현재 조명 시장의 발전은 빠르게 이루어지고 있다. 그 중 자연 친화적이며, 기존 조명 대비 낮은 소비전력, 오랜 수명, 낮은 발열, CO₂ 생산량 제로 등의 많은 장점을 가지고 있는 Lighting Emitting Diode (LED)가 최근 각광을 받고 있다.¹⁾ 이러한 조명용 LED에는 기존 수평형 소자를 대신하여, 열 방출이 용이하고 고출력을 위한 고전류 주입이 가능하며 광 추출 효과도 뛰어난 수직형 LED소자가 적용되고 있는 실정이다.^{2,3)} 이런 이유로, 최근에는 기존의 수직형 LED 구조의 소자 표면에 Wire

Bonding을 하여 전극을 연결하는 구조에서부터, Wire Bonding으로 인한 발광손실을 막을 수 있는 Padless 구조 등과 같은 다양한 형태의 신 구조 수직형 LED가 개발되고 있다.^{4,5)}

이러한 LED의 개발에 중요한 부분 중 하나는 소자의 동작전압을 낮추는 데에 있다.⁶⁾ 전체 소자의 저항을 낮추어 동작전압 또한 낮추게 되면, 추출된 광 출력 대비 소비된 전력이 낮아져 외부양자효율의 증대를 가져올 수 있다. 특히, GaN기반의 LED 에피층과 P-type 접촉 금속 및 N-type의 접촉 금속과의 접촉저항을 줄이는 것이 이와 같은 동작전압을 낮추는 데 중요한 사항이라 할 수 있다.

[†]Corresponding author
E-mail: jsha@jnu.ac.kr

© 2014, The Korean Microelectronics and Packaging Society

This is an Open-Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License(<http://creativecommons.org/licenses/by-nc/3.0>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.

최근 이와 같은 접촉 구조 개발에 대한 연구 또한 많이 진행되고 있다.⁷⁾ 특히, N-GaN와 N-type 접촉 구조 개발의 경우, 접촉 면적이 커짐에 따라 저항은 작아져서 가동 전압 및 소비전력을 감소되나 발광면적이 줄어들게 되어 최종 광 출력이 적어지는 문제가 발생하게 되고, 반대로 접촉면적이 작아지면 접촉저항이 커져서 가동전압이 증가되어 외부양자효율이 감소하게 되는 trade off 특성을 가지게 된다. 이러한 이유로, 각각의 수직형 LED 구조에 맞추어 최적의 전극 접촉면적을 구하는 연구가 꼭 필요한 상황이다.

본 논문에서는 Hole Type의 Padless 신 구조 수직형 LED에서, 접촉 전극의 크기와 그 배치가 Chip의 가동 전압에 어떠한 영향을 미치는지 알아보았다. 이를 위하여 LED simulation을 통한 계산과 실제 Chip 제작을 통한 전기적 특성 평가 및 비교 분석을 통하여 N-type 접촉 전극 형성에 대한 최적화에 관한 연구를 진행하였다.

2. 실험 방법

사파이어 기판 상에 undoped GaN층, n형 GaN층, 발광층, p형 GaN층을 metal organic chemical vapor deposition (MOCVD)법에 의해 차례로 성장시켰다. 그 후, 포토 레지스트를 마스크로 GaN층의 일부를 건식 에칭에 의해 제거하여 격자 형상의 반도체 구조부를 형성하였다. 다음으로, E-Beam 증착법을 이용하여 n형 GaN층과 p형 GaN층에 각각 전극을 형성 하였다. 그 위로 plasma enhanced chemical vapor deposition (PECVD) 장치를 이용하여 절연체인 SiO₂를 전극을 분리하여 성막하였고 마지막으로 Cu 도금으로 지지층을 형성하였다. 이후 Lift Off법을 이용하여 Wafer와 Sapphire를 분리하였고, Laser Scribe하여 완성된 LED Chip (Fig. 1)을 얻었다. 그 후 Electroluminescence (EL) 장비를 이용하여 350 mA의 전류를 인가하여 동작전압을 측정하였다. 이와 함께 Current Spreading과 이에 의해 인가되는 동작전압의 변화에 대한 Simulation을 STR사의 LED simulation 상용 프로그램으로서 SpecLED를 이용하여 계산 및 비교하였다.

3. 결 과

전류에 의한 구동전압의 변화는 크게 두 가지 변수에

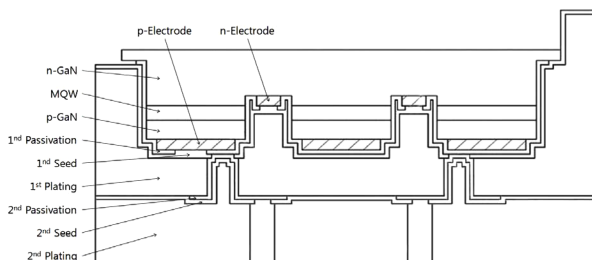


Fig. 1. Structure of Padless Vertical LED.

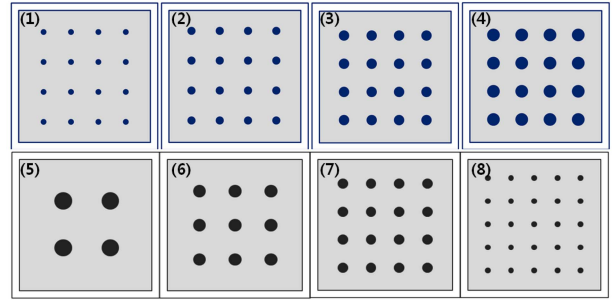


Fig. 2. Schematic Diagrams for Different N contact Distributions, (1)~(4) Samples for Different N-Contact Areas with Same Distribution, and (5)~(8) Samples for Different N-Contact Patterns with Same N Contact Area.

의하여 발생하는 것으로 생각된다. 첫째, N전극이 위치하는 분포는 같더라도 N전극이 차지하는 전체 면적이 다른 경우, 둘째, 차지하는 N전극의 면적은 같으나 N전극이 위치하는 분포가 다른 경우가 그것이다. 이들 두 종류의 변수에 대한 전기적 특성에 대하여 각각 알아보았다. Fig. 2에 본 연구에서 사용된 샘플의 전극의 모양 및 분포에 관한 Chip 모델의 Schematic Diagram을 나타내었다.

먼저 N전극의 면적 및 분포 변화가 Current Spreading 및 Forward Voltage에 어떤 영향을 주는 지에 대한 Simulation을 해 보았다. Fig. 3에 Simulation에 사용된 schematic diagram을 보면, N전극의 Hole 배열은 [4×4]로 동일하나, 각각의 전극의 면적이 다를 수 있다. 전극의 면적은 각각 (1) 0.005 mm², (2) 0.0201 mm², (3) 0.0452 mm², 그리고 (4) 0.0803 mm²이다. 이들은 GaN 표면 면적 대비 N 전극의 면적비가 각각 (1) 0.25%, (2) 1.01%, (3) 2.27%, 그리고, (4) 4.04% 이다. 실제로 Simulation Tool을 통하여 350 mA를 가하였을 때의 각 전극면적 변화에 따른 전류밀도 분포를 Fig. 2에 보여주고 있는데, N 전극의 면적이 증가할수록 Current Spreading이 좋아지는 것을 볼 수 있고, 최대 전류 집적부와 최소 전류 집적부의 차이가 면적이 증가하는 순서대로, $\Delta 7.59 \text{ A/cm}^2$, $\Delta 5.87 \text{ A/}$

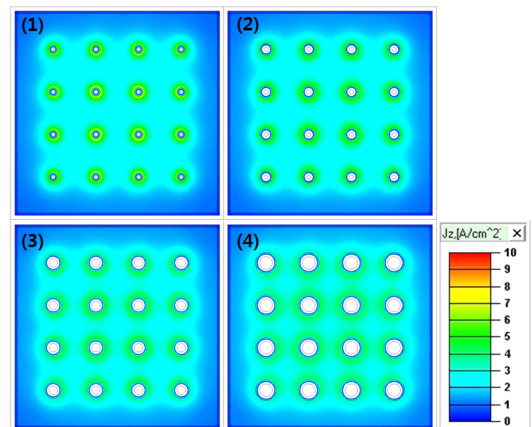


Fig. 3. Current Spreading Simulations for Different N contact Area with Same Distribution.

cm^2 , $\Delta 5.02 \text{ A/cm}^2$, 그리고 $\Delta 4.79 \text{ A/cm}^2$ 로 점차적으로 감소하였다. 즉, GaN 대비 N-Metal의 면적이 넓을수록 전류의 집적이 크지 않고 Spreading이 잘 일어나는 것을 알 수 있다. 이를 통해, 전극에서의 저항을 개선하여 구동전압 감소를 유도 할 수 있을 것으로 판단 된다.

다음으로, 차지하는 N전극의 면적은 같으나 N 전극이 위치하는 분포가 다른 경우에 대하여 SpecLED Simulation을 수행하였다. N전극의 배치를 보면, GaN 면적대비 N전극의 면적비는 1.01%로 고정시키고, N전극의 Hole 배열을 등 간격으로 각각 (5) [2×2], (6) [3×3], (7) [4×4], 그리고, (8) [5×5]로 배치하였다. 이전의 경우와 동일하게 350 mA의 전류를 주입하고, Simulation Tool을 통하여 계산한 각 전극분포에 대한 전류밀도 분포를 그림 4에 보여주고 있다. 결과를 보면, Current Spreading의 모습이 전극 배치의 정도에 따라서 확연히 다를 수 있다. 계산 결과, [2×2]의 최대 전류 집적 값과 최소 전류 집적 값과의 차이는 $\Delta 19.36 [\text{A/cm}^2]$ 까지 증가하였으나, 배열이 [3×3], [4×4], [5×5]등으로 증가할수록 그 값은 $\Delta 7.97 [\text{A/cm}^2]$, $\Delta 5.02 [\text{A/cm}^2]$, 그리고 $\Delta 4.13 [\text{A/cm}^2]$ 으로 점차 감소하였다. 이를 통하여 GaN 대비 N-Metal의 총 면적이 동일하다 하더라도 그 분포가 GaN 표면에 얼마나 고르게 퍼져 있는 지에 따라서 Current Crowding의 정도가 크게 변화됨을 알 수 있었으며, 이를 고려하여 전극에서의 Current Spreading을 원활하게 하기 위한 설계를 해야 할 것으로 판단 된다.

이제까지의 Simulation 결과를 토대로, 실제 Padless 신 구조 수직형 LED를 제작하여 전극저항의 변화 및 구동전압이 어떻게 변화하는 지를 확인하였다. 먼저 N 전극이 위치하는 분포는 같더라도 N 전극이 차지하는 전체 면적이 다를 경우를 비교하기 위하여 실제 디바이스를 제작하였다. Simulation에서와 마찬가지로, 완성된 3개의 LED chip에 350 mA의 전류를 인가 하고, EL측정 장비를 사용하여 구동전압을 각각 측정하였다. 모든 LED chip에

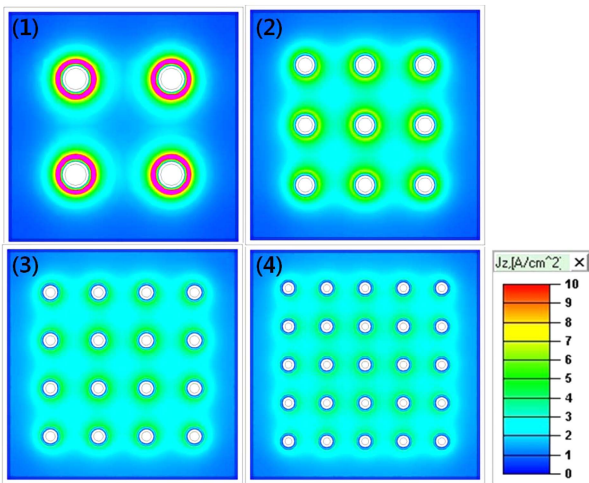


Fig. 4. Current Spreading Simulations for Different Patterns with Same N Contact Area.

Table 1. Electrical Operation Voltages with different N Electrode Areas

n-Electrode Area	Hole Matrix	1st LED	2nd LED	3rd LED	Ave.
0.25 %	4×4	3.51 V	3.42 V	3.36 V	3.43 V
1.01%		3.23 V	3.21 V	3.16 V	3.20 V
2.27%		3.14 V	3.11 V	3.12 V	3.12 V
4.04%		3.06 V	3.04 V	3.04 V	3.05 V

서 측정된 결과를 Table 1과 Fig. 5에 나타내었다.

GaN 전체 면적과 N전극의 면적비가 0.25%일 때의 평균 구동전압이 3.43V를 나타내었다. 이에 비하여 1.01%일 때는 3.20V를, 2.27%일 때는 3.12V를, 그리고 최대치인 4.04%일 때는 3.05V가 측정됨을 알 수 있었다. 즉 N 전극의 면적이 증가할수록 구동전압은 크게 감소함을 알 수 있었다. 이는 전극의 면적이 작을 때 크게 나타났던 접촉저항이 N 접촉 면적이 커짐에 따라 감소하여 구동전압이 낮아진 것으로 판단된다.^{8,9,10)} 또한, Fig. 5에 Simulation 상으로 예측되던 구동전압 예상치를 함께 나타내었는데, 실제 측정값의 범위 내에서 비슷한 양상을 보여주고 있음을 확인 할 수 있었다. 그리고 측정 결과로부터 또 한 가지 알 수 있는 것은, 실제 제작된 Chip에서 전극의 면적이 작은 경우 구동전압 편차가 크다는 점이다. Table 1에서 알 수 있듯이, N전극의 전극의 면적이 0.25%로 가장 작을 경우 3개의 칩의 동작전압이 3.51V에서 3.36V까지의 큰 변화를 보였다. 이는 한 웨이퍼 상에서 동시에 제작된 LED chip 임에도 불구하고 디바이스 전기적 특성 또한 안정되지 않은 모습을 알 수 있다. 그러나, N전극의 면적비가 증가함에 따라 이들의 편차가 점차 감소하여 최종적으로 4.04%일 때 모든 칩에서 안정적인 구동전압을 얻을 수 있었으며, 이를 통하여 공정 신뢰성 면에서도 최소한의 N 전극의 면적이 보장되어야 한다는 것을 알 수 있었다.

다음으로 N전극의 면적은 같으나 N전극이 위치하는 분포가 다른 경우에 대한 실제 Chip 제작 및 측정 결과를

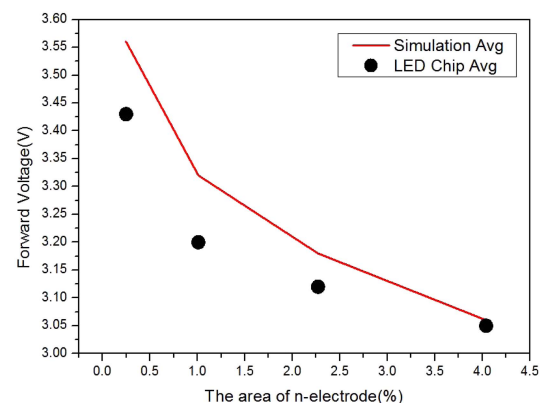
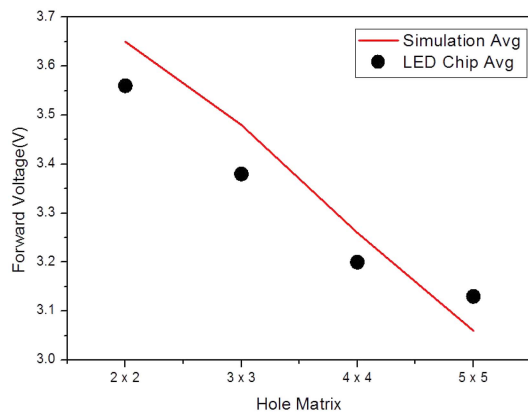


Fig. 5. Forward Voltages of LED chips with different N Electrode Areas.

Table 2. Electrical Operation Voltages with different distributions of N Electrodes.

n-Electrode Area	Hole Matrix	1st LED	2nd LED	3rd LED	Ave.
1.01 %	2×2	3.66 V	3.52 V	3.50 V	3.56 V
	3×3	3.43 V	3.37 V	3.33 V	3.38 V
	4×4	3.23 V	3.21 V	3.16 V	3.20 V
	5×5	3.13 V	3.12 V	3.13 V	3.13 V

**Fig. 6.** Forward Voltage of LED chips with Different Patterns with Same N Contact Area.

살펴 보았다. 이전과 동일하게 350 mA의 전류를 주입하였고, 각 형태별로 3개의 완성된 Chip의 구동전압을 측정하였다. 각각의 Data는 아래의 Table 2에 정리하였고, 경향을 Fig. 6의 그래프에 나타내었다. [2×2] 배열의 경우 구동전압의 평균값은 3.56V를 나타내었고, [3×3] 배열의 경우는 3.38V, [4×4] 배열은 3.20V, 그리고, [5×5] 배열은 3.13V로 배열이 커질수록 즉, Hole의 개수가 많아질수록 구동전압이 하락하는 경향을 보여주었다. Fig. 6에서도 Simulation 상으로 예측되던 구동전압 예상치를 함께 나타내었는데, 이 또한 실제 측정값과 상당히 비슷하였다. 이러한 결과는 N전극의 면적이 같다고 할 지라도 Hole의 배치가 GaN 면에 골고루 분산 될수록, Current Spreading이 좋아지고, 전류 밀집 현상이 완화되어 일어난 현상으로 보여진다.^{11,12)} 이 결과는 참고문헌¹³⁾의 기존 연구와도 비슷한 경향을 보임을 알 수 있다. 그러나, 균일한 배치를 위하여 N 전극의 지름이 지속적으로 작아지게 되면, 전극의 제작 공정 시 패턴 형성 및 충전의 문제가 발생될 수 있어 적절한 trade off가 필요할 것으로 생각된다.

4. 결 론

본 연구에서는 N-GaN과 접촉하는 N전극의 면적비율 및 분포에 따른 LED Chip에서의 Current Crowding 및 구동전압의 변화에 대하여 Simulation 및 실제 디바이스 제작을 통하여 알아보았다. 먼저, Simulation결과와 실제 디바이스 측정값은 오차범위 내의 근사치를 나타내었다. 결

과적으로 GaN 면적 대비 N전극의 면적이 커짐에 따라 구동전압이 낮아짐을 보았는데, 이것은 전극의 면적이 커짐으로써 표면저항이 낮아져 구동전압 또한 낮아지게 되는 것으로 판단된다. 또한 N전극의 총 면적이 같더라도 그 형태 및 분포에 따라서 구동전압이 크게 변화하는 것을 확인하였는데, 이는 N전극이 GaN 전면에 분포하는 정도에 따라서 Current Crowding 현상이 다르게 나타남에 따라, 구동전압이 변화하게 되는 것으로 생각된다. 이들 두 가지 요소는 향후 Padless 신구조 수직형 LED제작에 충분히 고려되어 적용되어야 할 것으로 판단된다.

감사의 글

본 연구는 교육과학기술부와 한국연구재단의 지역혁신인력양성사업으로 수행된 연구결과임

참고문헌

1. 유영문, “LED 시장 및 기술 동향” (in Korean), 전자공학회지, 37(2), 148 (2010).
2. 백광현, “고효율 LED 칩 기술 개발 동향” (in Korean), 광학과 기술, 14(3), 8 (2010).
3. 홍창희, “고출력 LED의 신기술 동향 및 응용” (in Korean), 조명 · 전기설비, 18(3), 3 (2004).
4. H. M. Jung, G. Y. Nam, B. K. Choi, T. H. Lee, H. S. Kim, S. K. Jeon, E. H. Park and C. T. Kim, “Via-hole-based vertical GaN light emitting diodes” Appl. Phys. Lett., 91(111106), 1 (2007).
5. H. J. Kang, H. Y. Song and M. Y. Jeong, “Design of Structure for High-Efficiency LEDs on Patterned Sapphire Substrate”, J. Microelectron. Packag. Soc., 18(4), 91 (2011).
6. Y. Xi and E. F. Schubert, “Junction-temperature measurement in GaN ultraviolet light-emitting diodes using diode forward voltage method”, Appl. Phys. Lett., 85(12), 20 (2004).
7. T. Passow, M. Kunzer, P. Brner, W. Pletschen, K. Köhler and J. Wagner, “Luminance and current distribution of hybrid circular GaN-based resonant-cavity light-emitting diodes with lateral current injection on the n- and p-side”, Phys. Status Solidi C, pp. 1-4 (2014).
8. J. T. Chu, C. C. Kao, H. W. Huang, W. D. Liang, C. F. Chu, T. C. Lu, H. C. Kuo and S. C. Wang, “Effects of Different n-Electrode Patterns on Optical Characteristics of Large-Area p-Side-Down InGaN Light-Emitting Diodes Fabricated by Laser Lift-Off”, Jpn. J. Appl. Phys., 44(11), 7910 (2005).
9. F. S. Hwu, J. C. Chen, S. H. Tu, G. J. Sheu, H. I. Chen and J. K. Sheu, “A Numerical Study of Thermal and Electrical Effects in a Vertical LED Chip”, J Electrochem. Soc., 157(1), 31 (2010).
10. H. W. Shin, H. S. Lee, J. O. Bang, S. H. Yoo, S. B. Jung and K. D. Kim, “Variation of Thermal Resistance of LED Module Embedded by Thermal Via”, J. Microelectron. Packag. Soc., 17(4), 95 (2010).
11. S. M. Hang and J. I. Shim, “A Method for Current Spreading Analysis and Electrode Pattern Design in Light-Emitting Diodes”, IEEE Trans. Electron Dev., 55(5), 1123 (2008).
12. C. K. Li and Y. R. Wu, “Study on the Current Spreading

- Effect and Light Extraction Enhancement of Vertical GaN/InGaN LEDs”, IEEE Trans. Electron Dev., 59(2), 400 (2012).
13. 윤주선, 황성민, 심종인, “Electrode Pattern Dependency of Vertical Structured InGaN/GaN Light Emitting Diode” (in Korean), The Optical Society of Korea Summer Meeting 2007, pp. 285-286 (2007).