

인터리빙 구조를 갖는 메모리의 스크러빙 기법 적용에 따른 신뢰도 해석

Reliability Analysis of Interleaved Memory with a Scrubbing Technique

류 상 문*
 (Sang-Moon Ryu^{1,*})

¹Dept. of Control and Robotics Engineering, Kunsan National University

Abstract: Soft errors in memory devices that caused by radiation are the main threat from a reliability point of view. This threat can be commonly overcome with the combination of SEC (Single-Error Correction) codes and scrubbing technique. The interleaving architecture can give memory devices the ability of tolerating these soft errors, especially against multiple-bit soft errors. And the interleaving distance plays a key role in building the tolerance against multiple-bit soft errors. This paper proposes a reliability model of an interleaved memory device which suffers from multiple-bit soft errors and are protected by a combination of SEC code and scrubbing. The proposed model shows how the interleaving distance works to improve the reliability and can be used to make a decision in determining optimal scrubbing technique to meet the demands in reliability.

Keywords: fault tolerance, reliability model, soft error, scrubbing technique, interleaving

1. 서론

인공위성이나 항공기와 같은 항공 우주 시스템의 컴퓨터 메모리는 우주 공간으로부터 유입되는 중성자 입자나 IC 패키징 재료로부터 나오는 알파 입자 등의 고에너지 입자에 의한 영향을 받아 동작 오류를 일으키는 경우가 있다. 이때의 오류는 영구적인 하드웨어 고장에 의한 것이 아니며 올바른 정보를 다시 기입하여 주거나 리셋하여 주면 오류가 정정되기 때문에 소프트 에러라고 불린다[1,2].

소프트 에러는 한 개의 비트에 발생하는 단일 비트(single bit) 에러와 두 개 이상의 비트에 걸쳐서 발생하는 다중 비트(multiple bit) 에러로 나뉜다. 메모리 소자의 집적도가 높아지고 동작 전압이 낮아질수록 하나의 고에너지 입자에 의해 물리적으로 인접한 메모리 셀들에서 다중 비트 에러가 발생할 확률이 높아진다[3-5]. 소프트 에러가 과거에는 방사능이 강한 지상 환경이나 우주 환경에서 주로 발견되었는데 현재는 항공기 운항 고도 심지어는 지상에서도 발견되어 높은 신뢰도가 요구되는 컴퓨터 시스템에서는 이에 대한 대비가 필수적이다[6].

소프트 에러는 에러 검출 및 정정 코드[7]를 이용해 극복할 수 있다. 에러 검출 및 정정 코드는 하나의 메모리 워드에 대해 한 개의 비트 에러를 정정할 수 있는 SEC (Single-Error Correction) 코드를 적용하는 것이 일반적이며 개별 워드에 소프트 에러가 더 누적되기 전에 모든 워드를 주기적으로 정정하는 스크러빙 기법[8-11]이 함께 사용된다.

메모리의 인터리빙(interleaving) 구조[3,4,12]는 다중 비트 에

러가 하나의 워드를 구성하는 비트들에 집중적으로 발생하는 것을 방지하기 때문에 다중 비트 에러에 강하다. 그림 1은 인터리빙된 메모리를 개념적으로 보여준다. 그림에서 워드는 N 비트로 구성되어 있으며 각 비트에 표시된 숫자는 각 비트가 소속된 워드의 논리적 주소를 나타낸다. 그림에서 워드 8의 비트 1과 워드 5와 9의 비트 2에 걸쳐 발생한 한 개의 삼중 비트 에러가 실선 x로 표현되어 있다. 이 삼중 비트 에러는 워드 5, 8, 9에 각각 단일 비트 에러를 발생한 것과 동일한 영향을 주므로 SEC 코드를 적용하면 쉽게 극복될 수 있다. 인터리빙된 메모리가 다중 비트 에러에 내성을 갖는다는 것을 쉽게 이해할 수 있다.

만일 그림 1에서 점선 x들로 표현된 것처럼 워드 4의 비트 w-1과 워드 1의 비트 w에 걸쳐서 이중 비트 에러가 그리고 워드 3, 4, 7의 비트 w에 걸쳐 삼중 비트 에러가 발생하면, 결과적으로 워드 4의 두 개 비트(비트 w-1과 w)에 에러가 발생한 것이므로 SEC 코드로는 극복할 수 없는 경우도 발생할 수 있다. 인터리빙 거리(interleaving distance) [4,12]가 1이면 기존의 메모리와 동일한 구조가 되며 다중 비트 에러에 대한 내성이 사라진다. 따라서 인터리빙 거리가 커질수록 다중 비트 에러에 대해 더욱 강한 내성을 갖게 된다. 그리고 다중 비트 에러가 발생한 인접 셀들의 상대적 위치가 신뢰도에 영

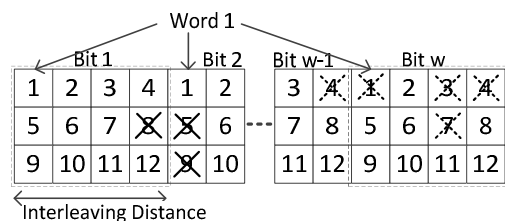


그림 1. 인터리빙 구조를 갖는 메모리와 다중 비트 에러.
 Fig. 1. Interleaved memory and multiple bit errors.

* Corresponding Author
 Manuscript received June 13, 2013 / revised November 18, 2013 / accepted December 16, 2013
 류상문: 군산대학교 제어로봇공학과(smryu@kunsan.ac.kr)
 ※ 이 논문은 2012년도 군산대학교 교수장기국외연수경비의 지원에 의하여 연구되었음.

향을 미치는 것을 알 수 있다.

인공위성이나 항공기와 같은 항공 우주 시스템에 채용된 컴퓨터 시스템은 매우 높은 신뢰도가 요구되며 이를 만족하기 위해서는 메모리에서 발생하는 소프트 오류의 극복 방안이 필수적이다. 인터리빙된 메모리는 소프트 오류에 대한 구조적 내성을 갖게 되므로 컴퓨터 시스템에 채용하면 신뢰도를 획기적으로 개선할 수 있으며 이에 대한 연구가 이루어졌다.

이전 연구[4]에서는 인터리빙된 메모리에 대해 SEC 코드와 스크러빙이 적용된 상황에서 소프트 에러에 대한 신뢰도 해석을 수행하였다. 하지만 신뢰도 해석에 있어 워드 단위의 단일 비트 에러 발생률을 이용한 기존 연구 결과를 이용하여 직관적으로 신뢰도를 유도하여 인터리빙된 메모리의 큰 특성인 인터리빙 거리가 신뢰도 해석에 반영되지 않았다. 그리고 메모리의 물리적 특성이나 동작 환경에 따라 영향 받을 수 있는 단일 비트 에러나 다중 비트 에러 발생률이 별도로 반영되지 않았다.

본 논문은 인터리빙된 메모리에 대해 SEC 코드와 스크러빙이 적용된 상황에서 인터리빙 거리, 단일 비트 에러와 다중 비트 에러 발생률이 반영된 신뢰도 모델을 제안하여 인터리빙 거리가 소프트 에러에 대한 메모리의 신뢰도 향상에 어떻게 작용하는지 보여준다. 본 논문에 소개된 메모리의 신뢰도 모델은 단일 비트 오류와 이중 비트 오류에 대한 신뢰도 해석 결과 [13]을 이용하여 삼중 비트 오류와 스크러빙 적용 효과까지 포함하도록 확장된 신뢰도 모델이다. 제안된 신뢰도 모델은 향후 진행될 인터리빙된 메모리를 위한 최적 스크러빙 기법 연구에 사용될 예정이다. II 장에서는 인터리빙 구조의 특성을 반영한 신뢰도 함수를 제안하고 이를 시뮬레이션 결과와 비교한다. III 장에서는 스크러빙이 적용되는 경우의 신뢰도 함수와 이를 이용한 MTTF (Mean Time to Failure)를 유도한다. 그리고 IV 장에서 결론을 맺는다.

II. 인터리빙된 메모리 구조에 따른 신뢰도 해석

그림 2와 같이 표현되는 물리적 구조를 갖는 인터리빙된 메모리에 대해 각 워드 내에서 발생한 단일 비트 에러를 정정할 수 있는 SEC 코드와 스크러빙이 적용되는 환경을 가정한다. 그림에서 작은 사각형은 개별 비트를 의미하며 내부의 수는 비트가 소속된 워드의 주소를 의미한다. 그림의 메모리는 각 워드가 W 비트로 구성되어 있고 인터리빙 거리는 D 이다. WD 비트로 구성되는 N 개의 행이 존재하면 총 워드 수는 ND 이고 총 비트 수는 NWD 이다.

발생할 수 있는 비트 에러 유형은 단일 비트 에러, 이중 비트(double bit) 에러, 삼중 비트(triple bit) 에러로 분류하고, 서

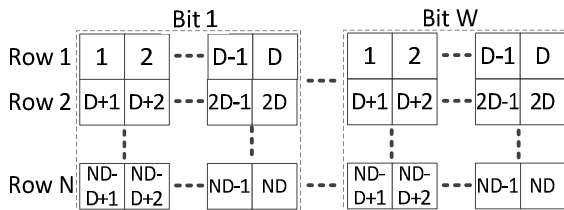


그림 2. 가정된 메모리 구조.
Fig. 2. Architecture under consideration.

로 상호 독립적으로 각각 평균값 λ_1, λ_2 그리고 λ_3 를 갖는 포아송(Poisson) 분포에 따라 발생한다고 가정한다[4,14-16].

메모리의 한 개 행에 해당하는 신뢰도 함수를 여러 유형(단일, 이중, 삼중)별로 $r_1(t), r_2(t)$ 그리고 $r_3(t)$ 라 하면 소프트 에러에 대한 전체 메모리의 신뢰도 함수 $R(t)$ 는 식 (1)로 표현된다.

$$R(t) = [r_1(t)r_2(t)r_3(t)]^N \tag{1}$$

1. 단일 비트 에러에 대한 신뢰도 함수

메모리의 WD 비트에서 임의의 시간 구간 $[0, t]$ 에 n 개의 단일 비트 에러가 발생할 확률을 $Q_1(n, t)$ 라 하고, n 개의 단일 비트 에러가 정정 가능할 확률을 $P_1(n)$ 라 하면, 단일 비트 에러 발생에 따른 신뢰도 함수 $r_1(t)$ 는 식 (2)과 같다.

$$r_1(t) = \sum_{n=0}^{\infty} P_1(n)Q_1(n, t) \tag{2}$$

확률 $Q_1(n, t)$ 는 식 (3)와 같다.

$$Q_1(n, t) = {}_{DW}C_n e^{-\lambda_1(DW-n)t} (1 - e^{-\lambda_1 t})^n, \quad t \geq 0 \tag{3}$$

실질적으로 $\lambda_1 \ll 1$ 이고 스크러빙 적용으로 인하여 다수의 소프트 에러가 누적되지 못하므로 스크러빙 주기 안에서 $r_1(t)$ 는 우세항만을 이용하여 식 (4)처럼 근사화될 수 있다.

$$r_1(t) \approx \sum_{n=0}^3 P_1(n)Q_1(n, t) \tag{4}$$

한 개 이하의 단일 비트 에러는 SEC 코드에 의해 정정 가능하므로 $P_1(0) = P_1(1) = 1$ 이다.

$P_1(2)$ 를 구하기 위해 두 개의 단일 비트 에러가 발생하여도 정정 가능한 경우에 대해 알아본다. 첫 번째 단일 비트 에러는 DW 개의 위치에서 발생할 수 있다. 그림 3은 워드 2의 비트 w 에 단일 비트 에러가 발생한 경우를 보여준다. 발생한 비트 에러가 정정되기 위해서는 두 번째 단일 비트 에러는 워드 2를 구성하는 비트에 발생하지 말아야 한다. 따라서 두 번째 단일 비트 에러는 $(DW - W)$ 개의 위치 중 하나에 발생하여야 한다. 그리고 DW 개 비트로 구성된 행에 두 개의 단일 비트 에러가 발생할 경우의 수는 ${}_{DW}C_2$ 이다. 따라서 $P_1(2)$ 는 식 (5)과 같다.

$$P_1(2) = \frac{DW(DW - W)}{2! {}_{DW}C_2} \tag{5}$$

$P_1(3)$ 를 구하기 위해 세 개의 단일 비트 에러가 발생하여도 SEC 코드에 의해 정정 가능한 경우에 대해 알아본다. 첫 번째 단일 비트 에러는 DW 개의 위치에서 발생할 수 있다.

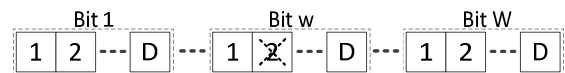


그림 3. 단일 비트 에러의 영향.
Fig. 3. Effect of a single bit error.

이것이 정정 가능하기 위해서는 두 번째 단일 비트 에러는 첫 번째 단일 비트 에러가 영향을 끼친 워드를 제외한 나머지 워드들에서 발생해야 하므로 $(DW - W)$ 개의 위치 중 하나에 발생하여야 한다. 그리고 세 번째 단일 비트 에러는 앞서 발생한 두 단일 비트 에러들이 영향을 끼친 워드들을 제외한 워드들에서 발생해야 하므로 $(DW - 2W)$ 개의 위치 중 하나에 발생하여야 한다. 그리고 DW 개 비트로 구성된 행에 3개의 단일 비트 에러가 발생할 경우의 수는 ${}_{DW}C_3$ 이다. 따라서 $P_1(3)$ 는 식 (6)과 같다.

$$P_1(3) = \frac{DW(DW - W)(DW - 2W)}{3! {}_{DW}C_3} \quad (6)$$

2. 이중 비트 에러에 대한 신뢰도 함수

메모리의 WD 비트에서 임의의 시간 구간 $[0, t]$ 에 n 개의 이중 비트 에러가 발생할 확률을 $Q_2(n, t)$ 라 하고, n 개의 이중 비트 에러가 SEC 코드에 의해 정정 가능할 확률을 $P_2(n)$ 라 하면, 이중 비트 에러 발생에 따른 신뢰도 함수 $r_2(t)$ 는 $r_1(t)$ 과 마찬가지로 식 (7)과 같이 근사화된다.

$$r_2(t) \approx \sum_{n=0}^3 P_2(n) Q_2(n, t) \quad (7)$$

그리고 확률 $Q_2(n, t)$ 는 식 (8)와 같다.

$$Q_2(n, t) = {}_{(DW-1)}C_n e^{-\lambda_2(DW-1-n)t} (1 - e^{-\lambda_2 t})^n, \quad t \geq 0 \quad (8)$$

$P_2(0) = 1$ 이고 $P_2(1)$ 는 인터리빙 거리에 따라 식 (9)와 같다.

$$P_2(1) = \begin{cases} 0, & D = 1 \\ 1, & D \geq 2 \end{cases} \quad (9)$$

$P_2(2)$ 를 구하기 위해 두 개의 이중 비트 에러가 발생하여도 SEC 코드에 의해 정정 가능한 경우에 대해 알아본다. 첫 번째 이중 비트 에러는 $(DW - 1)$ 개의 위치에서 발생할 수 있다. 그림 4(a)는 워드 5와 6의 비트 w 에 걸쳐서 이중 비트 에러가 발생한 경우를 보여준다. 만일 두 번째 이중 비트 에러가 워드 5와 6에 소속된 다른 비트에서 발생한다면 이들은 정정될 수 없게 된다. 그림 4(b)는 그림 4(a)의 상황을 이중 비트 에러에 의해 영향 받을 수 있는 인접 비트들끼리 쌍을 이루어 표현한 것이다. 이 그림에서 빗금 친 비트 쌍들 중 하나에 두 번째 이중 비트 에러가 발생하면 SEC 코드에 의해 정정될 수 없다.

결국 SEC 코드에 의해 정정 가능하기 위해서는 두 번째 이중 비트 에러는 $(DW - 1 - 3(W - 1))$ 개의 위치 중 하나에 발생하여야 한다. 그리고 DW 개 비트로 구성된 행에 두 개의 이중 비트 에러가 발생할 경우의 수는 ${}_{(DW-1)}C_2$ 이다. 따라서 $P_2(2)$ 는 식 (10)과 같다.

$$P_2(2) = \frac{(DW - 1)(DW - 1 - 3(W - 1))}{2! {}_{(DW-1)}C_2} \quad (10)$$

$P_2(3)$ 를 구하기 위해 세 개의 이중 비트 에러가 발생하여

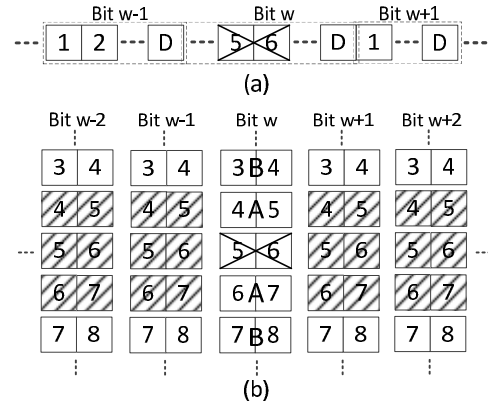


그림 4. 이중 비트 에러의 영향.

Fig. 4. Effect of a double bit error.

도 SEC 코드에 의해 정정 가능한 경우에 대해 알아본다. 첫 번째 이중 비트 에러는 $(DW - 1)$ 개의 위치에서 발생할 수 있다. 식 (10)를 유도하는 과정에서 파악했듯이 SEC 코드에 의해 정정 가능하기 위해서 두 번째 이중 비트 에러는 $(DW - 1 - 3(W - 1))$ 개의 위치 중 하나에 발생하여야 한다. 세 번째 이중 비트 에러의 발생을 고려하기 위해서는 다음의 네 가지 경우의 확률을 고려해야 한다.

1: 두 번째 이중 비트 에러가 첫 번째 이중 비트 에러가 발생한 장소에 동일하게 발생하면 세 번째 이중 비트 에러까지 정정될 확률은 $(DW - 1 - 3(W - 1)) / (DW - 1)$ 이다.

2: 두 번째 이중 비트 에러가 첫 번째 이중 비트 에러가 발생한 장소와 바로 인접한 위치(그림 4(b)에서 A로 표시) 발생하면 세 번째 이중 비트 에러까지 정정될 확률은 $2(DW - 1 - 4(W - 1)) / (DW - 1)$ 이다.

3: 두 번째 이중 비트 에러가 첫 번째 이중 비트 에러가 발생한 장소와 2비트 떨어진 위치(그림 4(b)에서 B로 표시) 발생하면 세 번째 이중 비트 에러까지 정정될 확률은 $2(DW - 1 - 5(W - 1)) / (DW - 1)$ 이다.

4: 앞선 세 경우 이외의 위치에 두 번째 이중 비트 에러가 발생하면 세 번째 이중 비트 에러까지 정정될 확률은 $(DW - 6)(DW - 1 - 6(W - 1)) / (DW - 1)$ 이다.

DW 개 비트로 구성된 행에 세 개의 이중 비트 에러가 발생할 경우의 수는 ${}_{(DW-1)}C_3$ 이다. 따라서 $P_2(3)$ 는 식 (11)과 같다.

$$P_2(3) = \frac{(DW - 1 - 3(W - 1))}{3! {}_{(DW-1)}C_3} \cdot \{ (DW - 1 - 3(W - 1)) + 2(DW - 1 - 4(W - 1)) + 2(DW - 1 - 5(W - 1)) + (DW - 6)(DW - 1 - 6(W - 1)) \} \quad (11)$$

3. 삼중 비트 에러에 대한 신뢰도 함수

메모리의 WD 비트에서 임의의 시간 구간 $[0, t]$ 에 n 개의 삼중 비트 에러가 발생할 확률을 $Q_3(n, t)$ 라 하고, n 개의 삼중 비트 에러가 SEC 코드에 의해 정정 가능할 확률을 $P_3(n)$ 라 하면, 삼중 비트 에러 발생에 따른 신뢰도 함수

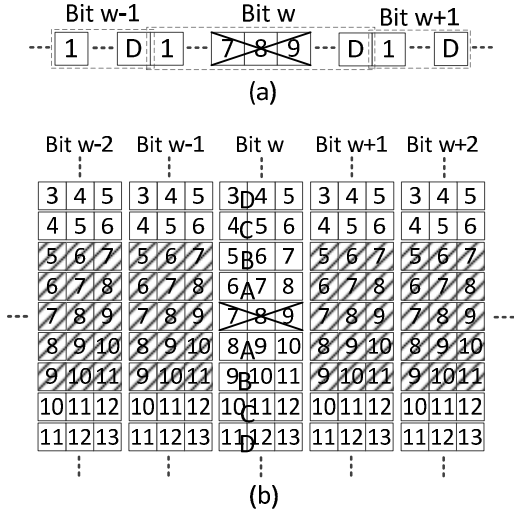


그림 5. 삼중 비트 에러의 영향.

Fig. 5. Effect of a triple bit error.

$r_3(t)$ 는 $r_1(t)$ 과 마찬가지로 식 (12)과 같이 근사화된다.

$$r_3(t) \approx \sum_{n=0}^3 P_3(n) Q_3(n, t) \quad (12)$$

그리고 확률 $Q_3(n, t)$ 는 식 (13)와 같다.

$$Q_3(n, t) = {}_{(DW-2)}C_n e^{-\lambda_3(DW-2-n)t} (1 - e^{-\lambda_3 t})^n, \quad t \geq 0 \quad (13)$$

$P_3(0) = 1$ 이고 $P_3(1)$ 는 인터리빙 거리에 따라 식 (14)과 같다.

$$P_3(1) = \begin{cases} 0, & D = 1 \text{ or } D = 2 \\ 1, & D \geq 3 \end{cases} \quad (14)$$

두 개의 삼중 비트 에러가 발생하여도 SEC 코드에 의해 정정 가능한 경우에 대해 알아본다. 첫 번째 삼중 비트 에러는 $(DW - 2)$ 개의 위치에서 발생할 수 있다. 그림 5(a)는 워드 7, 8 그리고 9의 비트 w 에 걸쳐서 이중 비트 에러가 발생한 경우를 보여준다. 만일 두 번째 삼중 비트 에러가 워드 7, 8 그리고 9에 소속된 다른 비트에서 발생한다면 이들은 정정될 수 없게 된다. 그림 5(b)는 그림 5(a)의 상황을 삼중 비트 에러에 의해 영향 받을 수 있는 인접 비트들끼리 그룹을 이루어 표현한 것이다. 이 그림에서 빗금 쳐진 비트 그룹들 중 하나에 두 번째 삼중 비트 에러가 발생하면 정정될 수 없다.

결국 SEC에 의해 정정되기 위해서는 두 번째 삼중 비트 에러는 $(DW - 2 - 5(W - 1))$ 개의 위치 중 하나에 발생하여야 한다. 그리고 DW 개 비트로 구성된 행에 두 개의 삼중 비트 에러가 발생할 경우의 수는 ${}_{(DW-2)}C_2$ 이다. 따라서 $P_3(2)$ 는 식 (15)과 같다.

$$P_3(2) = \frac{(DW - 2)(DW - 2 - 5(W - 1))}{2! {}_{(DW-2)}C_2} \quad (15)$$

세 개의 삼중 비트 에러가 발생하여도 정정 가능한 경우에 대해 알아본다. 첫 번째 삼중 비트 에러는 $(DW - 2)$ 개의 위치에서 발생할 수 있다. 두 번째 삼중 비트 에러는 $(DW -$

$2 - 5(W - 1))$ 개의 위치 중 하나에 발생하여야 정정 가능하다. 세 번째 삼중 비트 에러의 발생을 고려하기 위해서는 다음의 여섯 가지 경우의 확률을 고려해야 한다.

1: 두 번째 삼중 비트 에러가 첫 번째 삼중 비트 에러가 발생한 장소에 동일하게 발생하면 세 번째 삼중 비트 에러까지 정정될 확률은 $(DW - 2 - 5(W - 1))/(DW - 2)$ 이다.

2: 두 번째 삼중 비트 에러가 첫 번째 삼중 비트 에러가 발생한 장소와 바로 인접한 위치(그림 5(b)에서 A로 표시) 발생하면 세 번째 삼중 비트 에러까지 정정될 확률은 $2(DW - 2 - 6(W - 1))/(DW - 2)$ 이다.

3: 두 번째 삼중 비트 에러가 첫 번째 삼중 비트 에러가 발생한 장소와 2비트 떨어진 위치(그림 5(b)에서 B로 표시) 발생하면 세 번째 삼중 비트 에러까지 정정될 확률은 $2(DW - 2 - 7(W - 1))/(DW - 2)$ 이다.

4: 두 번째 삼중 비트 에러가 첫 번째 삼중 비트 에러가 발생한 장소와 3비트 떨어진 위치(그림 5(b)에서 C로 표시) 발생하면 세 번째 삼중 비트 에러까지 정정될 확률은 $2(DW - 2 - 8(W - 1))/(DW - 2)$ 이다.

5: 두 번째 삼중 비트 에러가 첫 번째 삼중 비트 에러가 발생한 장소와 4비트 떨어진 위치(그림 5(b)에서 D로 표시) 발생하면 세 번째 삼중 비트 에러까지 정정될 확률은 $2(DW - 2 - 9(W - 1))/(DW - 2)$ 이다.

6: 앞선 세 경우 이외의 위치에 두 번째 삼중 비트 에러가 발생하면 세 번째 삼중 비트 에러까지 정정될 확률은 $(DW - 11)(DW - 2 - 10(W - 1))/(DW - 1)$ 이다.

DW 개 비트로 구성된 행에 세 개의 삼중 비트 에러가 발생할 경우의 수는 ${}_{(DW-2)}C_3$ 이다. 따라서 $P_3(3)$ 는 식 (16)과 같다.

$$P_3(3) = \frac{(DW - 2 - 5(W - 1))}{3! {}_{(DW-2)}C_3} \cdot \{ (DW - 2 - 5(W - 1)) + 2(DW - 2 - 6(W - 1)) + 2(DW - 2 - 7(W - 1)) + 2(DW - 2 - 8(W - 1)) + 2(DW - 2 - 9(W - 1)) + (DW - 11)(DW - 2 - 10(W - 1)) \} \quad (16)$$

4. 시뮬레이션 비교

그림 6은 앞서 구한 신뢰도 함수 값들과 시뮬레이션 결과를 비교한 것이며 시뮬레이션 수행 조건은 표 1에 정리되어 있다.

신뢰도 함수 $r_1(t)$, $r_2(t)$, $r_3(t)$ 는 우세항만을 이용해 근사화되어 각각 식 (4), (7), (12)로 표현되었다. 따라서 근사화되지 않은 경우보다 작은 값을 갖게 된다. 근사화로 인한 신뢰도

표 1. 시뮬레이션 조건.

Table 1. Conditions for simulation.

항 목	값
$\lambda_1, \lambda_2, \lambda_3$	10^{-7} [sec]
W	32
D	4
수행 회수	각 10^6 회

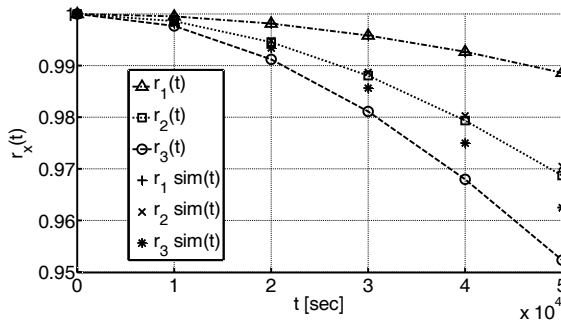


그림 6. 신뢰도 함수와 시뮬레이션 비교 그래프.
Fig. 6. Graphs of the reliability functions and simulation results.

함수의 오차는 t 값이 커짐에 따라 증가하게 되며 그래프에서도 확인할 수 있다. 이것은 시간이 지남에 따라 메모리에 발생할 수 있는 소프트 에러의 수는 계속 증가하게 되는데 신뢰도 함수의 근사화로 인해 발생 가능한 모든 소프트 에러의 수가 고려되지 못했기 때문이다. 그리고 삼중 비트 에러에 대한 신뢰도 함수 $r_3(t)$ 는 상대적으로 큰 오차를 갖는다. 이것은 하나의 비트 에러가 3개의 셀에 영향을 미치기 때문에 근사화에 따른 오차가 다른 경우보다 크기 때문이다.

그래프에서 가로축은 시간이며 10^4 초 간격으로 신뢰도 함수의 값과 시뮬레이션 결과가 비교되었다. 스크러빙이 적용되면 스크러빙 주기 이내에서의 오차만이 중요해진다. 스크러빙이 1회 수행될 때마다 오류가 정정되기 때문이다. 스크러빙 주기는 일정하게 정해진 것이 아니며 요구되는 신뢰성과 시스템 운영 환경에 따라 다르다. 일반적으로 수십 초에서 수백 초이며, 에러 발생률이 매우 낮은 경우에는 수천 초인 경우도 있다. 이러한 스크러빙 주기 동안에는 근사화에 따른 신뢰도 함수의 오차가 무시할 수 있을 만큼 충분히 작다는 것을 알 수 있다.

III. 스크러빙 적용에 따른 신뢰도 해석

주기 T_s 로 스크러빙이 적용되면 T_s 마다 SEC에 의해 정정 가능한 소프트 에러가 정정되므로 신뢰도 함수는 매 스크러빙 작업이 완료되는 시점에서 모든 에러가 정정되고, 최근 스크러빙 작업 이후에 정정 불가능한 에러가 발생하지 않을 확률과 같다. 따라서 스크러빙 효과를 고려한 소프트 에러에 대한 전체 메모리의 신뢰도 함수 $R_s(t)$ 는 식 (1)의 $R(t)$ 를 이용하여 식 (17)과 같이 표현된다.

$$R_s(t) = [R(T_s)]^l R(\tau) \approx [R(T_s)]^{\frac{t}{T_s}}, t \geq 0 \quad (17)$$

여기서 $t = T_s l + \tau$ 이고 τ 는 $0 \leq \tau < T_s$ 를 만족하는 실수이며 l 는 $l \geq 0$ 를 만족하는 정수이다.

$R_s(t)$ 로부터 스크러빙 적용에 따른 MTTFS를 식 (18)처럼 구할 수 있다.

$$MTTF_s = \int_0^\infty R_s(t) dt \approx \int_0^\infty [R(T_s)]^{\frac{t}{T_s}} dt \approx \frac{-T_s}{N[\ln(r_1(T_s)) + \ln(r_2(T_s)) + \ln(r_3(T_s))]} \quad (18)$$

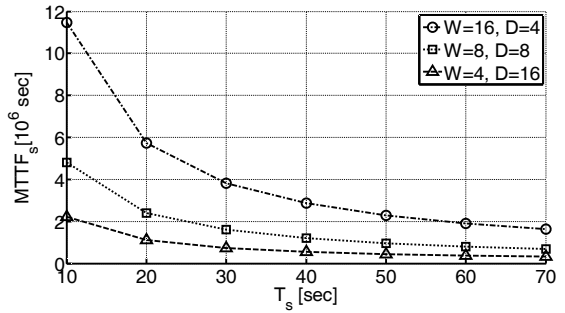


그림 7. MTTFS 비교 그래프.
Fig. 7. Graphs of MTTFS.

그림 7은 비트 에러 발생률은 모두 10^{-7} [sec]인 상황에서 워드 비트 크기와 인터리빙 거리 그리고 스크러빙 주기의 변화에 따른 MTTFS의 값들을 보여준다. 메모리의 한 개 행을 구성하는 비트 수는 $64(=D \cdot W)$ 로 고정되어 있고 총 행의 수 N 은 1024로 고정하였다. 동일한 스크러빙 주기에 대해 인터리빙 거리가 클수록 MTTFS의 값이 커지고, 동일한 인터리빙 거리에 대해서는 스크러빙 주기가 작을수록 MTTFS의 값이 커지는 것을 확인할 수 있다.

IV. 결론

본 논문에서는 인터리빙 구조를 갖는 메모리가 SEC와 주기적인 스크러빙에 의해 소프트 에러로부터 보호되는 상황에서 단일, 이중, 삼중 비트 소프트 에러 발생률과 인터리빙 거리를 함께 고려한 신뢰도 해석을 수행하여 인터리빙 거리가 신뢰도에 미치는 영향을 검토하였다. 인터리빙 거리가 클수록 다중 비트 에러에 대응할 수 있는 가능성이 커지는 것을 확인하였다. 그리고 본 논문에 제안된 해석 방법을 이용하면 삼중 비트 이상의 다중 비트 에러에 대한 신뢰도 해석도 가능하다.

메모리에서의 소프트 에러 발생 형태(단일 또는 다중)와 발생률은 메모리의 물리적 구조, 전기적 특성 그리고 동작 환경 등에 좌우된다. 그리고 메모리에 대해 요구되는 신뢰도는 응용 분야와 그 요구 사항에 따라 달라진다. 소프트 에러가 발생하는 환경에서 동작하는 메모리는 신뢰도 확보를 위해서 SEC와 같은 에러 정정 코드와 스크러빙 적용이 필수적이다.

스크러빙 주기는 메모리의 신뢰도와 시스템의 성능에 큰 영향을 미친다. 스크러빙 주기가 작아지면 메모리의 신뢰도는 개선되지만 빈번한 스크러빙 수행에 의해 전체 시스템의 성능이 저하된다. 반대로 스크러빙 주기가 커지면 시스템의 성능은 개선되지만 메모리의 신뢰도가 저하된다. 따라서 적합한 스크러빙 수행 주기는 메모리의 신뢰도와 시스템 성능을 동시에 고려하여 선정되어야 한다. 본 논문의 연구 결과를 활용하여 인터리빙 구조를 갖는 메모리를 위한 최적 스크러빙 기법에 대한 연구를 수행할 예정이다.

REFERENCES

[1] S. Karp and B. K. Gilbert, "Digital system design in the presence of single event upsets," *IEEE Trans. Aerospace and Electronic Systems*, vol. 29, no. 2, pp. 310-316, Apr. 1993.

- [2] R. Harboe-Sorensen, E. Daly, F. Teston, H. Schweitzer, R. Nartallo, P. Perol, F. Vandenbussche, H. Dzitko, and J. Cretolle, "Observation and analysis of single event effects on-board the SOHO satellite," *IEEE Trans. Nuclear Science*, vol. 49, no. 3, pp. 1345-1350, Jun. 2002.
- [3] D. Radaelli, H. Puchner, S. Wong, and S. Daniel, "Investigation of multi-bit upsets in a 150 nm technology SRAM device," *IEEE Trans. Nucl. Sci.*, vol. 52, no. 6, pp. 2433-2437, Dec. 2005.
- [4] P. Reviriego, J. A. Maestro, and Sanghyeon Baeg, "Optimizing scrubbing sequences for advanced computer memories," *IEEE Trans. Device and Materials Reliability*, vol. 10, no. 2, pp. 192-200, Jun. 2010.
- [5] S. Satoh, Y. Tosaka, and S. A. Wender, "Geometric effect of multiple-bit soft errors induced by cosmic ray neutrons on DRAMs," *IEEE Electron Device Letters*, vol. 21, no. 6, pp. 310-312, Jun. 2000.
- [6] E. Normand, "Single event upset at ground level," *IEEE Trans. Nucl. Sci.*, vol. 43, no. 6, pp. 2742-2750, Dec. 1996.
- [7] R. Morelos-Zaragoza, *The Art of Error Correcting Coding*, Wiley, 2002.
- [8] S. Karp and B. K. Gilbert, "Digital system design in the presence of single event upsets," *IEEE Trans. Aerospace and Electronic Systems*, vol. 29, no. 2, pp. 310-316, Apr. 1993.
- [9] A. M. Saleh, J. J. Serrano, and J. H. Patel, "Reliability of scrubbing recovery-techniques for RAMs," *IEEE Trans. Reliability*, vol. 39, no. 1, pp. 114-122, Apr. 1990.
- [10] G. C. Yang, "Reliability of semiconductor RAMs with soft error scrubbing techniques," *IEE Proc. in Computers and Digital Techniques*, vol. 142, pp. 337-344, Sep. 1995.
- [11] R. M. Goodman and M. Sayano, "The reliability of semiconductor RAM memories with on-chip error-correction coding," *IEEE Trans. Information Theory*, vol. 37, no. 3, pp. 884-896, May 1991.
- [12] S. Baeg, S. Wen, and R. Wong, "SRAM interleaving distance selection with a soft error failure model," *IEEE Trans. Nucl. Sci.*, vol. 56, pt. 2, no. 4, pp. 2111-2118, Aug. 2009.
- [13] S.-M. Ryu, "Reliability analysis of interleaved memory against soft multiple bit errors," *2013 ICROS Conference*, pp. 176-179, Dec. 2013.
- [14] S.-M. Ryu and D.-J. Park, "Transient bit error recovery scheme for ROM-based embedded systems," *IEEE Trans. Information and System*, vol. EE88-D, no. 9, pp. 2209-2212, Sep. 2005.
- [15] S. Baeg, S. Wen, and R. Wong, "Minimizing soft errors in TCAM devices: a probabilistic approach to determining scrubbing intervals," *IEEE Trans. Circuits and Systems*, vol. 57, no. 4, pp. 814-822, Apr. 2010.
- [16] Z. Ming, X. L. Yi, L. Chang, and Z. J. Wei, "Reliability of memories protected by multibit error correction codes against MBUs," *IEEE Trans. Nuclear Science*, vol. 58, no. 1, pp. 289-295, Feb. 2011.



류 상 문

1992년 금오공과대학교 전자공학과 졸업. 1995년 한국과학기술원 전기및전자공학과 석사. 2006년 동 대학원 전자전산학과 박사. 1995년~2000년 LG전자(주). 2000년~2004년 한국과학기술원. 2006년~현재 군산대학교 제어로봇공학과 부교수. 관심분야는 임베디드 제어 시스템, 실시간 제어 시스템, 결합허용 임베디드 시스템, 스페이스와이어 네트워크.