

센서시스템에서의 저전력 비동기 설계를 위한 인터페이싱 회로[†]

(A new interfacing circuit for low power asynchronous design in sensor systems)

류정탁*, 홍원기**, 강병호***, 김경기****

(Jeong Tak Ryu, Won Kee Hong, Byung Ho Kang, and Kyung Ki Kim)

요약 센서 시스템과 같은 저전력 설계를 요구하는 시스템에서 기존의 동기방식의 회로는 낮은 전압에서 지연(delay)이 급격히 증가하여 시스템의 전체 성능을 유지할 수 없을 뿐만 아니라, 공정, 전압, 온도 변이 (PVT variation), 노화 등에 크게 영향을 받아서 올바른 동작을 기대할 수 없다. 따라서, 신뢰할 수 있는 초저전력 설계에서 비동기 회로가 스케일링 이슈를 해결할 수 있는 방법으로 최근 다시 고려되고 있다. 그러나, 디지털 시스템에서 동기회로를 NCL 회로로 모두 대체하는 것은 쉽지가 않기 때문에 동기회로와 비동기 회로 사이의 연결이 꼭 필요하다. 본 논문에서는 동기회로와 비동기 회로를 연결할 수 있는 새로운 설계방법을 보이고, 0.18um 공정 기술을 사용한 4x4 곱셈기를 사용해서 검증을 하였다.

핵심주제어 : 비동기 회로, 동기 회로, 인터페이싱 회로, NCL 회로

Abstract Conventional synchronous circuits in low power required systems such as sensor systems cannot only satisfy the timing requirement of the low voltage digital systems, but also they may generate wrong outputs under the influence of PVT variations and aging effects. Therefore, in the reliable ultra-low power design, asynchronous circuits have recently been reconsidered as a solution for scaling issues. However, it is not easy to totally replace synchronous circuits with asynchronous circuits in the digital systems, so the interfacing between the synchronous and asynchronous circuits is indispensable for the digital systems. This paper presents a new design for interfacing between asynchronous circuits and synchronous circuits, and the interface circuits are applied to a 4x4 multiplier logic designed using 0.11um technology.

Key Words : Asynchronous circuit, Synchronous circuit, Interfacing circuit, NCL logic

[†] 본 연구는 교육부와 한국연구재단의 지역혁신인력양성사업으로 수행된 연구결과임 (No. 2013028405).

이 논문은 대구대학교 연구장학기금(연구조교) 지원에 의한 것임.

* 대구대학교 전자전기공학부, 제1저자

** 대구대학교 정보통신공학부, 제2저자

*** 대구대학교 전자공학과, 제3저자

**** 대구대학교 전자전기공학부, 교신저자

(e-mail: kkkim@daegu.ac.kr)

1. 서론

비동기식 회로 설계(asynchronous circuit design)는 동기식 회로 설계(synchronous circuit design)에서 사용되는 전역 클럭(global clock)이 없이 주변 모듈 사이에 Ack 신호와 Req 신호를 사용한 핸드셰이킹(handshaking) 프로토콜에 의해 데이터 신호를 동기화하고, 전송하는 회로 설계 방식이다. 비동기식 회로 설계 방식은 1940년대에 개발된 기술이지만, 설계 자체가 어렵고 면적 증가 등의 단점으로 제한된 분야에서 이용되었다. 그러나, 최근에 나노 공정 기술의 발전과 더불어서 동기회로에서 발생하는 여러 문제들로 인해서 비동기 설계에 다시 관심이 집중되고 있다 [1]-[3]. 저전력을 요구하는 시스템에서 사용되는 저전압 동기 회로에서 야기되는 지속적으로 증가하는 전파지연과 PVT 변이에 의한 속도 및 전력의 변화는 시스템의 동작을 불가능하게 해서, 동기 회로를 사용하는 시스템을 신뢰할 수 없게 만든다. 따라서, 나노 공정에서의 동기회로가 가지는 이런 문제점들을 해결하는 방법으로 다시 비동기회로에 관심이 집중되고 있는 것이다. 이러한 이유 때문에 비동기 설계 방식은 저전력 소모를 목적으로 하는 센서 시스템 애플리케이션에 적용될 수 있다.

비동기 회로 설계는 지연 모델에 따라서 구분할 수 있는데 회로의 소자, 도선의 지연유무에 따라 bounded delay (BD) 모델과 delay insensitive (DI) 모델이 가장 많이 사용된다. BD 모델은 소자, 도선 모두 유한한 지연을 가정하고 있다. 동기식 회로 특성과 유사하게 입력이 인가된 후 회로가 안정화되고 출력이 발생할 때까지 다른 입력이 발생할 수 없다는 것을 기본으로 한다. 즉, 최악의 경우 (worst case)의 성능 분석을 요구한다는 점에서 기존의 동기식 방식의 성능 분석과 흡사하며, 이는 실제로 DB기반 모델의 비동기 회로를 설계에서 확장된 타이밍 분석을 요구하게 된다.

반면, DI 모델은 소자, 도선 모두 알려지지 않은 지연을 가정하므로 어떠한 시간 가정도 필요하지 않다. 따라서 타이밍 분석이 요구되지 않고, 최악의 경우의 성능이 아니라 평균적인 경우의 성능을 가져온다. 따라서, BD 모델에 비해서 공정, 전압, 온도 등의 변이에 영향을 받지 않으며, 설계한 회로를 재사용하는 것이 매우 용이하게 된다. 이런 점들에 의해서 DI 모델이 최근 활발히 연구되어지고 있으며,

그 중에서도 Null convention logic (NCL)에 관한 연구들이 많이 되어지고 있다. NCL은 타이밍 제한만을 용이하게 하는 다른 DI 모델들과는 다르게 타이밍과 전력을 모두 고려한 최적화된 설계를 할 수 있으며, 27개의 기본적인 셀만으로 비동기 회로를 구현할 수 있는 장점을 가지고 있다. 뿐만 아니라, 게이트 레벨과 회로 레벨에서의 회로 구현이 가능하고, 기존의 검증 툴을 그대로 사용할 수 있는 이점이 있다 [4]-[8].

하지만, 현재의 설계환경에서는 실질적으로 모든 동기식 회로를 비동기식 회로로 바꾸기보다는 핵심 블록만을 NCL 회로로 설계하는 것이 바람직할 것이다. 이를 위해서 NCL과 동기식 회로 사이의 인터페이스는 디지털회로에서 매우 중요한 블록이라 할 수 있다. 그러나 아직 동기회로와 NCL 회로 사이의 인터페이스에 관한 연구보다는 NCL 회로로 동기회로를 대체하거나 검증하는 방법에만 연구가 집중되고 있다. 따라서, 본 연구에서는 동기회로와 NCL 비동기 회로를 연결할 수 있는 새로운 설계방법을 보이고, 실제 회로에 인터페이스 회로를 적용하고자 한다.

2. NCL의 기본 동작

Null convention logic(이하 NCL)은 비동기 회로 설계 방법 중 하나이다. NCL 회로는 self-timed 논리이므로 최악의 경우의 경로지연 분석과 제어신호의 지연을 맞추는 것을 요구하지 않는다. DATA와 DATA 사이에 NULL 신호가 포함되어 동작하는데, 이 때문에 Null Convention Logic이라 불리게 되었다. NCL 회로의 장점은 전역 클럭이 없고, 노이즈에 강하며, 낮은 전자파 간섭을 가지고, 저전력을 가질 수 있는 장점이 있다 [9][10].

NCL 회로의 신호(signal)는 이중 회선 인코딩(dual-rail encoding) 방법을 이용한 Dual-rail-logic을 사용한다. Dual-rail-logic 신호 D는 two wire (D^0 , D^1)로 구성되어 있다. 신호의 상태는 {DATA0, DATA1, NULL}로 표시한다. 여기서 DATA0 상태는 ($D^0=1$, $D^1=0$), DATA1 상태는 ($D^0=0$, $D^1=1$), NULL 상태는 ($D^0=0$, $D^1=0$)을 나타낸다. NULL 상태는 D의 값이 아직 이용 가능하지 않은 상태임을 표현한다. Dual-rail-logic은 상호 배타적인 특성을 가지고 있으

므로 동시에 ($D^0=1, D^1=1$)을 나타낼 수 없다. 따라서, 두 개의 와이어(wire)가 ($D^0=1, D^1=1$)일 때의 상태는 illegal state로 나타낸다. 표 1은 Dual-rail-logic의 상태를 정리한 것이다.

NCL 회로의 설계는 기본적으로 설계된 27개의 NCL 게이트를 바탕으로 설계한다. 이 27개의 NCL 게이트는 자주 사용되는 boolean function을 기준으로 설계되었다. 모든 NCL 게이트는 히스테리시스(hysteresis) 특성에 따른 상태유지(state-holding) 상태를 가진다. NCL 게이트의 심볼 표현은 그림 1과 같이 나타내고 TH m n 게이트라고 부른다. 여기서, n은 입력의 개수, m은 문턱(threshold) 값을 말한다. 문턱은 입력 n이 있을 때 최소 m개의 입력이 변경되기 전까지 출력에 이전의 상태를 유지하도록 한다. 다른 표현으로 무게 가중치 문턱 (weighted threshold) 게이트로 불리며, 가중치는 하나의 신호가 앞에서 설명한 문턱 값을 계산할 때 몇 개의 역할을 하는지를 나타낸다. 심볼 표현은 그림 2와 같이 나타내고, 여기서 w는 가중치 문턱 게이트를 나타낸다. 예로써 그림 2의 TH34w2 게이트는 입력 $n=4$ 이고, $threshold=3$, $weighted\ threshold=2$ 이다. 즉, 입력 4개 중에 최소 3개의 신호가 변해야 출력이 바뀌며, 그 중 신호 A는 두 개의 신호 역할을 한다는 것을 나타낸다. 게이트에 출력을 나타내려면 입력 B, C, D가 가해지거나, 입력 A와 다른 한 신호가 가해지게 되어야 한다. 그 외에는 이전의 상태를 유지하는 히스테리시스 상태 유지 특성이 나타난다.

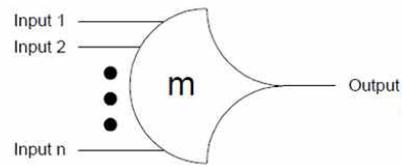
<Table 1> Dual-rail encoding

| | DATA0 | DATA1 | NULL | Illegal |
|-------------------|-------|-------|------|---------|
| Rail ⁰ | 1 | 0 | 0 | 1 |
| Rail ¹ | 0 | 1 | 0 | 1 |

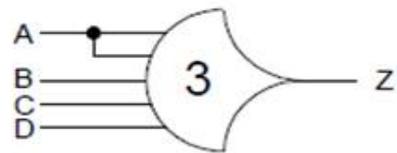
3. 동기화 비동기 회로 사이의 인터페이싱

비동기회로의 문제점 중의 하나였던 동기 방식과의 접근성의 문제로 많은 발전을 하지 못하였다. 그중 비동기 회로 중에서 NCL 회로는 이중 레일 구조로 '00', '01', '10'의 신호를 사용한다. 이 신호를 동기 방식에 사용할 수 있는 일반적인 디지털 논리 신호인 '0', '1'로 전환하여야 된다.

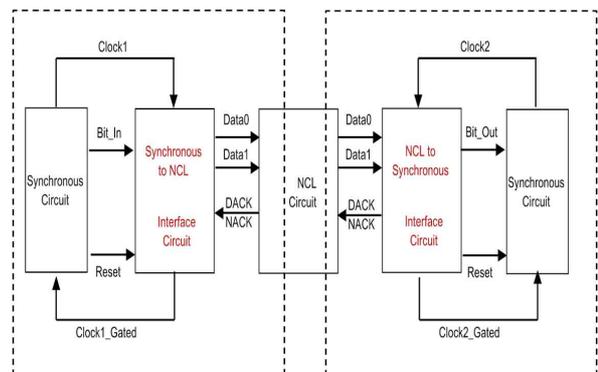
제안된 인터페이싱 회로는 동기식 회로와 비동기 회로를 연결해주는 역할뿐만 아니라, NCL시스템의 검증은 기존의 동기식 검증 방법으로 가능하게 할 수 있다. 즉, DATA0과 DATA1의 NCL신호를 사용한 검증 대신에 동기식 회로의 입력과 출력 신호로 전체 NCL 회로를 검증할 수 있게 된다.



<Fig. 1> TH m n threshold gate



<Fig. 2> TH34w2 threshold Gate
($Z=AB+AC+AD+BCD$)



<Fig. 3> Block diagram of the proposed interfacing between NCL circuits and synchronous circuits

그림 3은 일반적인 동기회로와 비동기 회로 사이의 전체 인터페이싱 회로의 블록도를 나타낸다. 그림에서 보는 바와 같이 동기식 회로에서 NCL회로를 연결하는 Clock1을 사용하는 부분과 NCL 회로에서 동기식 회로를 연결하는 Clock2를 사용하는 부분으로 나누어질 수 있다. 우선 앞단의 블록은 동기 회로에서 비동

기 회로로 전환하는 회로 구조이다. Bit_in 신호는 동기회로의 신호를 비동기 회로로 전달해주는 신호이다. Clock1의 신호는 인터페이스 회로에서 사용하는 플립 플롭의 동작시키기 위한 클럭신호로써 사용된다. Reset신호는 인터페이스회로의 초기 값을 가지기 위해 동기회로의 Reset신호를 같이 사용한다. Data0와 Data1의 신호는 Bit_in 신호를 인터페이스 회로를 사용하여 이중 레일구조로 전환한 입력을 NCL 회로로 전달해주는 신호이다. DACK / NACK 신호는 NCL 회로에서 받을 신호가 어떤 상태인지를 전달하는 신호로써 DACK 신호일때는 데이터 신호를 전달하고, NACK 신호일때는 '00'의 신호를 전달한다.

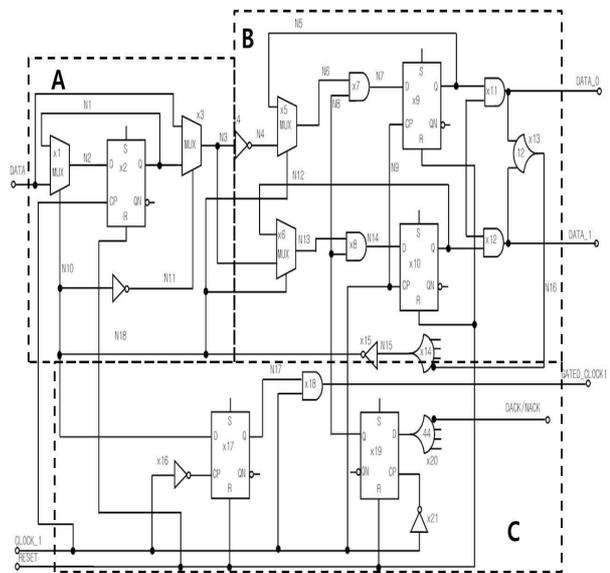
뒷단의 블록은 앞단의 블록과는 반대로 NCL 회로에서 동기회로로 변환 하는 회로이다. Data0와 Data1은 NCL의 이중레일 구조의 신호를 인터페이스에 전달하는 신호이다. DACK / NACK 신호는 인터페이스 회로에서 데이터를 받을 준비가 되어 있다는 신호를 보내는 것으로 DACK 신호는 Data 신호를 보내라는 것이고 NACK의 신호는 NULL 신호를 보내라는 것이다.

동기식 회로와 NCL 회로 간의 인터페이스를 위해서는 일반적인 디지털 논리 신호 '0','1'을 NCL 회로에서 사용하는 이중 회선 논리 신호로 변환해야 한다. 이 때 중요한 것은 NCL 회로에서 DATA ack 신호가 오지 않았다면, 동기식 회로에서 인터페이스 회로로 입력이 들어와서는 안 된다. 이런 경우를 위해서 clock gating을 사용해서 동기식 회로를 NCL 회로가 준비될 때 까지 멈추게 한다.

마찬가지로 NCL 회로와 동기식 회로를 연결하기 위해서는 이중 회선 논리 신호는 일반적인 디지털 논리 신호로 변환해야 한다. 이 때 중요한 것은 NCL 회로에서 DATA 출력 되지 않았다면, 인터페이스 회로에서 동기식 회로로 출력신호가 나가서는 안 된다. 이런 경우를 위해서 역시 클럭 게이팅(clock gating)을 사용해서 동기식 회로를 NCL 회로에서 출력신호가 나올 때까지 멈추게 한다.

3.1 동기회로에서 비동기 회로사이의 인터페이스

그림 4는 동기회로의 Bit_in의 디지털 논리 신호를 NCL의 이중 레일 신호인 Data0과 Data1의 신호로 전환하는 회로이다. 그림에서 블록 A는 데이터 신호



<Fig. 4> Interfacing circuit to change a binary signal to a dual-rail signal

는 상황에서 클럭이 있을 때 까지는 유지하는 역할을 하며, 블록 B에서의 결과의 따라 블록A의 신호를 결정하게 된다.

블록 B는 블록 A에서 들어오는 신호를 2가지로 나누는 역할을 한다. 입력신호가 bit '1'이 들어 올 경우 노드 N3은 bit '1'의 신호가 노드 N4는 bit '0'의 신호가 전달된다. 이 두 신호가 AND 게이트의 입력으로 들어가게 되고, 이 신호는 블록 C의 입력 DACK/NACK의 신호에 따라 출력 노드 N8의 신호에 따라 플립플롭 (flop-flip)으로 전달된다. 클럭에 따라 플립 플롭이 출력으로 전달된다. 블록 B의 중요한 점은 최종 출력의 결과가 이중 레일 신호 '01' 또는 '10'의 상황이 되면 게이트 X13의 결과가 '1'의 값을 가진다.

블록 C는 DACK/NACK의 신호를 받아 들어 DACK 신호를 출력할지 NACK 신호를 출력 할지를 결정한다. 또한 노드 N10의 신호가 값에 따라서 Clock_gate 신호의 출력이 결정된다.

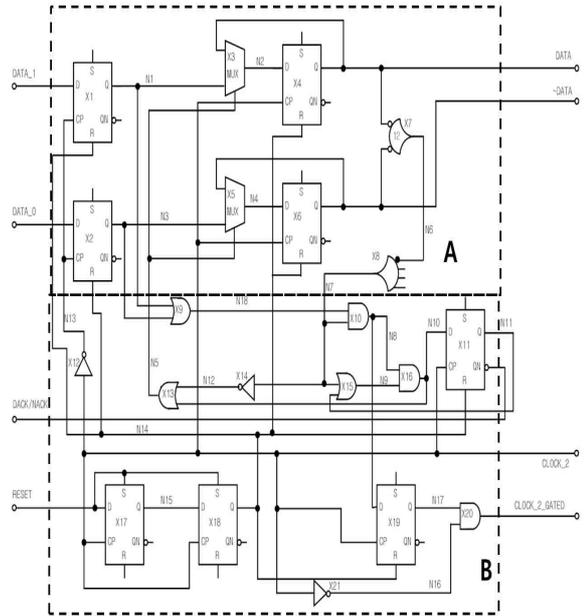
제안된 회로는 X9, X10의 플립플롭의 리셋값에 의하여 게이트 X13 (NCL Th12)의 출력 노드의 결과에 의해 노드 N10의 신호가 bit '1'의 값을 가진다. 이 결과가 MUX X1의 sel 신호로 들어가게 되어 Bit_in의 입력이 플립플롭 X2에 들어가게 된다. 이때 노드 N11은 bit '0'의 신호가 들어가게 되고, MUX X3은 Bit_in의 결과를 N3의 결과에 들어가게 된다. 이 신호

는 MUX X5와 X6에 전달되게 된다. 여기서 sel 신호는 노드 N10을 사용하게 되기 때문에 게이트 X1과 같이 동작 하게 된다. 앞에서 나온 결과는 DACK/NACK 의 신호에 의해서 결정 되는데 DACK의 신호일 때 이중 레일 신호 Data0 과 Data1 의 신호가 '01' 또는 '10'의 결과를 출력한다. NACK의 신호일 때는 Data0 과 Data1 의 신호는 '00'을 출력하게 된다. Data0 과 Data1의 신호가 '01' 혹은 '10'을 값을 가질 때 노드 N16의 신호가 변화 한다. 이때 플립플롭 X17은 클럭의 변화에 맞추어 게이트 클럭을 생성하게 된다.

3.2 비동기 회로에서 동기 회로사이의 인터페이스

그림 5는 NCL의 이중 레일구조에서 동기 회로의 일반적인 디지털 논리 신호로 전환하는 회로도이다. 블록 A는 이중 레일 신호 Data0과 Data1의 신호를 받아 들여 동기 회로를 위한 bit 신호로 변경하는 회로이다. 제안된 회로에서 게이트 X3와 X5는 블록 B의 신호에서 나오는 노드 N5 신호에 의해 bit 신호를 출력할지 또는 유지 할지를 선택하게 된다. 이 신호 변화로 인하여 결과 값이 나오게 된다. 또한 그 결과 값에 따라 게이트 X7의 결과 신호가 나오게 된다. 만약 '01' 또는 '10'의 결과가 나오게 되면 노드 N6은 bit '1'의 결과 값을 가지게 된다.

블록 B는 Clock_gate2와 DACK/NACK의 출력 값을 발생하는 역할을 한다. 블록 B의 게이트 X11의 초기 값에 의해서 DACK/NACK 의 신호는 bit '1'의 값을 출력하게 된다. 이 bit '1'의 신호에 의해서 앞단의 NCL 회로에서 bit 값을 출력하게 되고 블록 A가 동작하게 된다. 이중 레일 신호 Data0와 Data1의 신호가 '01' 또는 '10'의 값을 가질 때 OR 게이트 X9는 bit '1'의 값을 출력하게 되고, 이 출력에 의해서 게이트 X11의 값이 변화하게 된다. 따라서, 이 신호에 의해 비동기 회로에 NACK 신호를 보내게 된다. 게이트 X10의 결과 값과 클럭에 의해서 Clock _gate의 출력이 결정된다.

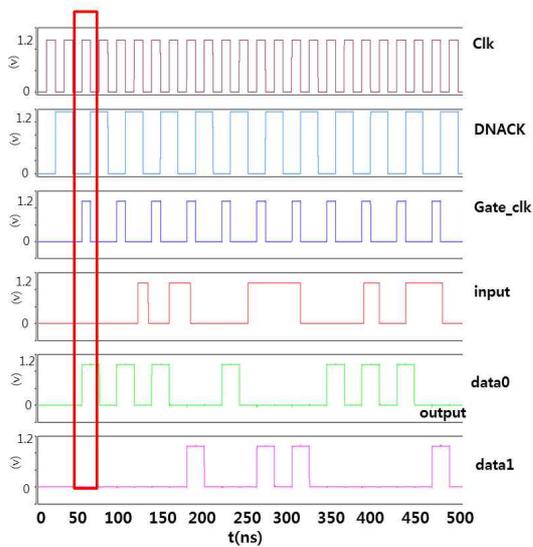


<Fig. 5> Interfacing circuit to change a dual-rail signal to a binary signal

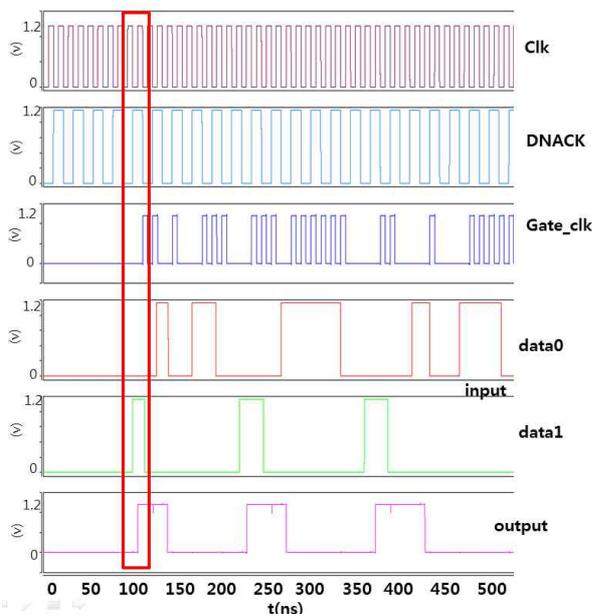
4. 실험결과

본 논문에서 제안된 비동기 회로와 동기 회로 간의 인터페이싱 회로를 검증하기 위해서 동부하이텍의 0,18um공정을 사용한 4x4 NCL 곱셈기를 설계하여 bit 입력 신호가 동기-비동기 인터페이싱회로, NCL 곱셈기 그리고 비동기-동기 인터페이싱 회로를 거쳐서 최종 출력에 bit 신호가 발생 되는지는 확인하였다.

그림 6은 앞에서 설명한 동기회로 신호에서 NCL 회로의 신호로 변화시키는 인터페이싱 회로의 시뮬레이션 결과이다. DNACK의 신호가 '1' 일 때 DACK 신호이고, '0' 일 때 NACK 신호이다. 결과를 보면 50nsec에서 클럭이 '1'의 값이고 DNACK 신호가 '0' 일 때 INPUT의 신호가 '0' 일 때 결과를 보게 되면 이중 레일 신호 Data0는 bit '1'을 이중 레일 신호 Data1은 bit '0'을 출력하는 것을 볼 수 있다. 또한 이 Data0과 Data1의 결과에 의해서 Gate_clock의 값이 bit '1'의 값을 가짐을 알 수 있다.



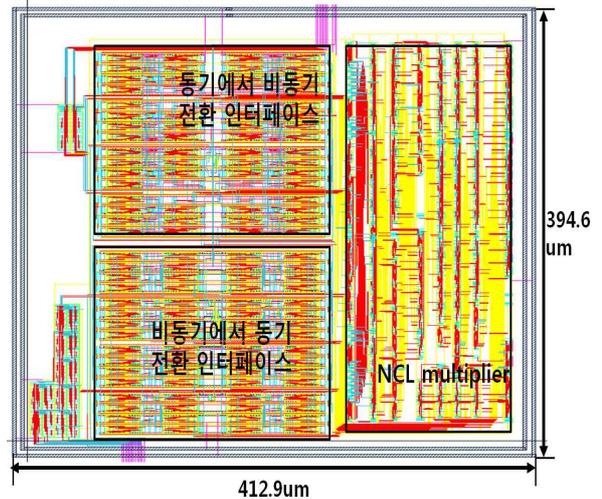
<Fig. 6> Simulation result of the proposed interfacing circuit to change a binary signal to a dual-rail signal



<Fig. 7> Simulation result of the proposed interfacing circuit to change a dual-rail signal a binary signal

그림 7의 경우는 NCL회로에서 동기 회로로 전환하는 인터페이싱 회로의 시뮬레이션 결과이다. 100ns을 해석하게 되면 클럭이 bit '1'의 값이고, 입력 신호 중에 이중 레일 신호 Data1의 신호가 bit '1'의 신호를

가지고 있다면 출력 값이 bit '1'을 만족하는 것을 볼 수 있다. 또한 gate_clock를 보게 되면 Data0와 Data1의 변화에 맞추어 변화하는 것을 확인할 수 있다. 그림 8는 0.18um 공정에서 제작된 4x4 NCL multiplier의 레이아웃을 나타낸다.



<Fig. 8> Chip implementation (0.18 um technology)

5. 결론

본 논문에서는 센서 시스템과 같은 저전력 설계에서의 다시 이슈가 되고 있는 비동기 회로의 구현에 필요한 동기회로와 비동기 회로 사이의 인터페이싱 회로를 제안하였다. 0.11um 공정기술로 설계된 4x4 곱셈기 회로에 인터페이스 회로를 적용해서 시뮬레이션을 수행하였으며, 그 시뮬레이션 결과를 통해서 제안된 인터페이싱 회로는 동기식 회로와 비동기 회로를 연결해주는 역할뿐만 아니라, NCL시스템의 검증은 기존의 동기식 검증 방법으로 가능하게 할 수 있음을 확인하였다.

References

- [1] I. Sutherland and S. Fairbanks, "Gasp; a Minimal FIFO Control," Proc. Int'l Symp. Advanced Research in Asynchronous Circuits

and Systems, 2001, pp.46-53.

[2] M. Singh and S. M. Nowick, "MOUSET- RAP: High-speed Transition-signaling Asynchronous Pipelines," IEEE Trans. on VLSI Systems, Vol.15, No.6, June 2007, pp.684-698.

[3] S. Schuster and P. Cook, "Low-power Synchronous-to-asynchronous-to-synchronous Interlocked Pipelined CMOS Circuits Operating at 3.3-4.5 GHz," IEEE J. of Solid-State Circuits, Vol.38, No.4, Apr. 2003, pp.622-630.

[4] J. Kessels and R. Marston, "Designing Asynchronous Standby Circuits for a Low-Power Pager," Proc. of the IEEE, Vol.87, No.2, Feb. 1999, pp.257-267.

[5] L.S. Nielsen and J. Sparso, "Designing Asynchronous Circuits for Low Power: an IFIR Filter Bank for a Digital Hearing Aid," Proc. of the IEEE, Vol.87, No.2, Feb. 1999, pp.268-281.

[6] H.Van Gageldonk et al., "An Asynchronous Low-power 80c51 Microcontroller," Proc. International Symposium Advanced Research in Asynchronous Circuits and Systems, 1998, pp. 96-107.

[7] Roig, Formal Verification and Testing of Asynchronous Circuits, Ph.D. Dissertation, Universitat Politecnica de Catalunya, May 1997.

[8] J. Spars and S. Furber, "Principles of Asynchronous Circuit Design: a System Perspective," Kluwer Academic Publishers, 2001.

[9] Kyung Ki Kim, "Design and Implementation of low power ALU based on NCL (Null Convention Logic) ," J Korea Industr Inf Sys Res, V. 18, No. 5, pp.1-8, Oct. 2103.

[10] Woo Hun Hong, Kyung Ki Kim, "Design of Ultra Low-Voltage NCL Circuits in Nanoscale MOSFET Technology," J Korea Industr Inf Sys Res, V. 17, No. 4, pp.1-8, Aut. 2102.



류 정 탁 (Jeong Tak Ryu)

- 종신회원
- 영남대 전자공학과 공학사
- (일)OSAKA Univ. 전자공학과 공학석사
- (일)OSAKA Univ. 전자공학과 공학박사
- 대구대학교 전자전기공학부 교수
- 관심분야 : 센서네트워크 및 나노전자기술



홍 원 기 (Won Kee Hong)

- 종신회원
- 연세대 전산과학과 학사
- 연세대 컴퓨터과학과 석사
- 연세대 컴퓨터과학과 박사
- 대구대학교 정보통신대학 멀티미디어공학과 교수
- 관심분야 : 임베디드시스템, 무선센서네트워크, 사물통신 등.



강 병 호 (Byung Ho Kang)

- 학생회원
- 대구대 전자공학부 공학사
- 대구대 전자공학과 석사재학
- 관심분야 : SoC 설계, 비동기회로, 저전력 회로설계



김 경 기 (Kyung Ki Kim)

- 정회원
- 영남대 전자공학과 공학사
- 영남대 전자공학과 공학석사
- Northeastern Univresity(미) 전기 전자공학과 공학박사
- 대구대학교 전자전기공학부 조교수
- 관심분야 : SoC 설계, Microprocessor, 고성능 저전력 회로설계, 비동기회로, Nanotechnology

논문접수일 : 2013년 11월 20일
 1차수정완료일 : 2013년 12월 27일
 2차수정완료일 : 2014년 01월 28일
 게재확정일 : 2014년 02월 13일