

비대칭 DG MOSFET의 문턱전압이하 스윙에 대한 게이트 산화막 의존성 분석

정학기*

Analysis for Gate Oxide Dependent Subthreshold Swing of Asymmetric Double Gate MOSFET

Hakkee Jung*

Department of Electronic Engineering, Kunsan National University, Gunsan 573-701, Korea

요 약

비대칭 이중게이트(double gate; DG) MOSFET의 문턱전압이하 스윙의 게이트 산화막 두께에 대한 변화를 고찰하였으며 이를 위하여 포아송방정식의 해석학적 전위분포를 구하였다. 특히 포아송방정식을 풀 때 도핑분포함수에 가우시안 함수를 적용함으로써 보다 실험값에 가깝게 해석하였다. 비대칭 DG MOSFET 소자는 대칭적 구조를 갖는 DG MOSFET와 달리 4단자 소자로서 상단과 하단의 게이트 산화막 두께 및 인가전압을 달리 설정할 수 있다. 비대칭 DG MOSFET의 문턱전압이하 스윙을 상·하단 게이트 산화막 두께 변화에 따라 관찰한 결과, 게이트 산화막 두께에 따라 문턱전압이하 스윙은 크게 변화하는 것을 알 수 있었다. 특히 상·하단 게이트 산화막 두께가 증가할 때 문턱전압이하 스윙 값도 증가하였으며 상단 게이트 산화막 두께의 변화가 문턱전압이하 스윙 값에 더욱 큰 영향을 미치고 있다는 것을 알 수 있었다.

ABSTRACT

This paper has presented the change of subthreshold swings for gate oxide thickness of asymmetric double gate(DG) MOSFET, and solved Poisson equation to obtain the analytical solution of potential distribution. The Gaussian function as doping distribution is used to approach experimental results. The symmetric DG MOSFET is three terminal device. Meanwhile the asymmetric DG MOSFET is four terminal device and can separately determine the bias voltage and oxide thickness for top and bottom gates. As a result to observe the subthreshold swings for the change of top and bottom gate oxide thickness, we know the subthreshold swings are greatly changed for gate oxide thickness. Especially we know the subthreshold swings are increasing with the increase of top and bottom gate oxide thickness, and top gate oxide thickness greatly influences subthreshold swings.

키워드 : 비대칭 DG MOSFET, 문턱전압이하 스윙, 가우시안 함수, 포아송방정식, 게이트 산화막 두께

Key word : asymmetric DG MOSFET, subthreshold swing, Gaussian function, Poisson equation, gate oxide thickness

접수일자 : 2013. 11. 15 심사완료일자 : 2013. 12. 06 게재확정일자 : 2013. 12. 24

* **Corresponding Author** Hakkee Jung(E-mail:hkjung@kunsan.ac.kr, Tel:+82-63-469-4684)
Department of Electronic Engineering, Kunsan National University, Gunsan 573-701, Korea

Open Access <http://dx.doi.org/10.6109/jkiice.2014.18.4.885>

print ISSN: 2234-4772 online ISSN: 2288-4165

©This is an Open Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License(<http://creativecommons.org/licenses/by-nc/3.0/>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.
Copyright © The Korea Institute of Information and Communication Engineering.

I. 서 론

집적회로설계에서 가장 광범위하게 사용되고 있는 CMOSFET는 하나의 게이트단자를 가진 N채널 MOSFET와 P채널 MOSFET를 이용하여 제작하고 있다. 집적도를 개선하기 위해선 CMOSFET의 채널길이를 감소시키는 것이 가장 중요하다. 그러나 채널길이 감소는 소위 단채널 효과로 알려진 문턱전압이동, 문턱전압이하 스윙의 저하, 드레인유도장벽감소 등 수많은 문제점을 발생시키고 있다. 특히 10 나노미터 이하 단위로 게이트길이를 제작하는데 한계를 갖고 있다. 10나노 이하로 게이트를 제작하였을 때 스켈링 이론에 따라 게이트 산화막 두께는 1 나노미터 이하로 제작하여야 하며 이와 같이 얇은 게이트 산화막은 공정상 어려움을 겪을 것이다. 뿐만 아니라 드레인 영역에서 초박막 게이트 산화막을 통과하여 게이트단자로 이동하는 채널전하에 의한 기생전류가 흐를 수 있다. 단채널 효과 중 문턱전압이하 스윙특성은 문턱전압이하 영역에서 차단전류의 감소정도를 나타내므로 디지털용으로 사용하고 있는 최근 집적회로에선 중요한 요소이다.

단채널 CMOSFET에서 발생하는 문턱전압이하 스윙 특성의 저하를 줄이기 위한 노력의 일환으로 개발되고 있는 트랜지스터가 다중게이트 MOSFET이다[1]. 다중게이트 MOSFET는 채널 주변에 게이트를 두 개 이상 제작함으로써 실질적으로 채널길이가 감소할지라도 게이트단자의 채널 내 전하의 제어능력을 향상시켜 결국 문턱전압이하 스윙특성을 향상시킬 수 있다. 다중게이트 MOSFET 중 가장 간단한 구조가 이중게이트 MOSFET이다. 이중게이트 MOSFET는 게이트단자를 채널의 상·하단에 제작함으로써 게이트단자에 의한 전류제어능력을 거의 두 배로 향상시킬 수 있다. 이중게이트 MOSFET는 상·하단 게이트구조를 동일하게 제작하는 대칭형 이중게이트 MOSFET[2,3]와 상·하단의 게이트 산화막 두께 및 게이트단자전압을 각각 다르게 인가시킬 수 있는 비대칭형 이중게이트 MOSFET[4,5]가 있다.

비대칭 DG MOSFET는 상단과 하단 게이트 단자에 전압을 각각 별도로 인가할 수 있고 상단과 하단의 게이트 산화막을 다르게 제작할 수 있는 4단자(4T) 소자이다. Ding 등[4]은 비대칭 DG MOSFET의 표면전위 및 문턱전압이하 스윙특성을 해석하였으나 채널도핑농도

를 일정하게 유지하면서 포아송방정식을 이용한 해석학적 전위분포를 구하였다. 그러나 실제 도핑농도는 가우스분포를 보이므로 본 연구에서는 가우스분포함수를 도핑분포로 사용하여 포아송방정식을 풀어 해석학적 전위분포를 구할 것이다. 이와 같이 구한 전위분포를 이용하여 문턱전압이하 스윙을 구한 후 게이트 산화막 두께에 대한 변화를 고찰할 것이다.

2장에서는 비대칭 DG MOSFET에 대한 포아송방정식의 해석학적 전위모델 및 문턱전압이하 스윙에 대하여 설명할 것이며 3장에서 문턱전압이하 스윙 값에 대하여 고찰 할 것이다. 또한 4장에서 결론을 맺고자 한다.

II. 비대칭 DG MOSFET의 전위분포 및 문턱전압이하 스윙 모델

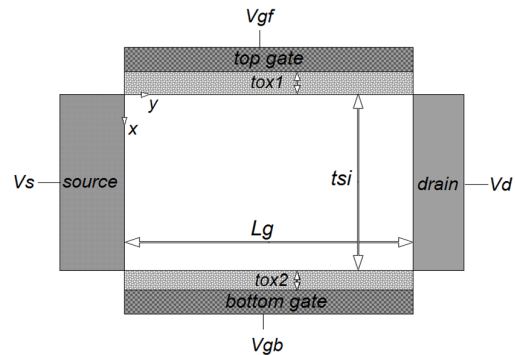


그림 1. 비대칭 이중게이트 MOSFET의 개략도
Fig. 1 Schematic view of asymmetric double gate MOSFET

그림 1은 비대칭 DG MOSFET의 개략도이다. 도시한 바와 같이 채널 폭 방향으로의 전위분포 변화는 대칭 DG MOSFET와 동일하게 무시할 수 있으므로 x, y 방향에 대해서만 전위분포를 구한다[6]. 그림에서 알 수 있듯이 비대칭 DG MOSFET는 4T 트랜지스터이며 x, y 방향의 2차원 전위분포만을 다음과 같은 포아송방정식을 이용하여 구한다.

$$\frac{\partial^2 \phi(x,y)}{\partial x^2} + \frac{\partial^2 \phi(x,y)}{\partial y^2} = \frac{qn(x)}{\epsilon_{si}} \quad (1)$$

여기서 ϵ_{si} 는 실리콘의 유전율이며 $n(x)$ 는 채널 내

도핑 분포함수로서 식(2)와 같은 가우시안 분포함수를 이용하였다.

$$n(x) = N_p \exp\left(-\frac{(x-R_p)^2}{2\sigma_p^2}\right) \quad (2)$$

여기서 N_p 는 이온주입 시 도즈 량에 의하여 결정되는 최대 도핑 분포 값이며 R_p 와 σ_p 는 각각 이온주입법 위 및 분포편차를 나타낸다. 식 (1)을 풀면 다음과 같은 급수형태의 전위분포를 구할 수 있다[4]

$$\phi(x,y) = V_s + \frac{V_d}{L_g}y + \sum_{n=1}^{\infty} A_n(x) \sin \frac{n\pi y}{L_g} \quad (3)$$

여기서 n 은 정수이며 V_s 는 기준전압인 소스 전압, V_d 는 드레인 전압, $A_n(x)$ 는

$$A_n(x) = C_n e^{k_n x} + D_n e^{-k_n x} + B_1 \operatorname{erf}(\tau + b_1/2) + B_2 \operatorname{erf}(\tau + b_2/2) + A \quad (4)$$

이다[7]. $k_n = n\pi/L_g$ 이며 $B_1, B_2, b_1, b_2, C_n, D_n$ 은 참고문헌[7]에 표기하였다. 또한 A 는 적분 상수이다. 이때 상단의 게이트 전압 V_{gf} 에 대한 문턱전압이하 스윙은 식 (3)을 이용하면 다음과 같이 표현할 수 있다.

$$S_f = \frac{\partial V_{gf}}{\partial (\log_{10} I_d)} = 2.3 V_t \left[\frac{\partial \phi(x,y)}{\partial V_{gf}} \right]^{-1} \\ = 2.3 V_t \left[\sum_{n=1}^{\infty} \left(\frac{\partial C_n(x)}{\partial V_{gf}} e^{k_n x} + \frac{\partial D_n(x)}{\partial V_{gf}} e^{-k_n x} \right) \cdot \sin \frac{n\pi y}{L_g} \right]^{-1}$$

이며 참고문헌[7]의 C_n 과 D_n 을 이용하여 구하면

$$S_f = 2.3 V_t \left[\sum_{n=1}^{\infty} \frac{2}{n\pi} (1 - (-1)^n) \left(\frac{a_4 e^{k_n x} - a_3 e^{-k_n x}}{a_1 a_4 - a_2 a_3} \right) \cdot \sin \frac{n\pi y}{L_g} \right]^{-1} \quad (5)$$

이다. 여기서 계수는

$$a_1 = 1 - k_n \epsilon_S / C_{ox1} \\ a_2 = 1 + k_n \epsilon_S / C_{ox1} \\ a_3 = e^{k_n t_{si}} + \epsilon_S k_n e^{k_n t_{si}} / C_{ox2} \\ a_4 = e^{-k_n t_{si}} - \epsilon_S k_n e^{-k_n t_{si}} / C_{ox2}$$

이다[7]. 그리고 C_{ox1} 과 C_{ox2} 는 각각 상단과 하단 게이트 산화막의 커패시턴스 값이다.

문턱전압이하 스윙을 구하기 위하여 식(5)의 y 에 상단게이트의 표면전위 중 최소값을 갖는 y_{min} 값을 구하여 대입하며 x 는 다음과 같은 식에서 전도중심 x_{eff} 값을 대입하여 문턱전압이하 스윙값을 구한다.

$$x_{eff} = \frac{\int_0^{t_{si}} x e^{\phi(x,y_{min})/V_t} dx}{\int_0^{t_{si}} e^{\phi(x,y_{min})/V_t} dx} \quad (6)$$

식 (5)에 a_1, a_2, a_3, a_4 를 대입하여 정리하면 Ding 등의 논문[4]에서 유도한 문턱전압이하 스윙값과 정확히 일치하는 것을 알 수 있다. 그러나 식 (6)에서 x_{eff} 값은 $\phi(x, y_{min})$ 값에 의존하며 이 값은 이온주입법 위 및 분포편차에 따라 변화하기 때문에 Ding 등의 결과에선 유도할 수 없는 도핑형태에 따른 문턱전압이하 스윙 값을 분석할 수 있을 것이다. 또한 a_1, a_2, a_3, a_4 은 t_{ox1} 과 t_{ox2} 에 따라 변화하므로 본 연구에서는 산화막 두께에 따른 문턱전압이하 스윙 값을 분석하고자 한다.

III. 비대칭 DG MOSFET의 문턱전압이하 스윙 분석

본 연구에서 제시한 문턱전압이하 스윙 모델의 타당성을 입증하기 위하여 그림 2에 이차원 수치해석학 방법인 Medici 모의실험 결과[4]와 비교하였다. 시뮬레이션 조건은 채널길이 30 nm, 채널두께 10 nm이며 도핑 농도는 $10^{16}/cm^3$ 일 때 상하단 산화막 두께를 변화시키면서 구한 결과이다.

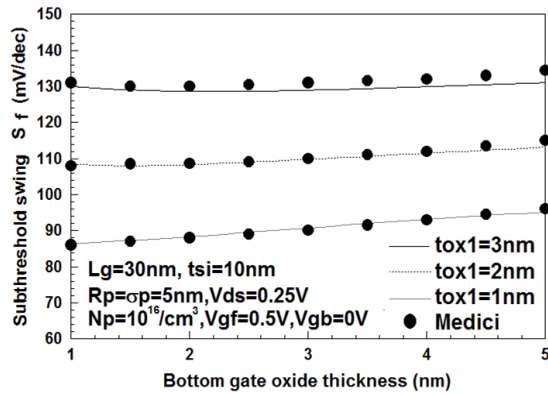


그림 2. 게이트 산화막 두께 변화에 따른 문턱전압이하 스윙값
Fig. 2 Subthreshold swings for gate oxide thickness

그림에서 알 수 있듯이 게이트 산화막 두께에 따라 이차원 수치해석학적 해인 Medici 모의실험결과와 잘 일치하는 것을 알 수 있다. 그러므로 식 (5)는 타당하다고 사료된다. 그림 2를 고찰해 보면 상단게이트 산화막 두께가 증가할수록 문턱전압이하 스윙은 크게 증가하는 것을 알 수 있다. 그러나 하단게이트 산화막 두께에 따라서는 거의 일정한 문턱전압이하 스윙을 나타내고 있다. 이는 상단게이트 전압을 0.5 V, 하단게이트 전압을 0 V로 고정한 경우로써 상단게이트 전압에 의한 채널 내 전하 제어가 더욱 크게 영향을 미치고 있다는 것을 알 수 있다. 이와 같이 문턱전압이하 스윙은 상·하단 게이트 산화막 두께 뿐만이 아니라 인가된 게이트전압에 따라 크게 변화하는 것을 알 수 있으며 상단과 하단에 별도로 게이트 전압을 인가할 수 있는 비대칭 DG MOSFET의 경우는 상·하단 게이트 전압에 따라 문턱전압이하 스윙 특성이 크게 변화할 것이다.

상·하단 게이트 산화막 두께 변화에 대한 문턱전압이하 스윙의 변화를 관찰하기 위하여 상단 게이트 산화막 두께를 1 nm에서 3 nm로 변화시키면서 채널두께와 하단 게이트 산화막 두께변화에 대한 문턱전압이하 스윙 값에 대한 등고선 그래프를 그림 3에 도시하였다. 그림에서 알 수 있듯이 채널두께가 두꺼워짐에 따라 문턱전압이하 스윙은 증가하는 것을 알 수 있다. 또한 상단 게이트 산화막 두께가 두꺼워짐에 따라 문턱전압이하 스윙은 증가하며 하단 게이트 산화막 두께 역시 증가할수록 문턱전압이하 스윙은 증가하나 하단 게이트 전압을 0.0 V로 고정하였으므로 그 변화정도는 상단 게이트 산

화막에 의한 영향보다 덜 받고 있다는 것을 관찰할 수 있다. 특히 그림 3(a)(b)(c)에서 공히 관찰할 수 있는 현상은 하단 게이트 산화막 두께가 클 경우 문턱전압이하 스윙 값이 포화되는 현상이다. 즉, 하단 게이트 산화막 두께가 클 경우 채널두께에 따라 문턱전압이하 스윙 값은 거의 일정하게 유지되고 있다는 것을 알 수 있다. 그림 3(b)와 3(c)에서 채널두께가 12 nm이하로 매우 작을 경우 등고선 그래프의 형태가 변화되고 있다는 것을 알 수 있다.

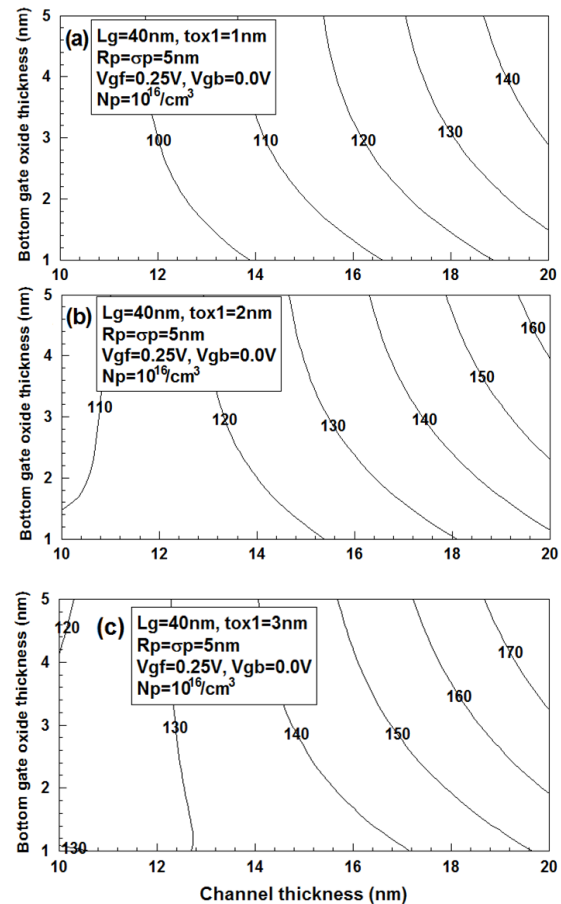


그림 3. 하단 게이트 산화막 두께와 채널두께의 변화에 따른 문턱전압이하 스윙값의 등고선그래프 (a) $t_{ox1} = 1\text{ nm}$ 일 때 (b) $t_{ox1} = 2\text{ nm}$ 일 때 (c) $t_{ox1} = 3\text{ nm}$ 일 때
Fig. 3 Contours of subthreshold swings for bottom gate oxide thickness and channel thickness in the case of (a) $t_{ox1} = 1\text{ nm}$, (b) $t_{ox1} = 2\text{ nm}$, and (c) $t_{ox1} = 3\text{ nm}$

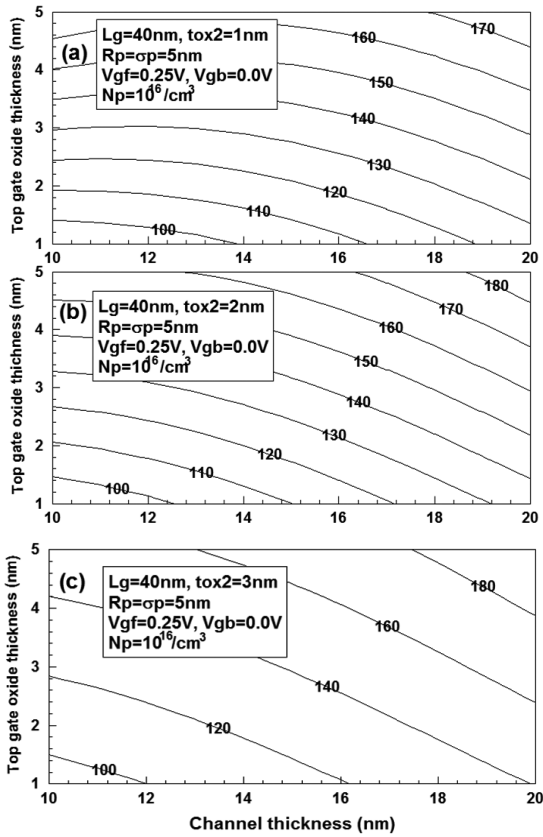


그림 4. 상단 게이트 산화막 두께와 채널두께의 변화에 따른 문턱전압이하 스윙값의 등고선그래프 (a) $t_{ox2} = 1\text{ nm}$ 일 때 (b) $t_{ox2} = 2\text{ nm}$ 일 때 (c) $t_{ox2} = 3\text{ nm}$ 일 때
Fig. 4 Contours of subthreshold swings for top gate oxide thickness and channel thickness in the case of (a) $t_{ox2} = 1\text{ nm}$, (b) $t_{ox2} = 2\text{ nm}$, and (c) $t_{ox2} = 3\text{ nm}$

즉 채널두께가 12 nm 이하 영역에서는 동일한 문턱전압이하 스윙 값을 유지하기 위하여 하단 게이트 산화막 두께가 증가하면 채널두께도 증가하여야만 한다. 반면에 12 nm 이상의 채널두께 영역에선 동일한 문턱전압이하 스윙 값을 유지하기 위하여 하단 게이트 산화막 두께가 증가하면 채널두께는 감소하여야만 한다는 것을 관찰할 수 있다.

하단 게이트 산화막 두께를 1 nm에서 3 nm로 변화시키면서 채널두께와 상단 게이트 산화막 두께변화에 대한 문턱전압이하 스윙 값에 대한 등고선 그래프를 그림 4에 도시하였다. 그림 3에서 설명하였듯이 상단 게이트

산화막 두께가 증가할수록 문턱전압이하 스윙도 증가하는 것을 관찰할 수 있다. 또한 그림 4(a)(b)(c)를 비교해 보면 하단 게이트 산화막 두께가 증가하여도 문턱전압이하 스윙의 증가는 미미하다는 것을 알 수 있다. 채널두께에 대한 문턱전압이하 스윙은 그림 3에서 논의한 바와 같이 채널두께가 증가할수록 문턱전압이하 스윙은 증가하였다. 그림 4(a) (b)(c) 공히 동일한 문턱전압이하 스윙 값을 유지하기 위하여 상단 게이트 산화막 두께와 채널두께는 상호 반비례관계를 유지하여야만 한다. 즉, 채널두께가 증가할 때 상단 게이트 산화막 두께는 감소하여야만 동일한 문턱전압이하 스윙 값을 유지할 수 있을 것이다. 그림 3보다 그래프의 간격이 조밀하다는 것은 상단 게이트 산화막 두께에 따라 문턱전압이하 스윙 값은 더욱 민감하게 변화한다는 것을 의미하므로 제시한 바이어스 조건하에서 동작하는 이중게이트 MOSFET의 경우는 상단 게이트 산화막 두께를 결정할 때, 하단 게이트 두께보다 더욱 주의하여야 함을 알 수 있다.

IV. 결론

본 연구에서는 포아송방정식의 해석학적 전위분포를 이용하여 상·하단 게이트 산화막 두께 변화에 대한 비대칭 이중게이트 MOSFET의 문턱전압이하 스윙에 대하여 고찰하였다. 비대칭 이중게이트 MOSFET은 4단 자소자로서 상·하단 게이트 전압 및 각각의 게이트 산화막의 두께 또한 다르게 제작할 수 있다는 장점이 있다. 비대칭 이중게이트 MOSFET의 문턱전압이하 스윙을 관찰한 결과, 게이트 산화막 두께에 따라 문턱전압이하 스윙은 크게 변화하는 것을 알 수 있었다. 상·하단 게이트 산화막 두께가 증가할수록 문턱전압이하 스윙도 함께 증가하였으며 채널두께가 증가할 경우도 마찬가지로 문턱전압이하 스윙은 증가하였다. 특히 제시한 인가전압 조건하에서 상단 게이트 산화막 두께의 변화는 하단 게이트 산화막 두께의 변화보다 문턱전압이하 스윙에 더욱 커다란 영향을 미치고 있다는 것을 관찰할 수 있었다. 그러므로 향후 비대칭 이중게이트 MOSFET을 이용한 집적회로 설계 시 상단 게이트 산화막 두께 결정에 유의하여야 할 것이다.

감사의 글

이 논문은 2013학년도 군산대학교 대학자체 학술공모과제 연구비 지원에 의하여 연구되었음

REFERENCES

- [1] N.Chevillon, J.Sallese, C.Lallement, F.Pregaldiny, M.Madec and J.Aghassi, "Generalization of the Concept of Equivalent Thickness and Capacitance to Multigate MOSFETs Modeling," *IEEE Electron Devices*, vol.59, no.1, pp.60-71, 2012.
- [2] M.Schwarz, T.Holtij, A.Kloes and B.Iniguez, "2D Analytical Framework for Compact Modeling of the Electrostatics in Undoped DG MOSFETs," *18th International conference Mixed Design of Integrated Circuits and Systems*, Poland, 16-18th June, pp.405-410, 2011.
- [3] P.K. Tiwari, S. Kumar, S. Mittal, V. Srivastava, U. Pandey and S. Jit, "A 2D Analytical Model of the Channel Potential and Threshold Voltage of Double-Gate(DG) MOSFETs with Vertical Gaussian Doping Profile," India, 14-16th Mar., *IMPACT-2009*, pp.52-55, 2009.
- [4] Z.Ding, G.Hu, J.Gu, R.Liu, L.Wang and T.Tang, "An analytical model for channel potential and subthreshold swing of the symmetric and asymmetric double-gate MOSFETs," *Microelectronics J.*, vol.42, pp.515-519, 2011.
- [5] R.Vaddi, R.P.Agarwal, S.Dasgupta, "Analytical modeling of subthreshold current and subthreshold swing of an underlap DG MOSFET with tied- independent gate and symmetric-asymmetric options," *Microelectronics J.*, vol.42, pp.798-807, 2011.
- [6] D.S.Havaladar, G.Katti, N.DasGupta and A.DasGupta, "Subthreshold Current Model of FinFETs Based on Analytical Solution of 3-D Poisson's Equation," *IEEE Trans. Electron Devices*, vol. 53, no.4, 2006.
- [7] H.K.Jung and D.S.Cheong, "Analysis for Relation of Oxide Thickness and Subthreshold Swing of Asymmetric Double Gate MOSFET," *Conference on Information and Communication Eng.*, vol.17, no.2, pp.698-701, 2013.



정학기(Hak Kee Jung)

1983.3 아주대학교 전자공학과 B.S.
 1985.3 연세대학교 전자공학과 M.S.
 1990.8 연세대학교 전자공학과 Ph.D
 1995.8 일본 오사카대학 교환교수
 2005.8 호주 그리피스대학 교환교수
 1990.3-현재 군산대학교 전자공학과 교수
 2014. 1-현재 한국정보통신학회 회장
 ※관심분야 : 반도체소자 시뮬레이션, 몬테칼로 시뮬레이션, 회로 및 시스템 해석 등