

논문 2014-51-4-7

# 13-Gbps 저스윙 저전력 니어-그라운드 시그널링 트랜시버

## ( A 13-Gbps Low-swing Low-power Near-ground Signaling Transceiver )

구 자 현\*, 배 봉 호\*\*, 김 종 선\*\*\*

( Jahyun Ku, Bongho Bae, and Jongsun Kim<sup>©</sup> )

### 요 약

본 논문에서는 저전력 고속 모바일 I/O 인터페이스를 위한 저스윙 차동 니어-그라운드 시그널링 (NGS) 트랜시버를 소개한다. 제안하는 트랜스미터는 온-칩 레귤레이터로 정류된 프로그래머블한 스윙을 가지는 전압-모드 드라이버와 비대칭 상승/하강시간을 가지는 전단드라이버를 사용한다. 제안하는 리시버는 고주파이득을 신장시키는 피드-포워드 커패시터를 이용한 새로운 다중경로이득 차동앰프를 사용한다. 또한, 이 리시버는 가변적인 트랜스미터 출력스윙에 의한 입력 공통모드 변화를 보상하며, 리시버 입력단 증폭기의 전류 미스매치를 최소화하기 위하여 새로운 적응형 바이어스 생성기를 포함한다. 트랜스미터와 리시버에 적용된 새로운 간단하고 효과적인 임피던스 매칭 기술들의 사용으로 우수한 시그널 인테그리티와 높은 파워 효율을 이뤘다. 65 nm CMOS 공정으로 설계된 제안하는 트랜시버는 10 cm 길이의 FR4 PCB에서 채널당 13 Gbps의 전송속도와 0.3 pJ/bit (= 0.3 mW/Gbps)의 높은 파워 효율을 갖는다.

### Abstract

A low-swing differential near-ground signaling (NGS) transceiver for low-power high-speed mobile I/O interface is presented. The proposed transmitter adopts an on-chip regulated programmable-swing voltage-mode driver and a pre-driver with asymmetric rising/falling time. The proposed receiver utilizes a new multiple gain-path differential amplifier with feed-forward capacitors that boost high-frequency gain. Also, the receiver incorporates a new adaptive bias generator to compensate the input common-mode variation due to the variable output swing of the transmitter and to minimize the current mismatch of the receiver's input stage amplifier. The use of the new simple and effective impedance matching techniques applied in the transmitter and receiver results in good signal integrity and high power efficiency. The proposed transceiver designed in a 65-nm CMOS technology achieves a data rate of 13 Gbps/channel and 0.3 pJ/bit (= 0.3 mW/Gbps) high power efficiency over a 10 cm FR4 printed circuit board.

**Keywords :** Near ground signaling, I/O interface, voltage-mode driver, current-mode driver

---

\* 학생회원, 홍익대학교 전자전기공학부  
(현 포항공대 대학원 전자전기공학과)

(Department of Electronic and Electrical Engineering, Hongik University)

\*\* 학생회원, 홍익대학교 대학원 전자정보통신공학과

(Department of Electronic and Electrical Engineering, Hongik University)

\*\*\* 정회원, 홍익대학교 전자전기공학부

(Department of Electronic and Electrical Engineering, Hongik University)

© Corresponding Author(E-mail: js.kim@hongik.ac.kr)

※ This work (C0122912) was also supported by Business for Cooperative R&D between Industry, Academy, and Research Institute funded Korea Small and Medium Business Administration in 2013.

접수일자: 2014년1월24일, 수정일자: 2014년3월18일, 수정완료: 2014년3월27일

### I. 서론

최신의 랩탑과 스마트폰, 스마트 패드 등 멀티-코어 마이크로프로세서를 내장한 휴대용 모바일 기기에서 요구되어지는 I/O 인터페이스의 데이터 전송률 (data transfer rate)은 더 향상된 그래픽과 게임 및 네트워크 성능을 위해 나날이 증가되어 왔다. 이러한 배터리 기반의 멀티미디어 기기에서 초고속으로 동작하는 시리얼 링크와 같은 I/O 인터페이스의 에너지 효율은 모바일 기기의 전력감소를 위해 해결해야 할 가장 큰 문제 중의 하나이다.

전통적으로 고속 시리얼 링크 I/O용 SerDes (serializer and deserializer) 에서는 전류-모드 로직 (current-mode logic: CML)을 기반으로 한 CML 드라이버가 쓰여 왔으나, 최근에는 CML 드라이버 대비 1/4의 출력 드라이버 파워를 소모하는 전압-모드 로직 (voltage-mode logic: VML)인 SST (source-series terminated) 드라이버가 소개되어 관심을 받고 있다<sup>[2,5]</sup>. SST의 한 형태로 저전력을 위해 제시된 Near-Ground Signaling (NGS)<sup>[1~3]</sup> 기술은 적은 스윙 (low-swing)과 낮은 공통모드 (common-mode)특성의 트랜스미터를 사용하며, IO 서플라이 노이즈의 감소를 위해 전압 정류기 (voltage regulator)를 통해 정류된 전압을 트랜스미터 출력단에 사용한다. 이 구조의 낮은 공통모드는 저전력 특성을 위해 효과적이며 nMOS로만 구성된 출력단은 고속 동작에 적합한 형태를 갖는다. NGS SST의 이러한 장점에도 불구하고 IO 터미네이션 캘리브레이션과 이퀄라이제이션 스윙 조정 등을 위한 트랜스미터와 리시버 회로 설계의 복잡성은 NGS SST의 확대 적용을 저해하는 요소로 작용해 왔다<sup>[3]</sup>.

본 논문에서는 모바일 기기의 저전력 칩-투-칩 (chip-to-chip) 통신을 위한 간단한 구조의 초저전력 차동 NGS 트랜시버를 소개한다. 제안하는 차동 트랜스미터는 종래<sup>[1]</sup>의 방식처럼 최종 출력단의 임피던스 매칭을 위해 전단구동기 (pre-driver)에 레귤레이터를 사용하는 파워 소모적이고 복잡한 방식을 배제하고, 전단구동기의 전압은 간단히 공급전원 VDD를 이용하면서, 대신 전단구동기 출력 신호의 상승/하강 시간을 비대칭적으로 조정하여 저전력 초소형 구조를 가지면서 고속 동작 특성을 향상시켰다.

또한, 제안하는 차동 리시버는 다중 이득 경로를 가

지는 차동 앰프로 공통-게이트와 공통-소스 구조 및 고주파이득을 올리기 위한 피드-포워드 (Feed-forward) 커패시터로 구성되었다. 이 리시버는 또한 효과적인 임피던스 매칭과 채널 터미네이션을 위하여 입력신호의 공통모드 전압이 변할 때 리시버단의 전류 미스매치를 최소화 하기위해 새로운 적응형 바이어스 생성기 (adaptive bias generator: ABG)를 사용하였다.

본 논문에서는 65 nm CMOS 공정을 사용하여 80-175 mV의 출력스윙 폭을 가지는 저전력 NGS 트랜시버를 설계하여 채널당 최대 13 Gb/s의 전송속도와 0.3 pJ/bit (= 0.3 mW/Gb/s)의 높은 에너지 효율을 구현하였다. II장에서는 제시하는 트랜스미터와 리시버 설계의 세부 내용을 설명하고, III장에서는 실험 결과에 대해 다루며, IV장에서 결론을 맺는다.

### II. 본론

#### 1. 제안하는 NGS 트랜시버 인터페이스

그림 1에는 본 논문에서 제안하는 NGS 트랜시버 인터페이스의 전체 구성을 보여준다. 본 논문에서는 차동 STT 방식<sup>[1,3]</sup>의 인터페이스 구조를 사용하여 작은

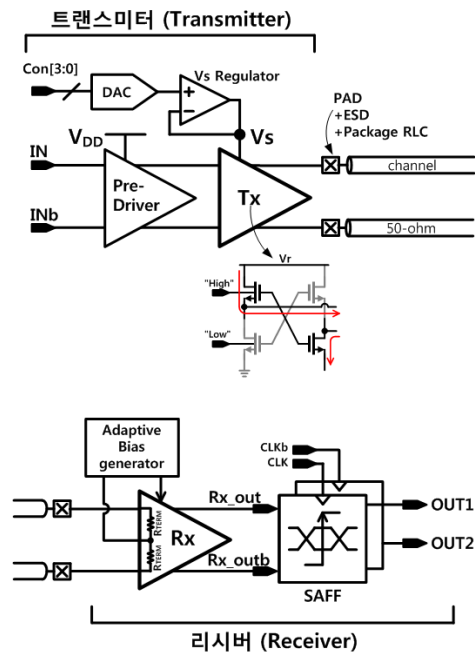


그림 1. 제안하는 NGS 트랜시버 인터페이스 전체 블록도

Fig. 1. Overall block diagram of the proposed NGS transceiver interface.

진폭과 낮은 공통모드 전압으로 데이터를 전송하고, 차동구조를 통해 전송선간의 커플링에 의한 신호의 왜곡과 공통모드 노이즈의 간섭을 최소화하여 10Gb/s 이상의 고속 시리얼 링크 인터페이스 구조를 설계하였다.

그림1에서 트랜스미터는 디지털-아날로그 컨버터(Digital to Analog Converter: DAC),  $V_s$  레귤레이터, 전단구동기(pre-driver)와 출력단(Tx)로 구성되어있다. 리시버는 수신단(Rx), 적응형 바이어스생성기(Adaptive bias generator)와 SAFF(Sanse-Amp based flip-flop<sup>[7]</sup>)로 구성되어있으며, 수신기와 송신기는 50 Ω의 특성임피던스를 가지는 10 cm의 전송선으로 연결되어있다. 본 논문의 NGS 트랜시버는 출력단 Tx의 공급전원  $V_s$ 의 값을 4-비트 제어신호 Con[3:0]를 통해 조절해 줌으로써 출력 데이터신호의 진폭 크기를 변화시킬 수 있고, 수신단 Rx에서는 적응형 바이어스생성기를 사용하여 채널의 환경에 따라 변화 가능한  $V_s$ 의 영향을 수신단 Rx에서 능동적으로 대응하여 임피던스 매칭을 최적화시킬 수 있도록 설계하였다.

## 2. 트랜스미터

본 논문의 NGS 트랜스미터는 그림 2에 나타난 것과 같이 정류된 전원공급블록(regulated supply block), 전단구동기(pre-driver), 출력단(Tx) 으로 구성되어 있다. 전원공급블록은 기준전류발생기와 DAC 그리고  $V_s$  레귤레이터로 구성된다. 출력단 Tx는 N-over-N 구조의 전압모드 드라이버(voltage-mode driver)<sup>[1-3]</sup> 형태를 취하고 있다. DAC는 4-비트 Con[3:0]에 따라 출력단의

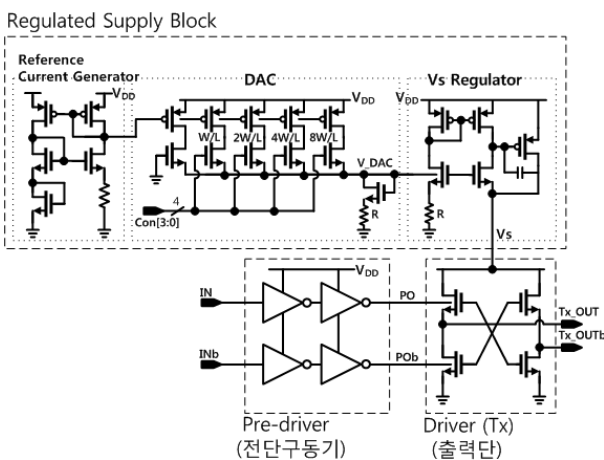


그림 2. 제안하는 트랜스미터 구조  
Fig. 2. Proposed transmitter architecture.

공급전압  $V_s$ 의 값을 110~350 mV 영역에서 프로그래머블하게 조절하도록 설계되었고,  $V_s$  값에 따라 최종 출력단 신호의 진폭의 크기가 수 mV 에서 수십 mV 단위로 조절된다. 본 논문에서는 디지털 입력 Con[3:0]을 변화시켜줌으로써 전송선의 상태에 따라 출력신호의 진폭을 조절하여 보다 유동적으로 신호를 전달하도록 하였다. 전송선의 손실이 심하거나 고속의 데이터를 전송할 경우에는 진폭을 키워서 신호를 안정적으로 전달하고, 전송선의 손실이 적을 경우에는 진폭을 작게 하여 전력소모를 줄일 수 있도록 하였다.

종래의 NGS 트랜스미터에서는 최종 송신단 Tx의 출력 임피던스를 조정하기위해 전단구동기의 공급전압을 별도의 레귤레이터를 사용하여 공급하는 방식을 사용하였다<sup>[1]</sup>. 하지만 계속적인 스케일링(Scaling)으로 VDD가 점점 낮아지면서 레귤레이터의 헤드룸 문제가 대두되었다. 이로 인해  $V_s$ 의 변화에 따라 출력단 Tx의 임피던스 매칭을 위해 적절한 전단구동기의 공급전압을 만드는 레귤레이터의 설계가 힘들어졌다. 따라서 본 논문에서는 전단구동기에 별도의 레귤레이터를 사용하는 것을 배제하고, 최종 출력단 Tx와 전송선의 임피던스 매칭을 간단히 VDD 전원을 이용하면서 비대칭형 상승/하강 시간을 가지는 공통모드-쉬프트(common-mode shift) 방식의 전단구동기를 이용하여 전력소모와 칩 면적을 줄이면서도 출력단의 임피던스 불연속을 최소화하며 고주파신호를 보다 더 효과적으로 전송되도록 하였다.

그림 2에 보인바와 같이 별도의 레귤레이터를 사용하지 않고 간단히  $V_{DD}$  (=1V)로 구동되는 전단구동기의 출력 신호(PO/POb)는 출력단 Tx의 입력신호로 연결되므로, 이 PO/POb 신호의 스윙 레벨은 최종 출력단 Tx를 구성하는 nMOS의 출력 임피던스 변화에 직접적인 영향을 미치게 된다. 그림 3에는 전단구동기의 출력 신호 PO/POb의 상승/하강 시간에 따른 공통모드와 스윙레벨 변화를 보여주고 있다. 그림 3(a)에서 보는바와 같이 PO/POb의 상승시간과 하강시간이 같을 경우 출력 신호는 약  $V_{DD}/2$ 의 중간값으로 공통모드를 가지며 교차하게 되는데, 이때 공통모드  $V_{DD}/2$  이하로 내려간 구간의 고주파 신호들은 nMOS 만으로 구성된 최종 출력단 Tx가 cut-off 모드에서 동작하는 구간이 존재하게 만들며, 이때 Tx의 출력 임피던스는 50 Ω에서 벗어나 순간적으로 큰 값을 가질 수 있어 전송 채널과의 임피

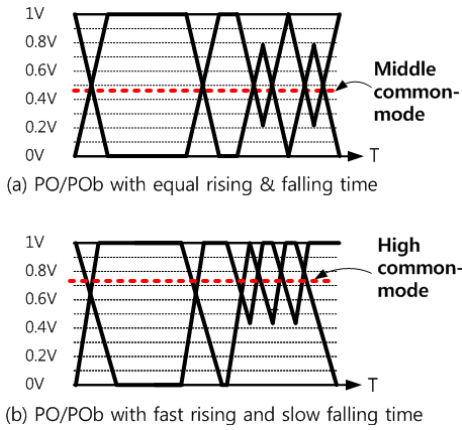


그림 3. 전단구동기 출력신호 (Po/POb)의 상승/하강 시간 변화에 따른 Tx의 입력공통모드 변화 특성  
 Fig. 3. Input common-mode variation of the Tx driver depending on the pre-driver output (Po/POb) rising/falling time.

던스 매칭을 저해하고 최고 동작속도를 제한하게 된다. 따라서 본 논문에서는 전단구동기의 P/N 사이즈 비율 (P/N ratio)을 조정하여 그림 3(b)와 같이 PO/POb 신호의 상승시간을 하강시간보다 빠르게 해줌으로써 차동신호의 공통모드를 높여 줌으로써 고주파일 때에도 Tx의 nMOS들이 문턱전압 이하에서 구동되는 구간이 최소화 되도록 하여 출력 임피던스의 불연속을 최소화시키고 채널과의 임피던스 매칭을 효과적으로 유지한다. 저주파에서는 전단구동기 출력신호의 상승/하강 시간 변화에 따른 영향이 작지만, 고주파로 갈수록 비대칭형 상승/하강 시간을 가지는 전단구동기의 사용이 채널 특성의 향상에 효과적이다.

3. 리시버

그림 4에는 본 논문에서 제안하는 NGS 리시버를 보여준다. 10 Gb/s 이상의 고속 동작을 위하여 리시버는 nMOS로 구성된 공통-게이트 앰프 구조의 입력단 Rx와 적응형 바이어스 생성기 (adaptive bias generator: ABG), 센스-앰프 플립플롭 (Sense-Amp based Flip-Flop: SAFF[7])으로 구성되어 있다. Rx는 작은 차동 입력신호 (Rx\_in/Rx\_inb)를 증폭시켜 다음 단의 SAFF 구동에 적합한 출력 신호 (Rx\_out/Rx\_outb)를 생성하는 기본 동작 이외에 채널과의 임피던스 매칭을 위해 입력 임피던스를 50Ω으로 유지해야 한다. 본 논문에서 트랜스미터 출력단 Tx의 구동전압 Vs는 전송선의 상태나 길이에 따라 프로그래머블하게 조정이 가

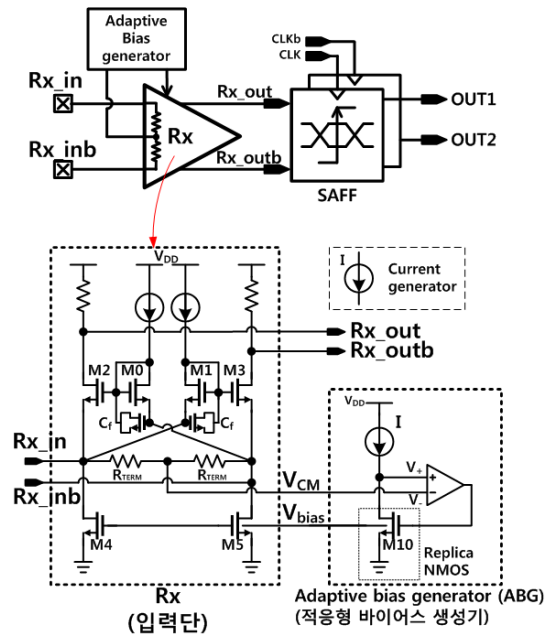


그림 4. 제안하는 리시버 구조  
 Fig. 4. Proposed receiver architecture.

능하며, 이를 통해 전송 신호의 스윙 레벨의 폭을 조정할 수 있다. Vs 변화에 따라 전송 신호의 진폭 크기가 변하게 되면 리시버 입력단 Rx의 공통모드 전압 V<sub>CM</sub> 또한 변하게 되는데, 이는 입력단 Rx의 동작 특성에 영향을 미치게 된다.

그림 4에서 입력단 Rx는 낮은 공통모드의 스몰-스윙 차동 입력 신호를 받아 높은 공통모드를 가지며 증폭된 차동 출력 신호를 발생시키는 일종의 레벨 시프터 (Level-Shifter) 동작을 한다. 이때 Rx의 nMOS 전류-소스 (current-source) M0-M3는 입력신호의 공통모드 전압 V<sub>CM</sub>의 변화에 상관없이 포화 (Saturation) 모드에서 동작하므로 내려보내는 전류의 양이 크게 변하지 않는 반면, nMOS 전류-싱크 (current-sink) M4-M5는 낮은 V<sub>CM</sub>의 영향으로 트라이오드 (Triode) 모드에서 동작할 수 있다. 따라서, V<sub>CM</sub>의 변화에 따라 전류-소스 패스 (M0-M3)에 흐르는 전류와 전류-싱크 패스 (M4, M5)에 흐르는 전류의 값에 mismatch가 생길 수 있다. 이러한 mismatch 전류는 Rx단의 전압 이득이 고정이나 환경변화에 민감하게 변하게 만들고, 인풋-오프셋 (input-offset)을 유발하며, 채널과의 임피던스 매칭을 저해하게 된다. 본 논문에서는 이러한 V<sub>CM</sub> 변화에 의한 리시버 입력단의 전류 mismatch 문제를 해결하기 위해 공통모드 피드백을 이용한 새로운 적응형 바이어

스 생성기 ABG를 제시한다.

리시버에서 입력단 Rx를 통해 증폭된 입력 데이터 신호는 플립-플롭을 이용하여 구동 클럭 (CLK/CLKb)과 동기 시켜 주면서 CMOS 레벨로 의 변환이 필요하다. 이를 위해 본 논문에서는 두 개의 Clocked SAFF[7]와 CLK/CLKb를 이용한 1:2 디멀티싱 (de-multiplexing)을 이용해 최종 CMOS 데이터 OUT1/OUT2를 샘플링 하였다.

### 가. 적응형 바이어스 생성기 (ABG)

그림 5에는 바이어스 단을 포함한 두 가지 형태의 리시버 Rx단을 보여준다. 그림 5(a)에는 간단한 바이어스 생성기 (simple bias generator: SBG)를 가지는 Rx 단이며, 그림 5(b)는 본 논문에서 제안하는 공통모드 피드백을 이용한 적응형 바이어스 생성기 ABG를 포함한 Rx를 보여 준다. SBG와 ABG를 사용한 Rx의 특성 비

교는 III장 실험결과에서 보여주기로 한다.

본 논문에서는 리시버 입력의  $V_{CM}$ 이 달라짐에 따라 입력단 Rx의 바이어스단을 구성하는 nMOS M4-M5의 바이어스 레벨 (Vbias)을  $V_{CM}$  변화에 따라 피드백을 이용하여 어댑티브하게 조절해 줌으로써 리시버 앰프의 전류 미스매치가 채널의 임피던스 매칭에 주는 악영향을 최소화하였다. 그림 5(b)에서 ABG는 Replica nMOS M10의 드레인 전압과 입력신호의  $V_{CM}$ 을 공통-게이트 앰프 (M6-M9)의 두 입력 ( $V+$ ,  $V-$ )으로 하여, Rx의 전류-싱크 nMOS (M4, M5)의 게이트 구동 전압인 Vbias를 생성함으로써,  $V_{CM}$  레벨의 변화에 상관없이 일정한 전류-싱크 패스 전류를 생성하여 전류-소스 패스와 전류 미스매치를 제거한다.

ABG의 동작을 자세히 살펴보면 다음과 같다. 이상적으로 Rx의 전류-소스 패스 nMOS M1과 M2에 흐르는 전류의 합 ( $m \cdot I + m \cdot n \cdot I$ )은 전류-싱크 패스 nMOS M4에 흐르는 전류 ( $(n+1) \cdot m \cdot I$ )와 같아야 한다. 이를 위해, M11의 드레인에 전류원 I를 연결하고, 소스에는 리시버의 공통모드 전압  $V_{CM}$ 을 연결하여 M11을 흐르는 전류를 I로 세팅한다. 이어서, 전류 미러링을 통해 nMOS M0와 M1의 드레인에 연결된 전류원의 전류값을  $m \cdot I$ 로 세팅하고, M0와 M2 (M1과 M3)의 사이즈 비를 1:n으로 하면 M2와 M3에는 각각  $m \cdot n \cdot I$ 의 전류가 흐르게 되며, 따라서 전류-소스 패스의 전류의 합은  $m \cdot I + m \cdot n \cdot I$ 와 같게 된다.

M11에 흐르는 전류 I를 M9으로 복사하기 위하여, M11의 소스에 연결된  $V_{CM}$ 을 M9의 소스( $V-$ )에도 인가해 줌으로써 M11의 전류 I를 M9로 전류미러를 통해 복사해준다. 이때 M6-M9은 공통-게이트 증폭기 (Common-gate amp)로 동작하며, 증폭기의 +입력인 M8의 소스 전압( $V+$ )은 증폭기의 -입력인  $V-$  전압과 같아지는데,  $V-$ 는  $V_{CM}$ 과 같은 값이 되므로, M9에서 M8으로 미러링된 전류 I가 M10을 통해 흐르도록 네거티브 피드백 과정을 통해 바이어스 전압 Vbias가 생성되어진다. 최종적으로 Replica nMOS M10 사이즈의  $(n+1) \cdot m$  배의 크기를 가지는 전류-싱크 패스 nMOS M4(M5)에 흐르는 전류는  $(n+1) \cdot m \cdot I$ 가 되며, 이 값은  $V_{CM}$  레벨의 변화에 상관없이 일정하게 유지되고, 따라서 전류-소스 패스와 전류 미스매치는 제거되어진다.

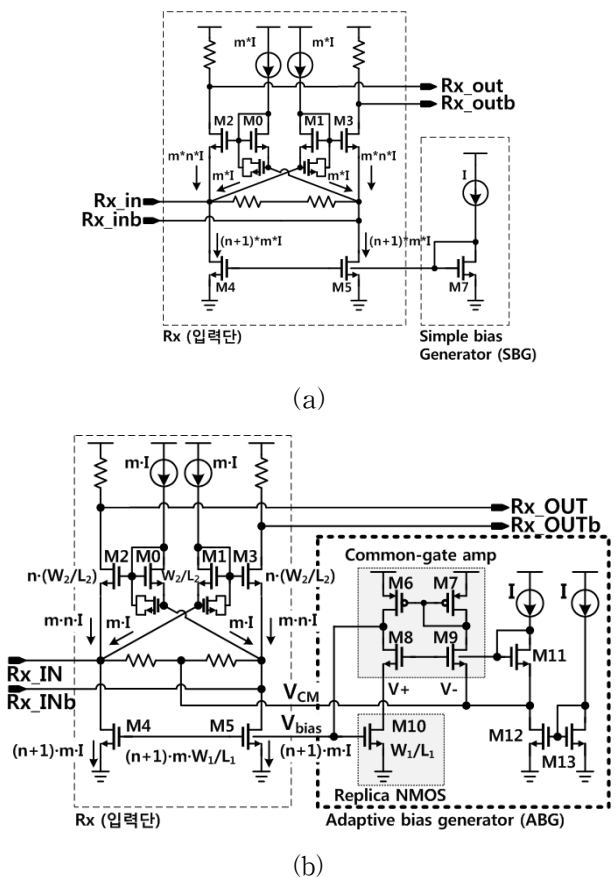


그림 5. (a) 간단한 바이어스 생성기 SBG를 사용하는 리시버 입력단 Rx (b)제안하는 적응형 바이어스 생성기 ABG를 사용한 리시버 입력단 Rx

Fig. 5. (a) Rx input stage using a SBG (b) Rx input stage using the proposed ABG.

나. 리시버 입력단의 신호패스와 전압 이득

그림 6에는 일반적인 공통-게이트 증폭기를 사용한 리시버 입력단 (그림 6(a))과 본 논문에서 제시하는 다중 이득경로 증폭기를 사용하는 리시버 입력단 (그림 6(b))을 보여준다. Near-ground 신호는 입력 신호의 공통모드 값이 매우 낮기 때문에 공통-소스 증폭기를 사용하여 게이트로 입력을 받기가 어렵다. 따라서 near-ground 신호의 경우 리시버의 입력단 Rx는 일반적으로 그림 6(a)와 같이 공통-게이트 증폭기를 사용하여 신호의 공통-레벨을 상향시키면서 신호를 증폭시킨다. 하지만 일반적인 공통-게이트 증폭기의 전압 이득은 하나의 이득경로 (Path1)만이 존재하므로 고주파로 갈수록 크게 저하 된다. 이러한 문제를 해결하기 위해 본 논문에서는 그림 6(b)에 나타난 것과 같이 다중 이득경로 패스를 가지는 공통게이트 증폭기를 제시한다. 그림 6(b)는 저주파에서 2개의 이득경로 (Path1, Path2)를 가지고, 고주파에서 제 3의 이득경로 (Path3)가 추가적으로 생성된다. 이러한 피드-포워드 커패시터 (Feed-forward capacitor)  $C_f$ [6]를 이용한 다중 이득경로 증폭기의 사용으로 고주파에서의 이득경로가 추가되어 전력 소모의 증가 없이 고주파 특성 향상을 가져온다.

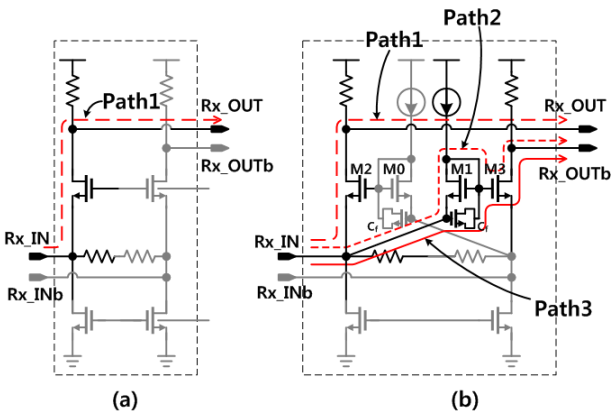


그림 6. (a) 일반적인 공통-게이트 증폭기를 사용한 리시버 입력단 (b) 제안하는 다중 이득경로 증폭기를 사용한 리시버 입력단

Fig. 6. (a) Receiver input stage using a conventional common-gate amp (b) Proposed receiver input stage using a multi-gain path amp.

III. 실험 결과

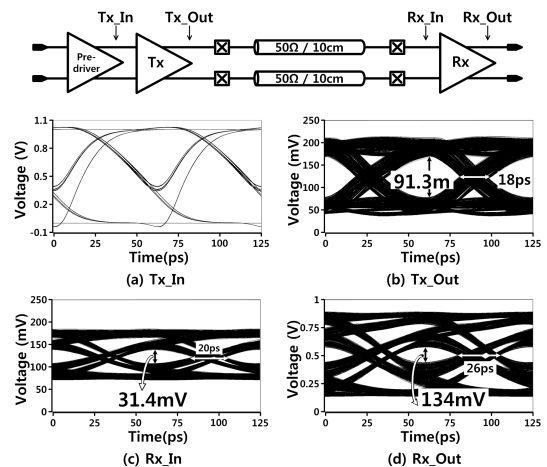
제안하는 NGS 트랜시버는 65 nm CMOS 공정을 사

용하여 설계되었다. 110~350 mV 영역의 프로그래머블한  $V_s$  레귤레이터를 이용한 N-over-N 구조의 트랜스미터는 그라운드 레벨에 가까운 공통모드와 80-175 mV의 프로그래머블한 출력스윙 폭을 가진다. ABG를 이용한 차동 공통-게이트 앰프 형태의 입력단을 가지는 리시버는 다중 이득경로 구조를 이용하여 향상된 고주파 특성을 달성하였다.

1. NGS 트랜시버 인터페이스 시뮬레이션 결과

그림 7은 10 cm 전송선을 통해 16 Gb/s로 동작하는 NGS 트랜시버 인터페이스의 입출력 아이 다이어그램 (eye-diagram)을 보여준다. 그림 7(a)는 전단구동기의 출력으로 비대칭 상승/하강시간을 이용하여 고주파에서 향상된 공통모드 레벨을 가지고 있음을 볼 수 있다. 그림 7(b)에는  $V_s = 260$  mV일 때 출력단 Tx의 eye를 보여주는데 약 91.3 mV 진폭을 가지며, 이는 출력단과 채널의 임피던스 매칭이 잘 이루어지고 있음을 보여준다. 그림 7(c)에는 10 cm의 채널을 통해 감쇠된 신호가 리시버의 입력신호로 들어가는 것을 보여주는데, 약 125mV의 낮은 공통모드와 31.4 mV 진폭의 오픈-아이 (open-eye)를 가지고 있다. 그림 7(d)는 입력단 Rx를 통해 증폭된 신호로 16 Gb/s에서 134 mV의 eye-height를 가지는 것을 볼 수 있다. 보다 안정적인 신호 전달을 위해  $V_s$ 를 350 mV로 올리면 Rx 출력은 최대 약 189 mV의 eye-height를 가진다.

수 Gb/s 이상의 고속 인터페이스의 설계를 위해서는



(16Gb/s,  $V_s = 260$ mV).  
그림 7. NGS 트랜시버 I/O 입출력 eye-diagram (16Gb/s,  $V_s = 260$ mV)

Fig. 7. Eye-diagram of the NGS transceiver I/O.

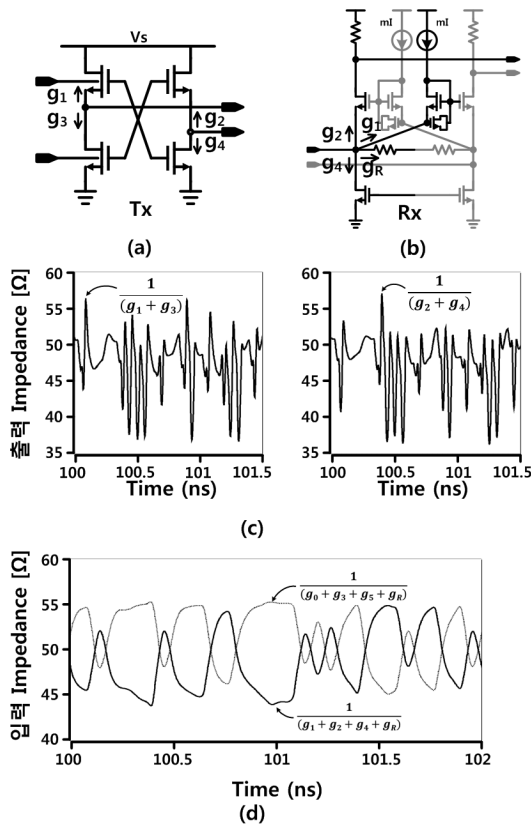


그림 8. (a) Tx의 출력 임피던스 성분, (b) Rx의 입력 임피던스 성분 (c) Tx 출력 임피던스 실험치 (16Gb/s) (d) Rx 입력 임피던스 실험치 (16Gb/s)  
Fig. 8 (a) Components of Tx output impedance (b) Components of Rx input impedance (c) Simulated Tx output impedance at 16Gb/s (d) Simulated Rx input impedance at 16Gb/s.

입출력단과 채널 간의 임피던스 매칭이 매우 중요하다. 그림 8은 제안된 NGS 트랜시버가 260mV의  $V_s$ 를 가지며 16 Gb/s에서 동작할 때, 출력단 Tx (그림 8(a))와 입력단 Rx (그림 8(b))의 시간에 따른 임피던스 변화를 보여준다. 그림 8(c)는 Tx의 출력 임피던스를 보여주는데, 이 값은 nMOS 들의 트랜스컨덕턴스 성분들인  $g_1$  과  $g_3$  의 합 (혹은  $g_2$ 와  $g_4$ 의 합)의 역수를 취한 값이 되는데, 평균적으로 50Ω로 유지되는 것을 볼 수 있다. 전단구동기 (Pre-driver)에 별도의 레귤레이터를 사용하지 않으므로 칩 면적과 파워소모를 줄일 수 있었다. 그림 8(d)는 16 Gb/s로 동작하는 입력단 Rx의 입력 임피던스 변화를 보여주며, 이는 8(b)에서 보이는 네 가지 트랜스 컨덕턴스 성분들  $g_1, g_2, g_4, g_R$ 의 합에 역수를 취하여 계산할 수 있다. ABG의 사용결과 리시버 입력단의 임피던스는 효과적으로 평균 50Ω의 값을 가지며

45-55 Ω의 값을 유지함을 볼 수 있다.

## 2. 리시버 시뮬레이션 결과

그림 9는 다중 이득경로를 가지는 본 논문의 리시버 입력단 Rx에서 feed-forward capacitor  $C_f$ 의 크기에 따른 Path2와 Path3 경로의 전압 이득 변화를 보여준다. 1GHz 이하의 저주파 영역에서 전압 이득은  $C_f$ 의 크기에 상관없이 path1의 경로에서는 약 13 dB, 그리고 path2 +path3의 경로에서는 약 11.5 dB의 거의 일정한 값을 갖는다. 하지만 1GHz 이상의 고주파 영역에서는  $C_f$ 의 영향이 커지는데,  $C_f$ 를 사용하지 않거나 그 크기가 (10 fF 이나 50 fF 정도로) 매우 작을 때는 주파수 증가에 따라 1 GHz 이상부터 급격히 떨어지던 전압 이

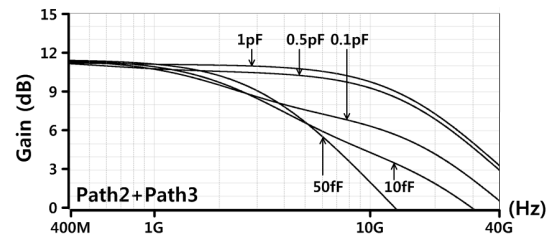


그림 9. 다중이득경로 증폭기의  $C_f$ 에 따른 전압 이득  
Fig. 9. Voltage gain of the multi-gain path amp with various  $C_f$ .

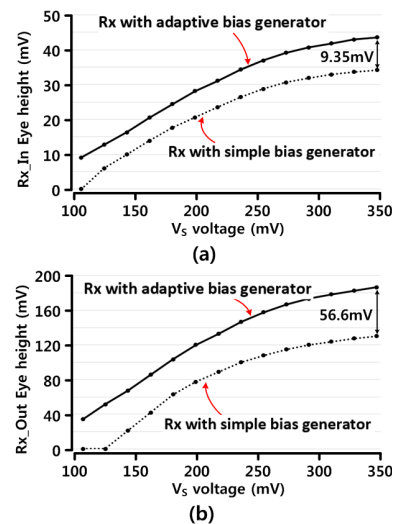


그림 10. SBG와 ABG를 이용한 리시버 입력단 Rx에서  $V_s$ 의 변화에 따른 eye-height 비교 (16Gb/s)  
(a) Rx 입력 (Rx\_In)의 eye-height  
(b) Rx 출력 (Rx\_Out)의 eye-height  
Fig. 10. Eye-height comparison of Receiver Rx using SBG and ABG (16Gb/s) (a) Rx input (Rx\_In) eye-height (b) Rx output (Rx\_Out) eye-height.

특이,  $C_f$  크기가 증가할수록 10 GHz 부근까지도 이득이 유지됨을 볼 수 있다. 본 논문에서는 그림 9에서 보인바와 같이 0.5 pF의  $C_f$ 를 MOS 커패시터로 구현하여 칩 면적의 큰 증가 없이 고주파 동작에 필요한 전압이득을 확보하였다.

그림 10은 16Gb/s에서 일반적인 SBG와 본 논문에서 제안하는 ABG를 이용한 리시버 입력단 Rx에서  $V_s$  변화에 따른 Rx의 입력 (Rx\_In)과 출력 (Rx\_Out)의 eye-height를 비교하여 보여주고 있다. 그림 10(a)처럼 ABG를 사용할 때 SBG 대비 약 22.2 % (@ $V_s=260$ mV) 증가된 입력 Rx\_In의 eye-height를 가지며, 그림 10(b)처럼 약 31.6 % (@ $V_s=260$ mV) 증가된 출력 Rx\_Out의 eye-height를 가짐을 볼 수 있다.

그림 11은 16 Gb/s에서  $V_s$ 의 변화에 따른 리시버 Rx의 전류 미스매치 결과를 보여주고 있다. 일반적인 SBG를 사용한 Rx의 경우인 그림 11(a)에서  $V_s$ 가 작아짐에 따라 전류-싱크 nMOS (M4, M5)가 triode 영역에서 동작하면서 전류-소스 nMOS (M0-M3)와의 전류 차이가 점점 커지며 미스매치가 크게 증가하는 것을 볼 수 있다. 반면 그림 11(b)와 같이 제안하는 ABG를 사용한 Rx의 경우 전류-싱크 nMOS (M4, M5)의 게이트 전압을 공통모드 피드백을 통해 조절해 줌으로써,  $V_s$

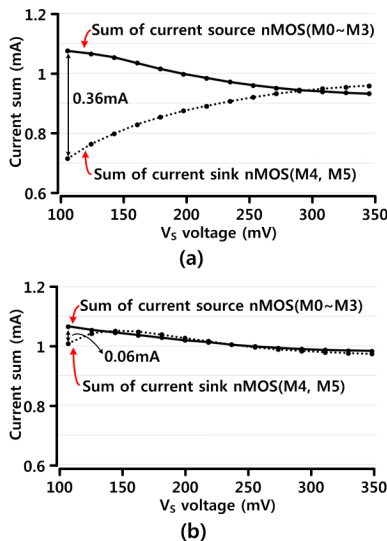


그림 11.  $V_s$ 의 변화에 따른 리시버 Rx의 전류 미스매치 비교 (a) 일반적인 SBG를 이용한 Rx, (b) 제안하는 ABG를 이용한 Rx

Fig. 11. Comparison of Rx current mismatch with Vs variation (a) Rx using the conventional SBG, (b) Rx using the proposed ABG.

변화에 상관없이 전류-소스 nMOS (M0-M3)의 전류의 합과 전류-싱크 nMOS (M4, M5)의 전류의 합이 거의 동일하게 유지되어 전류 미스매치가 거의 제거되는 효과를 가져 온다.

그림 12는 260 mV의  $V_s$ 를 사용하여 13 Gb/s에서 동작하는 NGS 트랜시버의 리시버 샘플링 동작을 보여주고 있다. 6.5 GHz 클럭 (CLK/CLKb)으로 구동되는 두 개의 SAFF를 사용하여 1:2 디멀티플렉싱 (demultiplexing)된 최종 CMOS 출력 OUT1/OUT2가 에러 없이 생성됨을 확인할 수 있다. 제안하는 NGS 트랜시버는 260 mV의  $V_s$ 에서  $2^{16}-1$  PRBS 데이터를 전송하여 최대 13 Gb/s

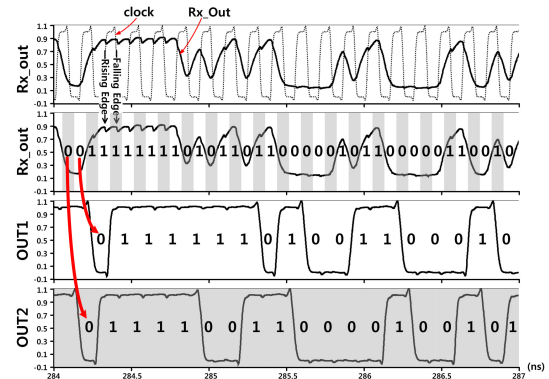


그림 12. SAFF를 이용한 리시버 동작 (13Gb/s,  $V_s=260$ mV)

Fig. 12. Receiver sampling operation using SAFF (13Gb/s,  $V_s=260$ mV).

표 1. 트랜시버 성능 비교

Table 1. Comparison of transceiver performance.

	[1]	[3]	[4]	This work
Process	90nm	40nm	65nm	65nm
Supply (V)	1.0	1.0	0.6-0.8	1.0
Channel length	80cm	7.62cm	8.89cm	10cm
Tx output swing (mV)	200	400	100-200	80~175
Data rate/channel	6.25 Gb/s	16 Gb/s	4.8-8 Gb/s	~13 Gb/s (with SAFF)
Tx power (mW)	2.26	-	1.92 @6.4Gb/s	2.06 @13Gb/s
Rx power (mW)	2.3	2.69	1.07 @6.4Gb/s	1.3 @13Gb/s
Sampler (SAFF) power (mW)	0.5	-	-	0.57 @13Gb/s
Total power (mW)	5.06	-	3@6.4Gb/s	3.93 @13Gb/s
power efficiency (pJ/bit)	0.81	-	0.47@6.4Gb/s	0.3 @13Gb/s (with SAFF @ $V_s=260$ mV)



의 데이터 전송률을 구현하였으며, 이때, 두개의 SAFF (0.57 mW)를 포함하여 총 3.93 mW의 전력소모와 0.3 pJ/bit (= 0.33 mW/Gb/s, @ $V_s=260$  mV)의 파워효율을 갖는다. 트랜스미터 출력단의  $V_s$ 를 증가시키거나, SAFF의 전력소모를 증가시킬 경우 최대 16 Gb/s의 데이터 전송률 달성이 가능하다. 표 1에는 종래 발표된 NGS 트랜시버들과의 성능 비교를 보여주는데<sup>[1, 3~4]</sup>, 종래 기술대비 가장 높은 파워 효율을 성취하였다.

#### IV. 결 론

본 논문에서는 그라운드 레벨에 가까운 공통모드를 가지는 저전력 저스윙 NGS 트랜시버를 설계하였다. 제안하는 트랜스미터는 온-칩 레플레이터로 정류된 프로그래머블한 110~350 mV 영역의 공급전압  $V_s$ 를 사용하는 전압-모드 드라이버와 출력임피던스 매칭을 위해 비대칭 상승/하강시간을 가지는 전단드라이버를 갖는다. 제안하는 리시버는 고주파이득을 신장시키는 피드-포워드 커패시터를 이용한 다중경로이득 앰프를 사용하였다. 또한, 리시버는 입력 공통모드 변화를 보상하고 입력단의 전류 미스매치를 줄이며 채널과의 임피던스 매칭을 향상시키는 새로운 적응형 바이어스 생성기를 사용하였다. 제안하는 NGS 트랜시버는 65 nm 1.0 V CMOS 공정으로 설계되어 10 cm FR4 PCB 채널에서 13 Gb/s의 전송속도와 0.3 pJ/bit (= 0.3 mW/Gb/s)의 파워 효율을 성취하였다.

#### REFERENCES

- [1] J. Poulton, R. Palmer, A. M. Fuller, T. Greer, J. Eyles, W. Dally, M. Horowitz, "A 14-mW 6.25Gb/s Transceiver in 90-nm CMOS", IEEE J. Solid-State Circuits, pp. 2745-2757, Dec. 2007.
- [2] B. Leibowitz, R. Palmer, J. Poulton, Y. Frans, S. Li, J. Wilson, M. Bucher, A. Fuller, J. Eyles, M. Aleksic, T. Greer, N. Nguyen, "A 4.3 GB/s memory interface with power-efficient bandwidth scaling," IEEE J. Solid-State Circuits, pp. 889-898, Apr. 2010.
- [3] K. Kaviani, A. Amirkhany, C. Huang, P. Le, W. Beyene, C. Madden, K. Saito, K. Sano, V. Murugan, K. Chang, and X. Yuan, "A 0.4-mW/Gb/s near-ground receiver front-end with replica transconductance termination calibration for a 16-Gb/s source-series terminated transceiver" IEEE J. Solid-State Circuits, vol. 48, no. 3, pp. 636 - 648, Mar. 2013
- [4] Young-Hoon Song, Rui Bai, Kangmin Hu, Hae-Woong, Patrick Yin Chiang, Samuel Palermo, "A 0.47-0.66 pJ/bit, 4.8-8 Gb/s I/O Transceiver in 65nm CMOS" IEEE J. Solid-State Circuits, VOL.5 pp. 1276-1289, May. 2013.
- [5] K. Abugharbieh, S. Krishnan, J. Mohan, Varadarajan Devnath, and I. Duzevik, "An ultralow-power 10Gbits/s LVDS output driver," IEEE Trans, Circuits Syst. I, Reg.Papers, vol. 57, no 1, pp. 262-269, Jan. 2010.
- [6] K. Kaviani et al. A 6.4-Gb/s near-ground single-ended transceiver for dual-rank dimm memory interface systems. In International Solid-State Circuits Conference, February 2013.
- [7] B. Nickolic, et al, "Sense-Amplifier based flip-flop," ISSCC Dig. Tech, Papers, pp. 282-283, Feb. 1999.

## — 저 자 소 개 —



구 자 현(학생회원)  
2014년 홍익대학교 전자전기  
공학부 학사 졸업.  
2014년~현재 포항공대 대학원 전  
자전기공학과 석사 과정  
<주관심분야 : Analog IC Design,  
High-speed I/O, DLL>



배 봉 호(학생회원)  
2014년 홍익대학교 전자전기  
공학부 학사 졸업.  
2014년~현재 홍익대학교  
전자정보통신공학과  
석사 과정  
<주관심분야 : Analog IC Design,  
High-speed I/O, DLL, MDLL>



김 종 선(정회원)-교신저자  
1992년 한양대학교 전자공학과  
학사 졸업.  
1994년 포항공과대학교 전자전기  
공학과 석사졸업.  
2006년 University of California,  
Los Angeles (UCLA)  
전기공학과 박사 졸업.

1994년~2008년 삼성전자 메모리사업부 DRAM  
설계팀 책임연구원

2008년~현재 홍익대 전자전기공학부 교수  
<주관심분야 : Analog IC design, High Speed  
Interface, PMIC, Signaling and Clocking  
Circuits, Low-Power Design>