

고속 전원차단 회로 설계 제작 및 측정

A Design of High-speed Power-off Circuit and Analysis

정 상 훈* · 이 남 호** · 조 성 익†
(Sang-hun Jeong · Nam-ho Lee · Seong-ik Cho)

Abstract - In this paper, a design of high-speed power-off circuit and analysis. The incidence of high-dose transient radiation into the silicon-based semiconductor element induces the photocurrent due to the creation of electron-hole pairs, which causes the upset phenomenon of active elements or triggers the parasitic thyristor in the element, resulting in latch-up. High speed power-off circuit was designed to prevent burn-out of electronic device caused by Latch-up. The proposed high speed power-off circuit was configured with the darlington transistor and photocoupler so that the power was interrupted and recovered without the need for an additional circuit, in order to improve the existing problem of SCR off when using the thyristor. The discharge speed of the high speed power interruption circuit was measured to be 19 μ s with 10 μ F and 500 Ω load, which was 98% shorter than before (12.8 ms).

Key Words : Power-off, Latch-up, Transient Radiation Effects (TRE)

1. 서 론

높은 선량의 펄스방사선이 CMOS 소자에 입사되면 E/H Pair 생성으로 인한 광전류가 유기되고 유기된 광전류는 Upset 현상 또는 소자내의 기생 사이리스터를 트리거 시켜 Latch-up을 발생시킨다[1-2]. Latch-up 현상이 지속되면 전자소자에 Burn-out 현상이 발생하게 되어 망가진다. 펄스방사선으로 인한 전자소자의 Latch-up을 방지하기 위해서는 전원과 전자회로사이에 전원차단회로를 부착하고 펄스방사선 검출신호[3]를 이용하여 전자소자의 전원을 차단하고 잔류 전원을 방전시켜야 Latch-up 현상이 사라지게 된다.

기존의 전원차단회로는 전자소자에 병렬로 사이리스터를 연결하고 펄스방사선 검출신호를 이용하여 사이리스터를 트리거 시켜 전자소자로 공급되는 전원을 우회하였다. 공급되는 전원이 사이리스터를 통해 대부분 흐르므로 전자소자에 전원공급이 안되고 Latch-up 현상을 유지할 수 없다.[4] 단 사이리스터는 한번 트리거 되면 off 시키기 위해서는 역전압을 인가하거나 전원을 완전히 차단해야하므로 전원을 차단하기 위한 추가적인 작업이 필요하다. 따라서 실시간으로 동작해야 하는 시스템의 적용에는 불리하다.

본 논문에서는 기존의 전원차단회로를 개선하여 고속으로 전원을 차단하고 잔류 전원을 방전하여 전자소자의 Latch-up을 방지할 수 있는 전원차단회로를 설계하고 기존

의 전원차단회로의 동작 문제를 개선하여 입력신호에 의해 전원차단회로가 off 될 수 있도록 설계하고 설계된 회로를 제작하여 고속 방전기능을 검증하고자 한다.

본 논문의 구성은 다음과 같다. II장에서는 제안하는 전원차단회로의 설계 및 모의실험 결과를 설명하고 III장에서는 II장에서 설계한 고속 전원차단회로를 제작하여 실측하였다. 그리고 IV장에서 결론을 맺는다.

2. 고속 전원차단회로

기존의 전원차단회로는 펄스방사선 검출신호를 이용하여 전자소자를 보호할 수 있지만 전원차단회로를 off 시키기 위해서 역전압을 인가하거나 전원을 완전히 차단해야 하므로 전자소자를 재동작하기 위해서는 많은 절차가 필요하다 이러한 절차를 간소화시키고 고속으로 동작할 수 있는 전원차단회로를 설계하고자 한다.

2.1 기존 구조의 전원차단회로

기존 구조의 전원차단 회로는 다이오드, 인덕터, 커패시터, BJT, 사이리스터 로 구성이 되어있으며 그림 1에 회로도를 보여준다. PWR_IN은 전원 공급회로에서 전원을 공급 받는 단자이며 LOAD는 전자소자와 연결되어 전원을 공급하는 단자이다. TRD는 펄스방사선 검출기의 출력을 받는 단자이며 TRD 입력이 High일 경우 사이리스터의 게이트에 Low 전압이 인가되어 PWR_IN을 통해 입력된 전하들이 LOAD로 출력된다. TRD 입력이 Low일 경우 사이리스터의 게이트에 High 전압이 인가되어 PWR_IN을 통해 입력된 전하들이 사이리스터를 통해 빠져 나감으로 LOAD는 정상상태의 전압을 유지할 수 없다.

TRD에 High 신호가 입력되는 경우 Q2의 베이스 전압 또한 High가 되므로 Q2가 동작하지 않아 컬렉터 전압이

† Corresponding Author : Dept. of Electronic Engineering, Chonbuk National University, Korea

E-mail : shcho@jbnuc.ac.kr

* Dept. of Nuclear Convergence Technology Development Korea Atomic Energy Research Institute, Korea

** Dept. of Nuclear Convergence Technology Development Korea Atomic Energy Research Institute, Korea

Received : September 12, 2013; Accepted : March 10, 2014

Low가 된다. 컬렉터 전압이 Low가 되면 사이리스터의 게이트는 동작하지 않으므로 PWR_IN을 통해 입력된 전원이 그대로 Load로 전달되어 전자시스템에 전원을 공급한다.

TRD에 Low 신호가 입력되는 경우 Q2의 베이스에 Low 전압이 인가되고 Q2의 컬렉터에 High 전압이 걸리게 된다. 따라서 사이리스터의 게이트에 High가 인가되므로 사이리스터가 트리거 되어 전원공급회로에서 PWR_IN을 통해 공급되는 전하를 GND로 방출시켜 LOAD단 전압을 낮춘다. LOAD단 전압이 낮아지면 전자소자는 Latch-up 상태를 유지할 수 없어 번 아웃을 방지할 수 있다.

전자소자를 다시 동작시키기 위해서는 전원차단회로의 동작을 Off 시켜야 하며 전원차단회로 내 사이리스터를 정지시키기 위해서는 역전압을 인가하거나 전원을 완전히 차단해야 하므로 추가 회로가 필요하고 초기상태로 복구되는 시간이 증가한다.

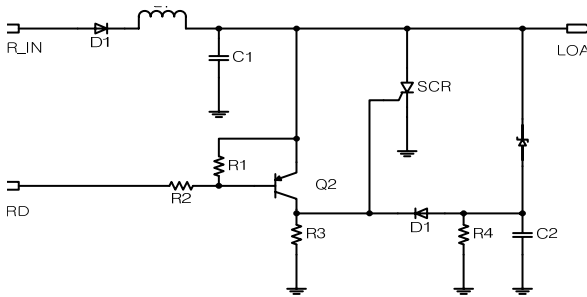


그림 1 기존 구조의 전원차단회로
Fig. 1 Conventional structure of the power-off circuit

2.2 제안하는 구조의 전원차단회로

기존의 전원차단회로에 사용된 사이리스터는 트리거 될 경우 동작 상태를 유지하며 사이리스터를 off 시키기 위해서는 애노드와 캐소드 사이의 전압을 0V로 만들어주거나 전류를 역방향으로 흘려주어야 한다. 따라서 전원차단회로 내 사이리스터를 off 시키기 위해 공급되는 전원을 완전히 차단 후 인가하여야 전원차단회로가 초기화 되므로 실시간으로 사용되는 전자시스템에는 적용하기 힘들다.

전자시스템의 전원을 실시간으로 차단하고 복구시키기 위해 달링턴 트랜지스터를 적용하여 전원차단회로를 개선하였다. 달링턴 트랜지스터는 DC 이득이 매우 크고 출력이 Base 입력에 의존적으로 과도방사선 검출기 출력에 따라 추가회로 없이 전자시스템의 전원을 차단하고 다시 공급할 수 있다.

제안하는 전원차단회로는 $\pm 20V$, 5V의 전원에서 동작하고 달링턴 트랜지스터, BJT, 저항, 포토커플러로 구성되어 있다. 설계는 TRD 신호가 High(5 V)일 때 입력 전원을 그대로 출력하고 TRD 신호가 Low 일 때 (0 V) 입력 전원을 차단하고 잔류 전하를 방전시킬 수 있도록 설계하였으며 동작원리는 다음과 같다.

그림 2의 TRD에 High 신호가 인가되면 포토커플러가 동작하고 달링턴 트랜지스터가 On이 되므로 입력 전원을 그대로 출력단으로 전달하고 TRD에 Low 신호가 인가되면 포토커플러가 동작하지 않아 달링턴 트랜지스터가 Off되고 방

전회로가 동작하여 POUT 전압이 GND로 수렴하게 된다. 이 때 TRD 신호가 High가 되면 달링턴 트랜지스터 Q9가 정상적으로 On이 되고 Q10이 Off되므로 POUT에 정상적으로 전하를 공급할 수 있다. 그림 2에 제안하는 구조의 전원차단회로의 회로도를 보여주며 상세한 동작은 다음과 같다.

제안하는 고속 전원차단회로의 정상동작시에는 PIN+와 PIN-에는 각각 $\pm 20 V$ 의 전원이 공급되고 5 Vdc에는 +5 V 전원이 공급된다. TRD 단자에 5V가 인가되면 Q3는 Off 상태에 있고 Q5의 베이스 전압이 0V가 되므로 Q5도 Off 되어 포토커플러의 입력에 5 V가 인가되어 포토커플러가 On이 된다. 포토커플러 HMA121이 On이 되면 Q2의 베이스 전압이 낮아지므로 Q2가 동작하고 Q4의 베이스 전압이 상승한다. Q4는 Off 상태가 되고 저항 R6에 의해 Q9의 베이스 전압이 낮아지므로 Q9가 On이 되어 POUT+에 +20 V를 공급한다. Q8은 On이 되므로 Q10의 베이스가 High가 되어 Q10은 Off된다. -20 V 또한 +20 V와 반대의 동작으로 Pout-에 -20 V를 공급한다.

TRD 단자에 0 V가 인가되면 Q3의 베이스 전압이 0 V가 되어 Q3이 On이 된다. Q3이 On이 되면 Q5의 베이스 전압이 High가 되고 Q5의 컬렉터 전압이 Low가 되어 포토커플러가 Off된다. 포토커플러가 Off되면 Q2의 베이스에 20 V가 인가되어 Q2가 Off된다. Q2가 Off되면 Q4의 베이스 전압이 Low가 되어 Q4가 동작하고 Q9의 베이스에 High가 인가되어 Q9가 Off된다. Q9가 Off되면 전원 전송경로가 차단되므로 POUT+에 +20 V가 인가되지 못한다. Q9의 베이스 전압이 High가 되면 Q8의 베이스 전압 또한 High가 되므로 Q9이 Off되고 Q10의 베이스 전압이 Low가 되어 Q10이 동작한다. Q10이 동작하면 POUT+과 GND가 연결되어 POUT+에 남아있던 잔류 전원들이 GND로 방전된다.

Latch-up이 유지되기 위해서는 전원이 계속하여 공급되어야 한다. 고속 전원차단회로는 전자시스템의 전원을 차단하고 잔류전원을 방전하므로 전자시스템의 Lacth-up으로 인한 Burn-out을 방지할 수 있다.

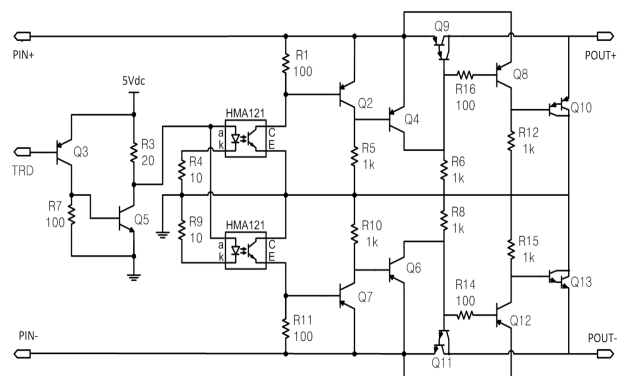


그림 2 제안하는 구조의 전원차단회로
Fig. 2 Proposed structure of the power-off circuit

2.3 제안하는 전원차단회로 모의실험

그림 3은 제안하는 구조의 전원차단회로 모의실험 결과를 보여준다. TRD 입력이 5 V일 때에는 전원차단회로 출력이

±20 V를 유지한다. 하지만 TRD 입력이 0 V로 변하는 경우 전원이 차단되고 잔류전원을 방전시켜 출력전압이 0 V로 변하는 것을 볼 수 있다.

기존구조의 경우 사이리스터를 오프 시키기 위해 추가회로를 필요로 하였지만 제안하는 구조에서는 추가회로 없이 입력신호에 따라 전원차단 및 복귀가 가능하다.

제안하는 구조의 전원차단회로 방전기능을 확인하기 위해 모의실험을 진행하였다. 그림 4는 10 μF, 500 Ω의 부하에서 방전속도를 모의실험한 결과이다. 그림 4의 (a)는 고속 전원차단회로가 없을 때 방전시간을 측정된 것으로 전압이 20 V에서 2 V까지 감소하는데 12.4 ms의 시간이 걸렸으며 고속 전원차단회로 적용 후에는 27 μs가 걸리는 것을 모의실험을 통해 확인하였다.

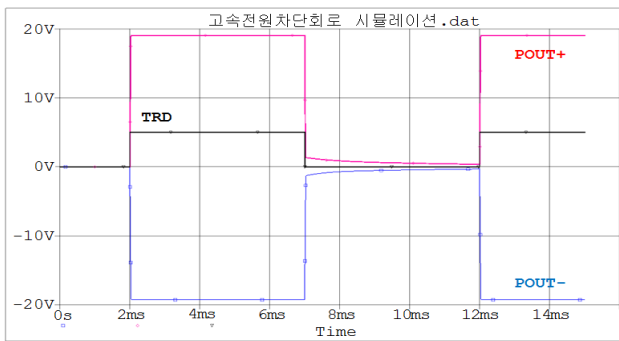


그림 3 제안하는 구조의 전원차단회로 모의실험
Fig. 3 Simulation result of the proposed power-off circuit

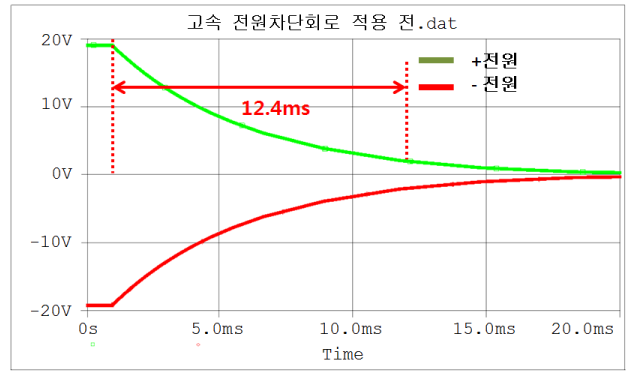
3. 제안하는 전원차단회로 제작 및 전기적 특성

제안하는 전원차단회로의 검증을 위해 전원차단회로를 제작하고 전기적 특성을 측정하였다. 그림 5는 제안하는 전원차단회로를 구현한 것으로 칩저항, BJT, 포토커플러, 달링턴 BJT를 이용하여 제작하였다. 면적은 25 mm × 30mm로 소형으로 설계하였다.

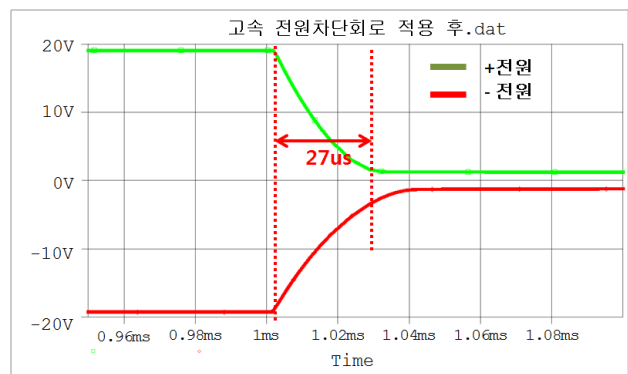
그림 6은 고속전원차단 회로의 실측결과를 보여준다. 부하는 모의실험과 마찬가지로 10 μF의 커패시터와 500 Ω의 저항을 사용하였다. 그림 6(a)는 고속 전원차단회로를 적용하지 않은 측정결과이며 모의실험 결과와 마찬가지로 출력전압이 2 V까지 감소하는데 12.8 ms가 걸리는 것을 확인하였다. 그림 6(b)는 고속 전원차단회로를 적용한 측정결과이며 모의실험 결과와 비슷하게 2 V까지 감소하는 시간이 19 μs가 걸리는 것을 확인하여 기존 12.8 ms에 비해 방전시간이 98% 정도 단축됨을 보인다. 표 1에 전원차단회로의 모의실험 결과와 실측결과를 정리하였다.

3. 결 론

본 논문에서는 고선량의 펄스방사선에 의해 전자소자에서 발생하는 Latch-up을 방지하기 위한 고속전원차단회로를 설계하고 제작하였다. 기존 전원차단회로 동작시 전자회로를 재동작하기 위해서는 전원차단회로가 off되어야 하나 사이리스터를 사용한 전원차단회로에서는 역전압을 인가하거나 공



(a) 전원차단회로 적용 전
(a) Before applying the power-off circuit



(b) 전원차단회로 적용 후
(b) After applying the power-off circuit

그림 4 제안하는 구조의 전원차단회로 방전기능 모의실험
Fig. 4 Simulation result of the discharge function with proposed power-off circuit

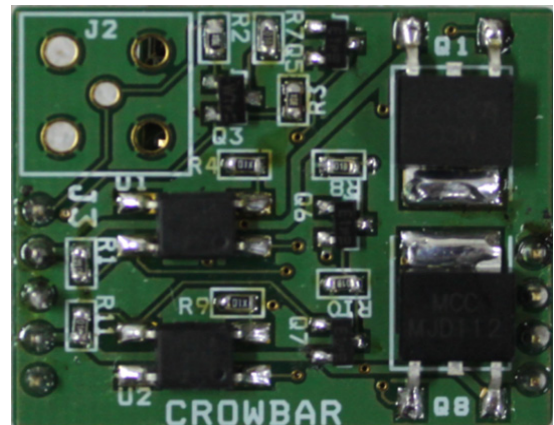
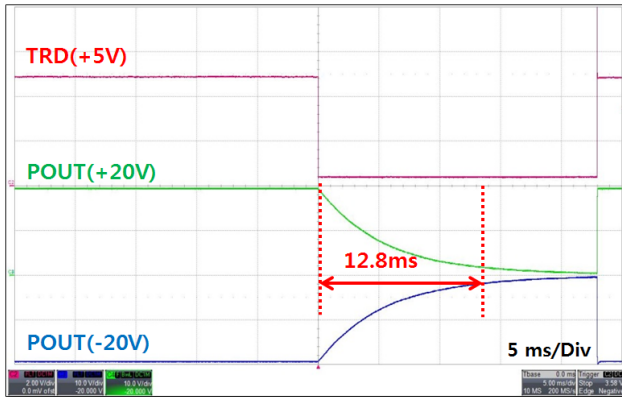


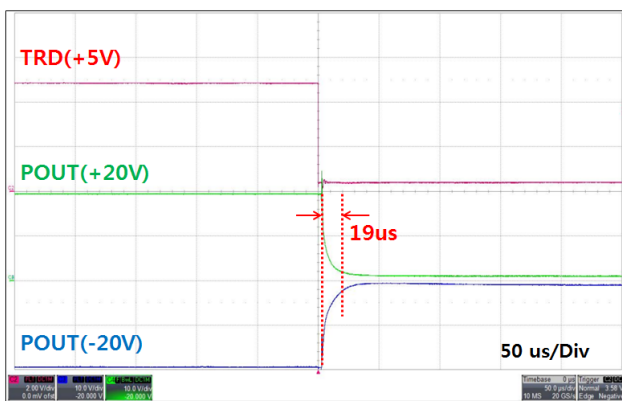
그림 5 제안하는 구조의 전원차단회로 DUT
Fig. 5 Proposed power-off circuit DUT

급되는 전원을 완전히 차단시켜야 한다.

문제를 해결하기 위해 사이리스터가 사용된 구조대신 달링턴 트랜지스터를 이용하였고 또한 입력신호에 따라 전원을 고속으로 차단 및 방전하고 복구 시킬 수 있도록 회로를



(a) 전원차단회로 적용 전
(a) Before applying the power-off circuit



(b) 전원차단회로 적용 후
(b) After applying the power-off circuit

그림 6 제안하는 구조의 전원차단회로 방전기능 측정
Fig. 6 Test result of the discharge function with proposed power-off circuit

표 1 고속전원차단회로 특성
Table 1 Characteristics of high-speed power-off circuit

방전속도	모의실험	측정
고속전원차단회로 적용 전	12.4 ms	12.8 ms
고속전원차단회로 적용 후	27 μ s	19 μ s

구성하였다. 전원차단회로는 Power BJT, BJT, 저항, 포토커플러로 구성되어 있으며 펄스방사선 검출기에서 펄스방사선을 감지하고 출력하면 이를 입력으로 받아 전자소자의 전원공급을 차단하고 고속으로 방전하여 Latch-up을 방지한다.

전원차단회로 제작 후 측정결과 부하 10 μ F, 500 Ω 의 저항에서 입력신호 인가 후 20V에서 1V까지 감소시간이 19 μ s가 걸리는 것을 확인하였으며 고속 방전회로 없이 측정된 12.8ms에 비해 98% 단축되었다.

본 논문에서 제작된 전원차단회로를 전자회로에 적용한다면 Latch-up 현상으로 인한 전자소자의 Burn-out 현상을 방지할 수 있을 것이다.

감사의 글

본 연구는 국방과학연구소의 민군기술협력센터의 지원으로 수행되었음

References

[1] George C Messenger, "The effects of radiation on electronic systems", New York : Van Nostrand Reinhold, cop., 1992.
 [2] Lewis Cohn, Manfred Espig, Al Wolicki, Mayrant Simons, Clay Rogers, Alfred Costantine, "Transient Radiation Effects on Electronics(TREE) Handbook", Defence Nuclear Agency, 1996.
 [3] Larry L., "NUCLEAR EVENT DETECTOR", <http://www.freepatentsonline.com/>, pp. 2, Aug 1987.
 [4] Douglas G., "SOLID STATE CROWBAR CIRCUIT", <http://www.freepatentsonline.com/>, pp. 2, Mar 1971.
 [5] Seungchan Oh, Namho Lee, Heungho Lee, "The Study of Transient Radiation Effects on Commercial Electronic Devices" Thh Transactions of the Korean Institute of Electrical Engineers, V.61, no.10, 2012, pp.1448-1453
 [6] Namho Lee, Younggwon Hwang, Jongryul Kim, Sanghun Jeong, Seungchan Oh, "A Study on Implementation of Transient Radiation Effects on Electronics(TREE) Assessment System" Journal of the Korea Institute of Information and Communication Engineering, V.16 no.10, 2012, pp.2329-2334

저 자 소 개



정 상 훈 (丁 相 勳)

2007년 전북대학교 반도체과학기술학과 학사 졸업, 2009년 전북대학교 전자정보공학부 석사졸업, 2014년동대학원 박사졸업, 현재 : 한국원자력연구원 융합기술개발부 박사후연구원

주관심분야 : Transient Radiation Modeling, 고속 방전 회로, 펄스신호 고속신호 처리

E-mail : shjeong@kaeri.re.kr



이 남 호 (李南昊)

1991년 경북대학교 전자공학과 학사 졸업, 1993년 경북대학교 전자공학과 석사 졸업, 2004년 충남대학교 전기공학과 박사 졸업, 현재 : 한국원자력연구원 융합기술개발부 책임연구원

주관심분야 : 방사선 센서, 입체영상, 원격제어 시스템



조 성 익 (趙成翊)

1987년 전북대학교 전기공학과 학사 졸업, 1989년 전북대학교 전기공학과 석사 졸업, 1994년 전북대학교 전기공학과 박사 졸업, 1996년~2004년 Hynix 반도체 메모리 연구소 책임연구원, 2004년~현재 전북대학교 전자공학부 부교수

주관심분야 : 저전압/고속 Graphic DRAM, Low-voltage Low-power analog circuit, High speed data Interface circuit, ADC/DAC, Filter, PLL/DLL

E-mail : sicho@jbnu.ac.kr