

서미스터를 이용하여 출력 전압 리플을 향상시킨 히스테리틱 벅 변환기

Hysteretic Buck Converter with Thermistor to Improve Output Ripple Voltage

이 동 훈*, 윤 광 섭**

Dong-Hun Lee*, Kwang-Sub Yoon**

Abstract

This paper suggest hysteretic buck converter using thermistor that can improve output ripple voltage according to temperature to improve. In case of high temperature where circuit is sensitive, it decides two comparable voltages high. And, in case of non-high temperature where circuit is stable, it decides two comparable voltages low, then it minimizes output ripple voltage. simulation result what is included in this paper describe that output ripple voltage is reduced more than 30mV by using suggested converter, and load regulation w*as 0.011mV/mA. Suggested circuit is suitable to power managing circuit that operate digital circuit requiring fast response and low power.

요 약

본 논문에서는 출력 리플 전압을 온도에 따라 개선시킬 수 있는 서미스터를 이용한 히스테리틱 벅 변환기를 제안한다. 회로가 민감할 수 있는 높은 온도에서는 두 비교 전압을 비교적 크게 결정하지만, 회로가 안정적으로 동작할 수 있는 온도에서는 두 비교 전압을 작게 결정하여, 출력 리플 전압을 최소화 시킨다. 모의실험결과는 출력 리플 전압을 30mV 이상 감소시켰으며, 로드 레귤레이션은 0.011mV/mA 이다. 제안하는 회로는 빠른 응답과 저 전력이 요구되는 디지털 회로를 구동하는 전원 관리 회로로서 활용되기 적합하다.

Key words : hysteretic buck converter, ripple reduce controller, ripple voltage, sample and hold, thermistor

I. 서론

* Dept. Electronic Engineering, INHA University
(010-2631-6993 , coolzxcv@naver.com)

★ Corresponding author
(032-860-7419 , ksyoon@inha.ac.kr)

※ Acknowledgment

“This research was supported by the MSIP(Ministry of Science, ICT&Future Planning), Korea, under the ITRC(Information Technology Research Center) support program (NIPA-2013-(H0301-13-1013) supervised by the NIPA(National IT Industry Promotion Agency)”
“This research was supported by INHA university”

Manuscript received Jan. 29, 2014; revised Mar. 14, 2014 ; accepted Mar. 17. 2014

현재의 개인용 전자제품의 가장 큰 발전 방향은 휴대성이다. 개인용 통신이 목적이었던 휴대폰은 이미 그 기능을 통신 뿐 아니라 다양한 멀티미디어 기능으로 확장했다. 이런 추세로 고정 장비였던, 랩톱 컴퓨터나 영상기기 만의 기능들도 점차 휴대화되며 휴대장비의 기능은 확장되고 있다. 다양한 기능을 접목시킨 휴대장치에는 다양한 전자기기가 집적되었고, 이는 다양한 전원 공급의 수요를 의미한다. 하나의 휴대장치가 하나의 배터리로부터 전원을 공급받더라도, 각각의 구성블록은 서로 다른 전력공급 조건을 요구한다[1]. 본 논문에서는 전압을 강압시키고

프로세서 및 디지털 신호 처리 칩을 구동하는 벡 변환기 중에 히스테리틱 벡 컨버터를 다룬다. 히스테리틱 벡 컨버터는 다른 구조의 벡 컨버터에 비해 응답 속도가 빠르고, 별도의 외부 보상 단이 필요하지 않아, 소형화에 장점이 있다. 하지만 외부 소자 단에 의하여 스위칭 주파수가 결정되고[2-3], 레퍼런스 전압보다 출력 전압 리플이 약간 높게 생성되기 때문에, 출력 리플 전압이 크다는 단점이 있다. 이러한 출력 리플 전압이 크다는 단점을 개선시키기 위해 온도에 따라서 두 레퍼런스 전압 VOH와 VOL을 조절하고 출력 리플 전압을 개선시킨다. 히스테리틱 벡 컨버터에서는 VOH와 VOL 전압 차이를 PVT변화를 고려하여 정해 줘야 한다. 제안하는 서미스터를 이용한 히스테리틱 벡 컨버터는 이중에 온도 변화를 고려하여 동작하는 회로의 실생활에 적합한 온도에서는 낮은 리플 전압을 유지시키고, 비교적 높은 환경온도 이상에서는 안정적으로 동작하기 위해 비교적 높은 리플 전압을 갖도록 설계를 한다.

본 논문의 구성은 II. 히스테리틱 벡 컨버터 설계에서 제안한 히스테리틱 벡 컨버터의 구조와 동작원리에 대해 설명을 하고 리플 감소 제어회로의 동작원리와 서미스터를 활용하는 방안에 대해서 다룬다. III. 시뮬레이션 과정 및 고찰 에서는 회로에 대한 시뮬레이션 과정 결과를 기술 하였고, IV장에서는 결론을 맺는다.

II. 제안한 온도 적응형 히스테리틱 벡 변환기

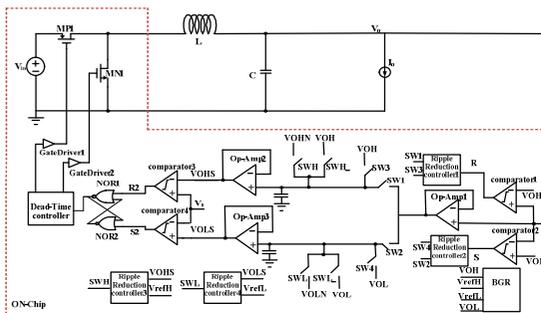


Fig 1. Block diagram of hysteretic buck converter using thermister

그림 1. 서미스터를 이용한 히스테리틱 벡 변환기의 블록도

제안하는 히스테리틱 벡 변환기는 그림 1 에서 볼 수 있다. 제안하는 히스테리틱 벡 변환기는 일반적인 히스테리틱 벡 변환기에서 리플 감소 제어회로와 트래킹 홀드가 활용된 회로[4]에서 서미스터를 추가하여 기존 회로의 출력 리플 전압이 크다는 단점을 보완하기 위해 고안되었다.

회로의 구성은 크게 온 칩과 오프 칩으로 구성된다. 오프 칩으로는 외부소자 LC를 활용한다. 온 칩으로는 R과 S 신호를 생성하기 위한 1차 비교부, 출력 전압을 받기 위한 버퍼부, 스위치드 커패시터부의 스위치를 조절하기 위한 리플 감소 제어 회로부, 출력 전압의 조절을 하기 위한 스위치드 커패시터 부, 실질적으로 출력 전압과 최종 결정된 새로운 기준 전압을 비교하기 위한 2차 비교부, 스위치를 제어하기 위한 래치와 사구간 제어회로, 버퍼, 스위치로 구성되어 있다.

동작 원리는 초기에 V_o 와 연결된 비교기3과 비교기4 에서 V_o 와 VOH , VOL 가 비교된다. $VOH > VOL > V_o$ 일 때 $R=0, S=1$. $VOH > V_o > VOL$ 일 때 $R=0, S=0$. $V_o > VOH > VOL$ 일 때 $R=1, S=0$, 이러한 출력 값 R과 S값은 리플 감소 제어회로 1,2로 입력된다. 리플 감소 제어회로1,2 (Ripple Reduction Controller 1,2 : 이하 RRC 1,2) 에서는 각각 SW1, SW3와 SW2, SW4가 출력이 되고, 이 블록에 서미스터가 포함되어 SW1신호와 SW3의 펄스폭을 제어한다. SW1, SW3와 SW2, SW4 신호는 스위치 커패시터 단에 연결이 되는 스위치를 제어하게 된다. 앞에서 설명한 비교기1, 비교기2는 R과 S를 생성하기 위한 단으로써 실질적으로 스위치 커패시터 단에서 다시 기준비교전압을 결정 하게 되고 비교기 3과 비교기4에 입력이 되어 결국 출력 전압이 형성이 된다. VOH 와 VOL 이 연결된 SW3와 SW4는 초기에 ON이 되었다가 R과 S가 0이 되는 순간에 OFF가 된다. 그때 SW1과 SW2가 ON이 된다. SW1과 SW2가 ON이 된 시간 동안 V_o 가 버퍼역할을 하는 Op-Amp1을 통해 스위치드 커패시터 단에 연결되어, $VOHS$ 와 $VOLS$ 에는 변하는 V_o 전압이 저장이 된다.

이때의 전압이 기준 전압 V_{refH} 와 V_{refL} 보다 크다면 리플 감소 컨트롤 3과 리플 감소 컨트롤 4로 입력이 되어 SWH와 SWL신호가 1이 된다. 결국 VOH 와 VOL 보다 작은 전압 폭을 가지는 $VOHN$ 와 $VOLN$ 신호가 인가된다. $VOHS$ 와 $VOLS$ 의 전압이 SW1과

SW2가 1이 되는 구간에 V_{refH} 와 V_{refL} 보다 작다면 다시 V_{OH} 와 V_{OL} 에 연결이 된다. 이것은 리플 감소 제어회로 내에서 서미스터를 이용하여 SW1과 SW2의 펄스폭을 조절하기 때문이다. 이에 대한 설명을 그림 1의 제안된 벽 변환기의 동작 진행도로 나타내었다.

제안하는 히스테리틱 벽 변환기에서 설계된 리플 감소 제어회로는 4로 구성되어있다 리플 감소 제어회로1은 SW1,SW3를 결정하며, 리플 감소 제어회로2는 SW2, SW4, 리플 감소 제어회로3는 SWH, 리플 감소 제어회로4는 SWL을 결정한다. 각각의 리플 감소 제어회로는 유사하게 구성되어 있으며, 그림 2은 리플 감소 제어회로 블록 다이어그램이 나타내져 있다.

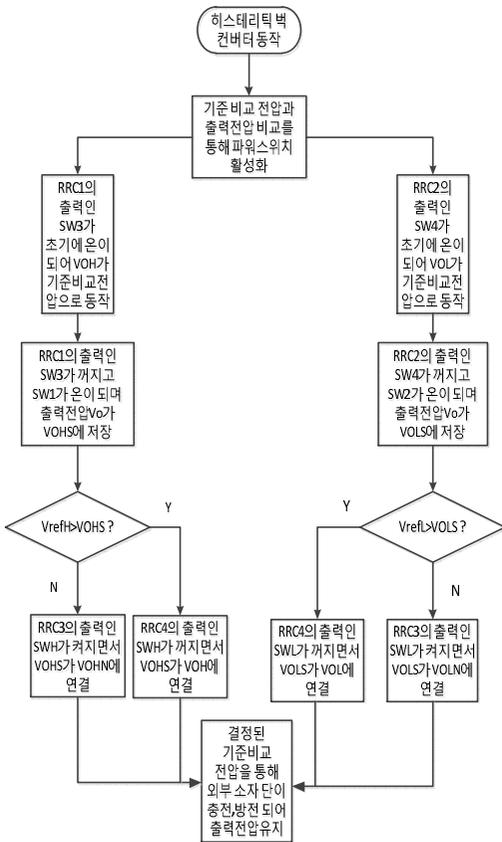


Fig. 2. Process flow of the proposed buck converter
그림 2. 제안된 벽 변환기 동작 진행도

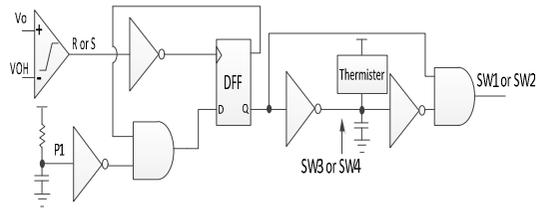


Fig. 3. Block Diagram of Ripple Reduction Controller

그림 3. 리플 감소 제어회로 블록 다이어그램

서미스터를 이용하여 온도에 따라 펄스폭을 조절하는 블록은 리플 감소 제어회로 1, 리플 감소 제어회로2이다. 그림 3에 리플 감소 제어회로 블록 다이어그램을 나타냈다. 리플 감소 제어회로2와 구조가 동일하다. 리플 감소 제어회로1을 통해 설명을 하면, 초기에 P1노드는 초기 오동작을 막기 위해 저항과 커패시터를 통해 서서히 전압이 충전이 된다. DFF에 들어가는 CLK은 R의 반전된 신호가 입력된다. A와 B신호는 AND를 통하여 DFF의 D로 입력이 되고 DFF에서 출력되는 Q신호는 SW3_ 신호가 생성이 된다. T1 노드는 P1과 비슷한 원리로 저항 대신 서미스터가 사용되어 천천히 충전이 된다. 서미스터는 온도에 따라 저항 값이 변하는 소자이므로 온도범위에 따라 변하는 저항 값이 변하므로 흐르는 전류량이 변한다. 이것으로 인해 SW1의 펄스폭을 조절 할 수가 있다.

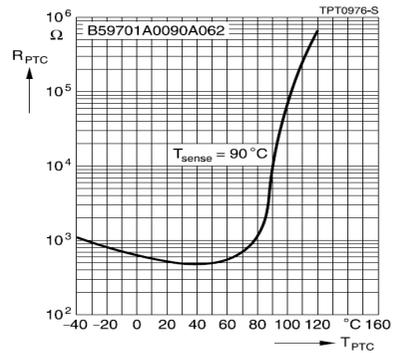


Fig 4. Datasheet of EPCOS “B59701A0090A062” Thermistor product

그림 4. EPCOS사 “B59701A0090A062” 서미스터 제품의 데이터시트

그림 4는 EPCOS사 “B59701A0090A062” 서미스터 제품의 데이터시트로 온도가 증가함에 따라 저항 값이 증가하는 것을 볼 수 있다. 4장의 모의실험 결과에서는 온도의 기준을 90로 하여 펄스폭을 제어하여 기준 레퍼런스 전압을 결정한다.

III 실험 및 고찰

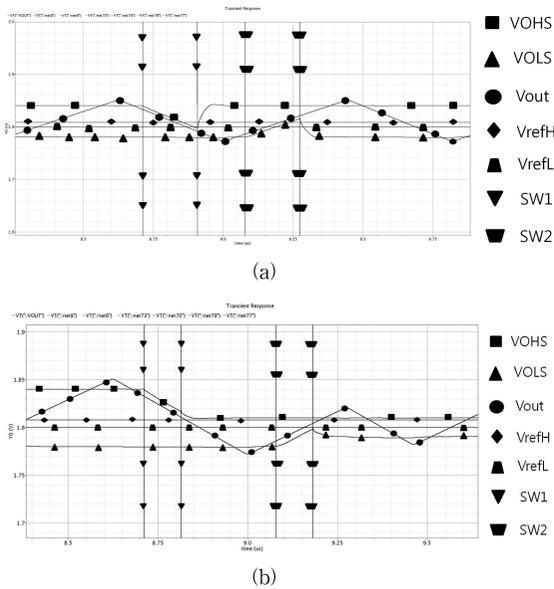


Fig. 5. (a) General Temperature $VOHS > VrefH$, $VrefL > VOLS$ waveform, (b) High Temperature $VrefH > VOHS$, $VOLS > VrefL$ waveform

그림 5. (a) 일반적인 온도의 $VOHS > VrefH$, $VrefL > VOLS$ 파형, (b) 높은 온도의 $VrefH > VOHS$, $VOLS > VrefL$ 파형

Table 1. Simulation result of Ripple Reduction Controller
표 1. 리플 감소 제어회로의 시뮬레이션 결과

온도(°C)	저항(Ω)	전류(μA)	SW 펄스폭(ns)
-40	1000	510	70.5
-20	800	512	69
0	600	513	68.5
20	500	514	68
40	500	514	68
60	500	514	68
80	1000	510	70.5
90	7000	350	127
100	10000	270	170

그림 5. (a)는 서미스터가 $-40^{\circ}\text{C} \sim 90^{\circ}\text{C}$ 일 때의 히스테리틱 벅 컨버터의 출력 파형으로 $VOHS > VrefH$, $VrefL > VOLS$ 로 전압이 SW1와 SW2 펄스가 1에서 0이 되고 각각 VOHN과 VOLN에 연결된 것을 볼 수 있다. 그림 5. (b)는 서미스터가 $91^{\circ}\text{C} \sim 120^{\circ}\text{C}$ 일 때의 히스테리틱 벅 컨버터의 출력 파형으로 SW1과 SW2가 1인 구간에 $VrefH > VOHS$, $VOLS > VrefL$ 되며 다시 VOH와 VOL로 연결이 된다. 두 그림 (a)와 (b)를 보면 SW1과 SW2의 폭이 차이가 있음을 볼 수 있다. 서미스터의 저항 값이 변화면서 전류량이 조절되어 펄스폭이 변한 것이다. 출력 리플 전압은 (a)경우에 이상적으로 $(VOH - VOHN) + (VOLN - VOL)$ 만큼의 출력 리플 전압을 감소시킬 수 있다. 표1. 은 리플 감소 제어회로에 대한 결과 파형이다. 그림4의 데이터 시트를 통해 온도에 대한 저항 값을 나타내었고, 그림 3의 리플 감소 제어회로 블록 다이어그램에서 SW3 or SW4 노드에 흐르는 전류와 SW1 or SW2 노드의 SW 펄스폭을 표1에 나타 내었다. 온도 80 이후로 전류량에 의해 펄스폭이 급격히 증가하는 것을 확인 할 수 있다. 또한 커패시터 용량에 따라 전체적인 값을 조절 할 수 있다.

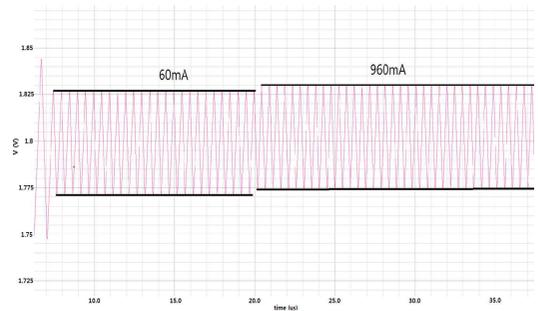


Fig. 6. simulation result of Load Regulation
그림 6. 부하 레귤레이션 실험 결과

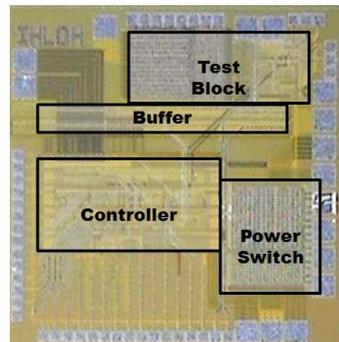


Fig. 7. Layout of hysteretic buck converter design
그림 7. 설계된 히스테리틱 벅 변환기 레이아웃

부하 레귤레이션은 출력 부하에 흐르는 전류가 변동 되었을 때 변하는 전압을 나타내는 지표이다. 전 원모드관리 회로의 평가에서 필요한 사항으로 휴대기 기의 대기모드상태에서 동작모드로 전환되었을 때 안정적 인 동작을 해야 한다. 그림 6 은 출력 부하 전류 가 60mA에서 960mA로 변동 시켰을 때의 로드 레귤 레이션으로 1.8V에서 1.805V로 출력평균전압이 변동 하였다. 로드레귤레이션 값은 0.011mV/mA 이다. 그림 7은 히스테리틱 벽 변환기 레이아웃이다. 레이아웃은 오차 증폭기와 비교기 그리고 리플 감소 제어회 로를 포함하는 제어 단, 전력스위치를 구동하기 위한 버퍼 단, 전력 스위치, 그리고 각각의 블록을 검사하 기 위한 검사단으로 구성되어 있다.

표2는 기존의 변환기와의 성능 비교 분석 결과로 [4]과 비교하면 주파수가 0.9MHz로서 본 논문에 비해 주파수가 낮은 만큼 효율을 높이는 걸 볼 수 있고, 출력 리플 전압은 5mV 차이가 난다.[5]는 주파수 폭 변조에서 동작 시키는 구조로 본 논문과 비교했을 때 출력 리플은 유지시켰지만 효율이 낮지만 리플 전압 은 비슷한 수치를 가졌다. [6]는 적은 용량의 인덕터 와 커패시터를 사용하여 설계한 논문으로 리플 전압 이 15mV만큼 더 본 논문보다 큰 것을 볼 수 있다.

Table 2. Comparison of performance between the proposed DC-DC Buck Converter and existing paper DC-DC converter

표 2. 제안한 DC-DC 벽 변환기와 기존 논문과의 성능 비교

Ref. No.	[4]	[5]	[6]	This Work
Date	2012	2007	2011	-
Input Voltage	3.5	1.4~4.2	12	3.3
Output Voltage	1	0.5	1.3	1.8
Type	Buck	Buck	Buck	Buck
Switching Freq.	0.9Mhz	600kHz	430MHz	1-3MHz
Efficiency	92.7 %	83 %	-	91 %
L / C	4.7uH/10uF	1uH/20uF	500nH/15mF	4.7uH/10uF
Output Ripple	30mV	27mV	40mV	25mV

IV 결론

본 논문에서는 히스테리틱 벽 변환기의 출력리플전압을 개선하기 위하여 서미스터를 이용하여 온도에 따라 두 비교 전압을 조절하여 온도에 적응형인 히스테리틱 벽 변환기를 설계하였다. 서미스터를 활용하기 위해 설계 된 리플 감소 제어회로는 서미스터가 온도가 변함으로서 생성되는 펄스폭이 변화되어 그 펄스 폭 만큼 센싱 되는 시간이 변하여 두 비교전압을 변화 시킬 수 있었다. 이러한 설계를 통하여 온도에 따라 출력 리플 전압을 개선시킬 수 있다. 본 논문은 히스테리틱 벽 변환기의 장점인 빠른 응답 속도와 저 전력은 휴대용 기기에 적합하지만, 다른 구조의 벽 변환기에 비해 비교적 큰 출력 리플을 가지고 있다. 그래서 히스테리틱 벽 변환기에서 두 비교전압의 크기여유를 뒤야하는 요소 중 하나가 온도 변화에 따른 회로 성능 변화이고, 이 점을 착안하여 높은 온도일 때는 두 비교 전압 크기를 여유 있게 결정하고, 회로에 민감하지 않은 온도일 때는 두 비교 전압 크기를 낮추어 출력 전압 리플을 개선했다.

본 논문의 히스테리틱 벽 변환기는 동부 0.35um BCDMOS 공정으로 설계 되었으며 3.3V의 입력 전압을 받아 1.8V의 출력 전압을 내보낸다. 출력 리플 전압은 온도가 높았을 때는 80mV내외를 유지 하였으며, 일반적인 온도에서는 25mV내외로서 출력 리플 전압을 개선시킬 수 있었다.

이와 같이 출력 리플 전압을 개선시키기 위해 설계 된 서미스터를 이용한 히스테리틱 벽 변환기는 빠른 응답 속도와 적은 전력 소모, 저 면적을 가짐으로서 대기모드의 점유율이 높은 배터리기반 휴대용 기기에 사용 될 수 있다.

References

[1] P. D. Abram, and A. P. Chandrakasan, "Ultra Low Power Control Circuits for PWM Converters," IEEE Power Electronics Specialists Conference, pp. 21 - 27, June 1997

[2] F. Su, W.-H ki, and C.-Y. Tsui, "Ultra Fast Fixed-Frequency Hysteretic Buck Converter with Maximum Charging Current Control and Adaptive Delay Compensation for DVS Applications,"IEEE Trans. on Solid-state Circuits, Vol. 43, No.4, pp.815-822, April 2008.

[3] R. Redi and J. Sun, "Ripple-Based Control of Switching Regulators - An Overview," IEEE Trans. on Power Electronics, Vol.24, No.12, pp.2669- 2680, December 2009.

- [4] Chin-Log wey, "A Fast Hysteretic Buck Converter with Adaptiv Ripple Controller" - MWSCAS pp.1156-1159 5-8Aug. 2012
- [5] B. Sahu and G. A. Rincon-Mora, "An accurate, low-voltage, CMOS switching power supply with adaptive on-time pulse-frequency modulation (PFM) control," IEEE Trans. Circuits Syst. I, vol. 54, no. 2, pp.312 - 321, Feb. 2007.
- [6] A. Borrell, "Simple Low-Cost Hysteretic Controller for Multiphase Synchronous Buck Converters" IEEE Trans. Vol.58, pp.2355-2365, June. 2011

BIOGRAPHY

Lee Dong-Hun (Student Member)



2013 : BS degree in Electronic Engineering, INHA University.
 2013 ~ 2014 : MS degree in Electronic Engineering, INHA University.

Yoon Kwang-Sub (Member)



1982 : BS degree in Electronic Engineering, INHA University.
 1983 : MS degree in Electronic Engineering, Georgia Institute of Technology.
 1989 : PhD degree in Electronic Engineering, Georgia Institute of Technology.

1989 : Georgia Institute of Technology Research Assistant

1992 : Silicon Systems Inc, Tustin Calif, U.S.A
 Senior Design Engineer

1992 ~ Present : Professor in Dept. of Electronic Engineering, INHA University.