

## HfO<sub>2</sub> 열처리 온도 및 두께에 따른 RRAM의 전기적 특성

최진형 · 유종근 · 박종태\*

### Electrical Characteristics of RRAM with HfO<sub>2</sub> Annealing Temperatures and Thickness

Jin-Hyung Choi · Chong Gun Yu · Jong-Tae Park\*

Department of Electronics Engineering, Incheon National University, Incheon 406-772, Korea

#### 요 약

본 연구에서는 RRAM (Resistive Random Access Memory) 소자의 HfO<sub>2</sub> 열처리 온도와 두께에 따라 소자의 전기적 특성을 측정하였다. 제작한 소자는 상부전극이 Pt/Ti(150nm), 하부전극은 Pt(150nm), 산화층 HfO<sub>2</sub>의 두께는 45nm와 70nm이고, 열처리를 하지 않은 소자와 500℃, 850℃로 열처리를 한 3종류이다. 온도에 따라 소자의 전기적 성능으로 셋/리셋 전압, 저항변화를 측정하였다. 온도에 따른 기본특성 분석 실험 결과 온도가 증가함에 따라 셋 전압은 감소하고 리셋 전압은 증가하여 감지 여유 폭이 감소하였다. 열처리 온도가 850℃ 소자가 고온 특성이 가장 우수한 것을 보였다. HfO<sub>2</sub> 산화층의 두께 45nm 소자가 70nm 소자보다 감지 여유 폭이 크지만 결함으로 LRS(Low Resistive State)에서 저항이 큰 것으로 측정되었다. HfO<sub>2</sub> 산화층 증착 시 결함을 줄일 수 있는 공정조건을 설정하면 초박막의 RRAM 소자를 제작할 수 있을 것으로 기대된다.

#### ABSTRACT

The electrical characteristics of RRAM with different annealing temperature and thickness have been measured and discussed. The devices with Pt/Ti top electrode of 150nm, Pt bottom electrode of 150nm, HfO<sub>2</sub> oxide thickness of 45nm and 70nm have been fabricated. The fabricated device were classified by 3 different kinds according to the annealing temperature, such as non-annealed, annealed at 500℃ and annealed at 850℃. The set and reset voltages and the variation of resistance with temperatures have been measured as electrical properties. From the measurement, it was found that the set voltages were decreased and the reset voltage were increased slightly, and thus the sensing window was decreased with increasing of measurement temperatures. It was remarkable that the device annealed at 850℃ showed the best performances. Although the device with thickness of 45nm showed better performances in the point of the sensing window, the resistance of 45nm devices was large relatively in the low resistive state. It can be expected to enhance the device performances with ultra thin RRAM if the defect generation could be reduced at the HfO<sub>2</sub> deposition process.

**키워드** : 저항성 메모리, 열처리 온도, HfO<sub>2</sub> 산화층 두께

**Key word** : Resistive Random Access Memory, annealing temperature, HfO<sub>2</sub> oxide thickness

접수일자 : 2013. 12. 27 심사완료일자 : 2014. 02. 21 게재확정일자 : 2014. 03. 05

\* **Corresponding Author** Jong-Tae Park(E-mail:jtpark@incheon.ac.kr, Tel:+82-32-835-8445)

Department of Electronics Engineering, Incheon National University, Incheon 406-772, Korea

**Open Access** <http://dx.doi.org/10.6109/jkiice.2014.18.3.663>

print ISSN: 2234-4772 online ISSN: 2288-4165

©This is an Open Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License(<http://creativecommons.org/licenses/by-nc/3.0/>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.  
Copyright © The Korea Institute of Information and Communication Engineering.

## I. 서 론

최근에 고집적도와 고속 및 저소비전력의 장점을 갖는 비휘발성 기억소자인 RRAM에 대한 연구가 활발히 진행되고 있다. 특히 RRAM 소자는 공정이 비교적 간단하기 때문에 임베디드 시스템에 응용이 용이하므로 앞으로 모바일 기기를 비롯한 전자 제품에 많이 사용될 것으로 기대 된다. RRAM의 구조는 메탈 전극 사이에 산화층 물질을 샌드위치 형태로 넣어 만든 것으로 제작이 용이하고 산화층 및 전극 재료에 따라 소자의 전기적 특성 차이가 심하다.

RRAM의 기본적인 동작 원리는 제작된 소자에 높은 전압을 인가하여 전도성 필라멘트를 형성하는 소위 포밍 과정을 한 후에 다시 인가된 전압에 의해 산화층에 전도성 필라멘트가 형성 (셋)이 유지되면 두 전극사이의 저항이 작고 전도성 필라멘트가 일부분 단절(리셋)이 되면 저항이 크게 되는 저항 변화를 이용하여 데이터 "1" 과 "0"을 저장하게 된다[1-2]. 전도성 필라멘트가 양의 전압에서 형성되고 단절이 되는 단극성 RRAM과 양의 전압에서 필라멘트가 형성되고 음의 전압에서 단절되는 양극성 RRAM의 2 종류가 있다. 인가된 전압에 따라 산소 이온의 이주에 의해 전도성 필라멘트가 형성되므로 RRAM은 공정 조건과 산화층 및 전극 재료의 종류에 매우 민감하다[3-4].

산화층으로는 NiO<sub>x</sub>, TiO<sub>x</sub>, CuO<sub>x</sub>, HfO<sub>x</sub> 등 다양한 유전체가 연구되고 있으며 전극으로는 Pt, TiN, Ti, 등이 많이 사용되고 있다 [5-9]. 특히 HfO<sub>2</sub>는 유전상수가 크므로 소자의 성능을 개선할 수 있어 RRAM 뿐만 아니라 CMOS 소자공정에도 많이 사용되고 있다. 상극의 Ti는 HfO<sub>2</sub>로 캡핑 층으로 사용된다. 또 소자 제작 후에 열처리 조건에 따라 HfO<sub>2</sub>의 유전상수와 포밍 전압이 변하게 되므로 최적의 열처리 공정에 대한 연구가 필요하다. 산화층 및 전극의 재료와 공정 방법 및 조건에 따라 소자의 특성이 많이 변하므로 최적의 공정 조건을 찾는 연구가 필요하다.

일반적으로 산화층의 두께가 크면 포밍 전압이 높으므로 이 전압을 줄이기 위해 얇은 산화층 만드는 연구가 진행되고 있다. 참고문헌에 의하면 산화층의 두께가 약 3nm이하이면 포밍 과정이 필요 없다는 연구도 보고되고 있다[10-11].

RRAM을 기억소자로 사용하기 위해서는 고온에서

프로그램부터 산소를 결핍시켜 산소 저장 장소 역할을 하므로 쓰기과 지우기를 10<sup>6</sup> 이상으로 해도 데이터를 유지하고 있어야하며 저장된 데이터는 장시간 유지되어야 하므로 고온에서 소자의 전기적 특성 분석은 매우 중요하다. 고온에서 산화층내의 산소 이온의 이주에 의한 셋 및 리셋 전압과 저항의 변화에 대한 연구가 활발히 진행되고 있다[12].

본 연구에서는 HfO<sub>2</sub> 산화층으로 제작한 RRAM의 열처리 온도와 두께에 따른 소자의 특성을 측정분석하고 온도에 따른 소자의 전기적 특성 변화를 측정 분석하였다.

## II. 소자 제작

그림1은 HfO<sub>2</sub>를 산화층으로 제작한 RRAM 소자 구조를 나타낸 것이다. 제작한 구조는 간단한 MIM (Metal-Insulator-Metal) 구조로서 (100) 방향의 p-형 Si 기판위에 열산화 방법으로 두께 300nm의 SiO<sub>2</sub>를 성장시킨 후 전자 빔 방법으로 두께 150nm의 하부 전극 Pt를 증착하였다. 다음 과정으로 아세톤과 iso-propanol으로 세정을 한 후에 DC 스퍼터링으로 HfO<sub>2</sub>를 증착한 후에 두께 150nm의 상부전극 Pt/Ti을 전자빔 방법으로 증착하였다. 그 후에 하부전극으로 Pt(150nm)를 증착하였다. 제작된 소자의 HfO<sub>2</sub> 두께는 45nm와 70nm의 2 종류이며 열처리를 하지 않은 것과 500 °C, 850 °C로 열처리 한 3종류이다.

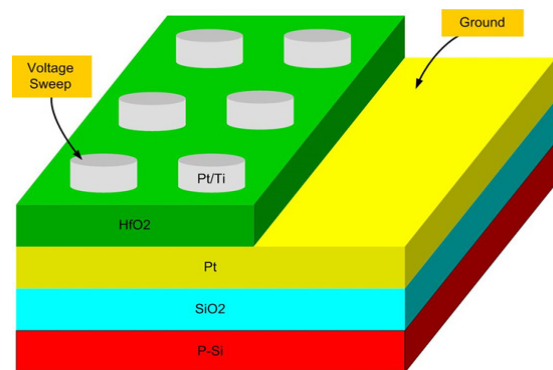


그림 1. 제작한 RRAM 소자 구조.  
Fig. 1 Device structure of fabricated RRAM.

### III. 결과 및 고찰

#### 3.1. HfO<sub>2</sub>의 열처리 온도에 따른 소자 특성

그림 2는 HfO<sub>2</sub> 두께가 70nm인 소자의 열처리 온도에 따른 DC 저항 스위칭 특성을 나타낸 것이다. 처음에 약 10MV/cm 이상으로 높은 양의 전압을 인가하면 HfO<sub>2</sub> 산화층의 격자로부터 산소가 떨어져 나온다. 산소 이온은 하부 전극 근처에서 상부 전극으로 이주하면서 산소가 없는 빈자리를 형성하여 전도성 필라멘트가 형성 된다. 이 전압을 포밍 과정이라고 하며 열처리 하지 않은 소자, 500℃ 및 850℃로 열처리 한 소자의 포밍 전압은 각각 4.2V, 6.0V 및 7.8V 이었다. 측정 시 소자의 항복현상을 고려하여 전류 상한선을 10mA로 고정하였다.

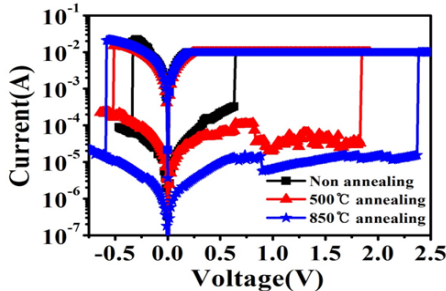


그림 2. 열처리 온도에 따른 DC 저항 스위칭 특성  
Fig. 2 DC resistive switching characteristics with annealing temperatures

그림으로부터 열처리 온도가 증가할수록 셋 및 리셋 전압이 큰 것을 알 수 있다. 셋 전압은 열처리하지 않은 소자는 0.6V, 500℃로 열처리한 소자는 1.8V, 850℃로 열처리 한 소자는 2.4V 이었다. 리셋 전압은 열처리하지 않은 소자는 -0.4V, 500℃로 열처리한 소자는 -0.5V, 850℃로 열처리 한 소자는 -0.6V 이었다. 열처리 하지 않은 소자의 셋 및 리셋 전압이 작은 것은 HfO<sub>2</sub> 산화층에 결함이 많아서 산소 결핍의 증가로 인해 전도성 필라멘트 형성이 쉽기 때문이다 [6]. 포밍 전압을 줄이기 위해서는 열처리를 하지 않는 것이 좋으나 그림으로부터 OFF 전류가 증가하여 저항이 높은 상태 (HRS)의 특성이 좋지 않는 것을 볼 수 있다. RRAM 소자의 읽기는 소자에 흐르는 전류 또는 저항에 따라 데이터가 “0”인지 “1”인지를 분간하게 되므로 HRS와 저항이 낮은 상태 (LRS)의 비가 중요하다.

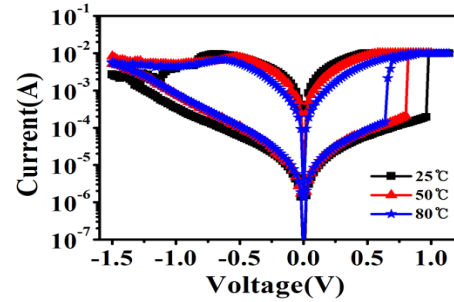


그림 3. 측정 온도에 따른 DC 저항 스위칭 특성  
Fig. 3 DC resistive switching characteristics with measurement temperatures

그림으로부터 열처리 온도가 증가할수록 HRS/LRS가 증가하는 것을 알 수 있다.

그림 3은 박막 두께가 45nm 이고 500℃에서 열처리된 소자의 고온에서의 DC 저항 스위칭 특성을 나타낸 것이다. 상온에서 셋 전압은 1.0V 이었으나 50℃와 80℃에서는 각각 0.8V와 0.7V로 감소하였다. 마찬가지로 리셋 전압도 상온에서는 -0.75V이었으나 50℃ 및 80℃에서는 각각 -0.7V와 -0.6V로 증가하였다. 이런 측정결과는 HfO<sub>2</sub> 산화층을 사용한 RRAM 타 연구결과와 일치하는 것이다[13]. 그림으로부터 온도가 증가할수록 HRS에서 OFF 전류가 증가하는 것을 알 수 있다. 일반적으로 OFF 전류가 증가하는 것을 설명하기 위하여 Schottky, Poole-Frenkel, 터널링 전도 모델 및 Quantum Point Contact (QPC) 모델이 제안 되었다 [14-16]. 본 연구에서는 HRS에서는 상부 전극과 HfO<sub>2</sub> 사이에 전도성 필라멘트가 단절되는 부분을 산소 이온이 터널링하여 지나가는 것이 연구결과와 일치하는 것으로 사료된다. HfO<sub>2</sub>내에 있는 산소원자가 필라멘트로부터 전자를 받으면 산소이온이 되고 산소이온의 이주에 따라 RRAM의 HRS/LRS 스위칭 특성이 결정된다. 결정에서 결합 이론에 의하면 산소 이온이 전위장벽을 터널링하여 빈자리를 만들 확률은 다음과 같이 전위장벽 높이 (E)에 의하여 결정된다[17].

$$p \propto \exp(-E/K_B T) \quad (1)$$

여기서 K<sub>B</sub>는 볼츠만 상수이고 T는 측정 온도이다. 온도가 증가하면 결합을 만들 확률이 증가하므로 트랩을 통한 터널링이 증가한다. 또한 온도가 증가할수록

유효전위장벽 높이가 감소하므로 터널링이 증가하게 되어 OFF 전류가 증가하게 된다. 이런 OFF전류의 증가는 리셋 전압의 감소를 초래하므로 RRAM소자의 고온 동작에서 데이터 유지 시간을 단축하게 된다. 고온에서는 산소이온의 확산속도가 빠르게 되어 ON 전류가 증가할 수 있으나 산소이온은 HfO<sub>2</sub>내의 결함과 산란을 많이 하게 되어 ON 전류가 감소하게 된다. 즉 산소이온의 확산 속도와 산란은 상충관계가 있으므로 ON 전류는 어느 것이 더 지배적이나에 따라 결정된다. 고온에서 ON전류의 감소는 산소 이온의 확산 증가보다는 산란이 증가하기 때문이라는 기존 연구결과와도 일치한다[16].

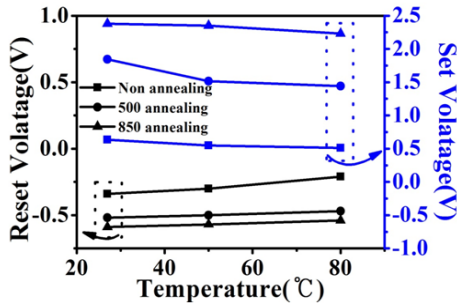


그림 4. 열처리 온도와 측정온도에 따른 셋 및 리셋 전압  
Fig. 4 Set and reset voltage with annealing and measurement temperatures

그림 4는 열처리 하지 않은 소자와 500°C 및 850°C에서 열처리한 소자의 측정온도에 따른 셋 및 리셋 전압을 나타낸 것이다. 열처리 하지 않은 소자의 셋 전압이 열처리한 소자보다 훨씬 낮고 모든 소자에서 온도가 증가할수록 셋 전압이 감소함을 알 수 있다. 온도에 따른 셋 전압의 변화가 850°C로 열처리한 소자가 가장 작음을 알 수 있다. 그리고 열처리 하지 않은 소자는 온도가 증가할수록 리셋 전압이 증가하지만 열처리한 소자는 리셋 전압 변화가 아주 적게 증가하는 것을 알 수 있다. 그림 4로부터 열처리하지 않은 소자보다 열처리를 850°C로 한 소자가 OFF 전류와 셋 및 리셋 전압 특성 면에서 우수하다는 것을 알 수 있다.

그림 5는 열처리 온도 및 측정온도에 따른 HRS 및 LRS 특성을 나타낸 것이다. DC 저항 스위칭 특성에서 읽기 전압을 0.1V로 고정하였을 때의 저항을 나타낸 것이다. 그림으로부터 온도가 증가할수록 HRS 변화는 크

지만 LRS 변화는 크지 않는 것을 알 수 있다. 그 결과로 850°C에서 열처리한 소자는 상온에서 HRS/LRS=3.2 x10<sup>3</sup> 이었으나 80°C에서는 5.2x10<sup>2</sup>으로 많이 감소된 것을 확인할 수 있다. 특히 열처리 하지 않는 소자와 열처리를 한 소자의 LRS 변화는 거의 없는 것을 알 수 있다. 850°C로 열처리한 소자의 HRS 변화가 열처리를 안 한 소자와 500°C로 열처리한 소자보다 작은 것을 알 수 있다. RRAM 소자에서 리셋 후의 저항은 전도성 필라멘트가 단절된 유효 반경 크기에 반비례하므로 열처리 및 측정온도에 따라 전도성 필라멘트의 반경이 변한다고 생각된다. 열처리를 고온에서 할수록 결함이 적기 때문에 전도성 필라멘트의 반경이 작고 또 고온 측정에서도 유효 반경 증가가 적을 것으로 사료되어 HRS 저항 변화가 적은 것으로 판단된다. LRS에서의 저항은 전도성 필라멘트의 유효 반경 크기보다는 전자의 이동에 의해서 결정되므로 고온에서 ON 전류가 일부 감소로 저항이 약간 증가하지만 HRS보다 변화가 심하지 않는 것으로 사료된다. RRAM 소자의 감지 여유 폭을 증가시키기 위해서는 850°C에서 열처리하는 것이 바람직함을 알 수 있다. 결론적으로 그림 4와 그림5의 특성으로부터 850°C로 열처리한 소자가 열처리를 하지 않은 소자와 500°C로 열처리한 소자보다 특성이 우수한 것을 알 수 있다.

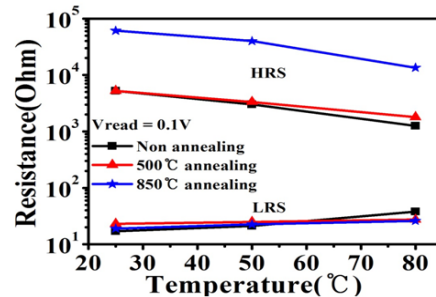


그림 5. 열처리 온도와 측정 온도에 따른 HRS 및 LRS 저항 변화  
Fig. 5 Resistance variation with annealing and measurement temperatures

### 3.2. HfO<sub>2</sub>의 두께에 따른 소자 특성

그림 6은 HfO<sub>2</sub> 산화층 두께가 45nm 및 70nm인 소자의 DC 저항 스위칭 특성을 나타낸 것이다. 모든 소자는 850°C로 열처리를 하였고 측정온도는 상온이다. 포밍

전압은 45nm 소자는 약 4.7V 이었고 70nm 소자는 약 6.0V로 산화층 두께가 증가할수록 포밍 전압이 증가하는 것을 알 수 있었다. 이런 결과는 포밍 전압은 산화층 두께에 비례한다는 타 연구결과와 일치하는 것이다 [10]. 그림으로부터 70nm 소자의 셋 및 리셋 전압은 1.8V와 -0.5V로 45nm 소자의 1.0V와 -0.75V보다 큰 것을 알 수 있으며 전체적으로 스위칭 특성이 오른쪽으로 약간 이동된 것과 같이 보인다. 참고문헌에 의하면 HfO<sub>2</sub> 산화층 두께가 3nm 이하이면 포밍 과정이 필요하지 않는 것으로 보고되었[10-11]. 본 연구에서 45nm 소자는 포밍 전압이 약 4.7V로 셋 전압보다는 큰 것을 알 수 있다.

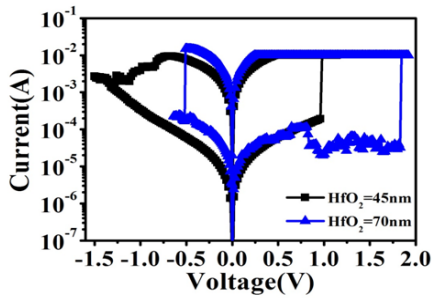


그림 6. 45nm 및 70nm인 소자의 DC 저항 스위칭. 산화층 두께가 45nm의 포밍 전압은 4.7V이고 산화층 두께가 70nm의 포밍 전압은 6.0V이다

Fig. 6 DC resistive switching of 45nm and 70nm devices. The forming voltages of oxide thickness of 45nm and 70nm are 4.7V and 6.0V, respectively

그림 7은 HfO<sub>2</sub> 산화층 두께가 45nm 및 70nm인 소자의 온도에 따른 HRS 및 LRS 특성을 나타낸 것이다. 온도가 증가할수록 산화층 두께에 상관없이 2 소자의 HRS는 감소하였으나 LRS는 45nm 소자에서 증가하는 것을 알 수 있다. 그 결과 온도에 따른 HRS/LRS는 상온에서는 45nm 소자가 특성이 좋으나 온도가 80℃로 증가하면 거의 비슷한 것을 알 수 있다. 이것은 45nm 소자의 제작 시에 생성된 결함이 70nm보다 많기 때문에 사료된다. 포밍 전압을 낮게 또는 없애기 위해서는 산화층 증착 시에 결함을 줄이는 방법이 중요함을 알 수 있다.

그림으로부터 얇은 산화층의 소자를 제작할 시에 결함을 줄일 수 있는 증착 방법이 확립되면 박막 산화층 소자가 더 RRAM 소자로 적합함을 알 수 있다.

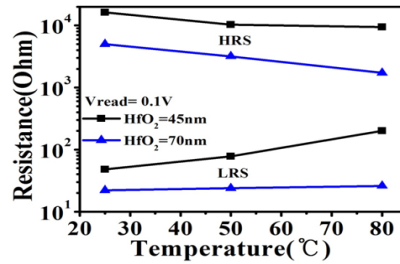


그림 7. 45nm 및 70nm인 소자의 HRS 및 LRS 변화. 고온에서 HRS는 감소하고 LRS는 증가한다

Fig. 7 Variation of HRS and LRS of 45nm and 70nm devices. HRS is decreased and LRS is increased at elevated temperatures

#### IV. 결론

열처리 온도와 HfO<sub>2</sub> 산화층의 두께가 다른 RRAM 소자를 제작하여 고온에서 소자의 전기적 특성을 측정 분석하였다. 열처리를 하지 않은 소자보다 열처리를 한 소자의 전기적 특성이 좋았으며 고온에서 850℃로 열처리한 소자의 셋 및 리셋 전압 변화가 작았고 높은 HRS/LRS 비를 유지하였다. 또 산화층 두께가 45nm와 70nm인 소자의 전기적 특성으로부터 45nm의 LRS 특성이 좋지 않으므로 소자를 제작할 시에 결함을 줄일 수 있는 증착 조건을 확립하면 얇은 산화층 소자가 RRAM 특성이 우수할 것으로 사료된다. 특히 결함이 많지 않게 산화층 두께 10nm이하로 RRAM을 제작하면 포밍 전압을 인가하지 않아도 되므로 저전력 모바일 용 소자로 유용할 것으로 사료된다.

#### 감사의 글

본 연구는 2013년도 인천대학교 지원에 의하여 수행되었습니다.

#### REFERENCES

[ 1 ] H.-S. P. Wong, H.-Y. Lee, S. Yu, Y.-S. Chen, Y. Wu, P.-S. Chen, B. Lee, F. T. Chen, M. Tsai, "Metal-oxide RRAM,"



- Proceedings of the IEEE*, Vol. 100, No.6, pp.1951-1962, 2012.
- [ 2 ] Kuan-Chang Chang, Tsung-Ming Tsai, Ting-Chang Chang, Hsing-Hua Wu, Jung-Hui Chen, et. all, "Characteristics and Mechanisms of Silicon-Oxide-Based Resistance Random Access Memory," *IEEE Electron Device Lett*, Vol. 34, No. 3, pp.399-401 2013.
- [ 3 ] S. Yu and H.-S. P. Wong, "A phenomenological model for the reset mechanism of metal oxide RRAM," *IEEE Electron Device Lett*, Vol. 31, No. 12, pp. 1455 - 1457, 2010.
- [ 4 ] Frederick T. Chen, Heng-Yuan Lee, Yu-Sheng Chen, Shakh Ziaur Rahaman, Chen-Han Tsai, et. all, "Resistance Instabilities in a Filament-based Resistive Memory," *IEEE international IRPS*, 2013.
- [ 5 ] Chung-Wei Hsu, Tuo-Hung Hou, Mei-Chin Chen, I-Ting Wang, and Chun-Li Lo, "Bipolar Ni/TiO<sub>2</sub>/HfO<sub>2</sub>/Ni RRAM With Multilevel States and Self-Rectifying Characteristics," *IEEE Electron Device Lett*. Vol. 34, No. 7, pp.885-887, 2013.
- [ 6 ] H. Kondo, H. Kaji, T. Fujii, K. Hamada, M.Arita, Y.Takahashi, "The influence of annealing temperature on ReRAM characteristics of metal/NiO/metal structure," *IOP Conf. Series: Materials Science and Engineering 8*, pp. 012034, 2010
- [ 7 ] A. Beck, J. G. Bednorz, C. Gerber, C. Rossel and D. Widmer, "Reproducible switching effect in thin oxide films for memory applications," *Appl. Phys. Lett*, Vol. 77, pp. 139-141, 2000.
- [ 8 ] S. Seo, M. J. Lee, D. H. Seo, E. J. Jeoung, D. S. Suh, Y. S. Joung, I. K. Yoo, I. R. Hwang, et. all, "Reproducible resistance switching in polycrystalline NiO films," *Appl. Phys. Lett.*, Vol. 85, pp. 5655 - 5657, 2004.
- [ 9 ] C. Rohde, B. J. Choi, D. S. Jeong, S. Choi, J. S. Zhao, and C. S. Hwang, "Identification of a determining parameter for resistive switching of TiO<sub>2</sub> thin films," *Appl. Phys. Lett*, Vol. 86, p.262907, 2005.
- [10] H. Y. Lee, P. S. Chen, T. Y. Wu, Y. S. Chen, C. C. Wang, P. J. Tzeng, C. H. Lin, F. Chen, C. H. Lien, and M.-J. Tsai, "Low power and high speed bipolar switching with a thin reactive Ti buffer layer in robust HfO<sub>2</sub> based RRAM," in *IEDM Tech. Dig*, 2008, pp. 297 - 300.
- [11] Q. Mao, Z. Ji and J. Xi, "Realization of forming-free ZnO-based resistive switching memory by controlling film thickness," *IOP J. Phys. D : Appl. Phys*, Vol. 47, No. 4, 2014.
- [12] Z. Fang, H.Y.Yu, W.J.Liu, N. Singh, G.Q.Lo, "Resistive RAM Based on HfOx and its Temperature Instability Study," *World Academy of Science, Engineering and Technology 48*, pp.905-907, 2010.
- [13] D. Ielmini, "Modeling the Universal Set/Reset Characteristics of Bipolar RRAM by Field-and Temperature-Driven Filament Growth," *IEEE Trans. Electron Devices*. Vol. 58, No.12, pp. 4300-4317, 2011.
- [14] U. Russo, D. Ielmini, C. Cagli, A.L. Lacaita, S. Spiga, C. Wiemer, M. Perego, and M. Fanciulli, "Conductive filament switching analysis and self-accelerated thermal dissolution model for reset in NiO-based RRAM," in *IEDM Tech, Dig*, 2007, pp.775-778.
- [15] J. Borghetti, D.B. Strukov, M.D. Pickett, J.J. Yang, D.R. Stewart, and R.S. Williams, "Electrical transport and thermometry of electroformed titanium dioxide memory switches," *J. Appl. Phys*. Vol.106, p.124304, 2009.
- [16] C. Walczyk, D. Walczyk, T. Schroeder, T. Bertaud, M. Sowinska, M. M. Frascchke, et. all "Impact of Temperature on the Resistive Switching Behavior of Embedded HfO<sub>2</sub>-Based RRAM Devices," *IEEE Trans. Electron Devices*. Vol. 58, No.9, pp.3124-3131, 2011.
- [17] C. Kittel, Introduction to solid state Physics (8th ed), pp. 585-591.



최진형(Jin-Hyung Choi)

2014.2 : 인천대학교 전자공학과 학사

2014.3 ~ 현재 : 인천대학교 전자공학과 석사

※관심분야 : RRAM, CMOS, SOI/MOSFET, Nano-scale



**유종근(Chong-Gun Yu)**

1985.2 : 연세대학교 전자공학과 학사  
1987.2 : 연세대학교 전자공학과 석사  
1993.12 : Iowa State University 전기 및 컴퓨터공학과 Ph.D.  
2009.8 ~ 2010.7 : UC Davis 방문교수  
1994.3 ~ 현재 : 인천대학교 전자공학과 교수  
※관심분야 : CMOS Analog/Mixed-mode IC 설계, RFIC 설계



**박종태(Jong-Tae Park)**

1981.2 : 경북대학교 전자공학과 학사  
1983.8 : 연세대학교 전자공학과 석사  
1987.2 : 연세대학교 전자공학과 박사  
1983.8 ~ 1985.8 : 금성반도체(주) 연구소 연구원  
1991.1 ~ 1991.12 : MIT Post Doc.  
2000.7 ~ 2001.8 : UC Davis 방문교수  
1987.3 ~ 현재 : 인천대학교 전자공학과 교수  
※관심분야 : RRAM, CMOS Reliability, Nano-scale CMOS, SOI/MOSFET, RF-CMOS