

비대칭 DGMOSFET의 상·하단 게이트전압에 대한 문턱전압이하 스윙

정학기*

Subthreshold Swing for Top and Bottom Gate Voltage of Asymmetric Double Gate MOSFET

Hakkee Jung*

Department of Electronic Engineering, Kunsan National University, Gunsan 573-701, Korea

요약

본 연구에서는 비대칭 이중게이트(double gate; DG) MOSFET의 상·하단 게이트전압에 대한 문턱전압이하 스윙을 분석하였다. 비대칭 DGMOSFET는 4단자소자로서 상단과 하단의 게이트단자에 별도의 전압을 인가할 수 있는 구조이다. 그러므로 문턱전압이하 영역에서 전송특성을 분석하기 위해선 상단게이트전압에 대한 문턱전압이하 스윙뿐만 아니라 하단게이트전압에 대한 문턱전압이하 스윙의 변화도 분석하여야 한다. 이를 위하여 가우시안 분포 함수를 이용한 포아송방정식의 해석학적 전위분포를 구하여 문턱전압이하 스윙에 대한 해석학적 모델을 제시하였다. 이 문턱전압이하 모델을 이용하여 문턱전압이하 스윙을 상·하단 게이트 전압에 따라 관찰한 결과, 문턱전압이하 스윙은 게이트전압에 따라 크게 변화하는 것을 알 수 있었다. 특히 상·하단 게이트 전압에 따라 전도중심이 변화하며 이로 인하여 문턱전압이하 스윙에 영향을 미치고 있다는 것을 알 수 있었다.

ABSTRACT

This paper has analyzed the subthreshold swings for top and bottom gate voltages of asymmetric double gate(DG) MOSFET. The asymmetric DGMOSFET is four terminal device to be able to separately bias for top and bottom gates. The subthreshold swing, therefore, has to be analyze not only for top gate voltage, but also for bottom gate voltage. In the pursuit of this purpose, Poisson equation has been solved to obtain the analytical solution of potential distribution with Gaussian function, and the subthreshold swing model has been presented. As a result to observe the subthreshold swings for the change of top and bottom gate voltage using this subthreshold swing model, we know the subthreshold swings are greatly changed for gate voltages. Especially we know the conduction path has been changed for top and bottom gate voltage and this is expected to greatly influence on subthreshold swings.

키워드 : 비대칭 DGMOSFET, 문턱전압이하 스윙, 포아송방정식, 상·하단 게이트 전압

Key word : asymmetric DGMOSFET, subthreshold swing, Poisson equation, top and bottom gate voltage

접수일자 : 2013. 12. 02 심사완료일자 : 2013. 12. 30 게재확정일자 : 2014. 01. 13

* **Corresponding Author** Hakkee Jung(E-mail:hkjung@kunsan.ac.kr, Tel:+82-63-469-4684)
Department of Electronic Engineering, Kunsan National University, Gunsan 573-701, Korea

Open Access <http://dx.doi.org/10.6109/jkiice.2014.18.3.657>

print ISSN: 2234-4772 online ISSN: 2288-4165

©This is an Open Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License(<http://creativecommons.org/licenses/by-nc/3.0/>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.
Copyright © The Korea Institute of Information and Communication Engineering.

I. 서 론

단채널 CMOSFET는 집적도 향상을 위하여 채널길이를 작게 하면 심각한 단채널효과가 발생한다[1]. 즉, 문턱전압이하 스윙 특성의 저하, 문턱전압의 이동, 드레인유도장벽감소 등 수 많은 문제점들이 노출되어 전송특성 모델을 이용한 해석이 난해해지며 실험값과의 괴리도 증가하고 있다. 특히 문턱전압이하 특성에 미치는 단채널효과는 디지털응용에 저해가 되며 고집적을 위한 생산성 향상에 걸림돌이 되고 있다. 단채널효과 중에 디지털 집적회로에 가장 큰 영향을 미치는 효과는 문턱전압이하 스윙 값의 저하문제이다. 문턱전압이하 스윙 값이 나빠지면 차단전류가 증가하여 OFF상태에서도 무시할 수 없는 전류가 흘러 정상적인 집적회로 동작에 큰 장애요인이 되고 있다. 이러한 문턱전압이하 스윙 특성의 저하를 줄이기 위한 노력의 일환으로 개발되고 있는 트랜지스터가 게이트 주변에 2개 이상의 게이트단자를 제작하는 이중게이트(Multi Gate; Mug) FET이다[2]. MugFET는 여러 개의 게이트단자에 의하여 채널 내의 전하를 제어하므로 게이트단자에 의한 전하의 제어능력을 향상시켜 결국 문턱전압이하 스윙 특성을 향상시킬 수 있다. MugFET 중 가장 간단한 구조가 이중게이트(Double Gate; DG) MOSFET이다. DGMOSFET는 게이트단자를 채널의 상·하단에 제작함으로써 게이트단자에 의한 전류제어능력을 두 배 정도 향상시킬 수 있다. 특히 대칭 DGMOSFET[3,4]는 상·하단 게이트구조를 동일하게 제작하므로 상·하단에 동일한 게이트전압을 인가하여야만 하나 비대칭 DGMOSFET[5,6]는 상·하단의 게이트단자전압을 각각 다르게 인가시킬 수 있다.

4단자(4 Terminal; 4T) 소자인 비대칭 DGMOSFET에 대하여 Ding 등[5]은 비대칭 DGMOSFET의 표면전위 및 문턱전압이하 스윙특성을 해석하였으나 채널도핑농도를 일정하게 유지하면서 포아송방정식을 이용한 해석학적 전위분포를 구하였다. 그러나 실제 도핑농도는 가우스분포를 보이므로 본 연구에서는 가우스분포함수를 도핑분포로 사용하여 해석학적 전위분포를 구할 것이다. 이 전위분포모델을 이용하여 상단게이트 전압 뿐만이 아니라 하단게이트 전압에 대한 문턱전압이하 스윙 모델을 제시할 것이며 이 모델을 이용하여 문턱전압이하 스윙을 구한 후 상·하단 게이트단자 전압

에 대한 문턱전압이하 스윙값의 변화를 고찰할 것이다.

2장에서는 비대칭 DGMOSFET에 대한 포아송방정식의 해석학적 전위모델 및 상·하단 문턱전압이하 스윙에 대하여 설명할 것이며 3장에서 문턱전압이하 스윙값에 대하여 고찰 할 것이다. 또한 4장에서 결론을 맺고자 한다.

II. 비대칭 이중게이트 MOSFET의 전위분포 및 문턱전압이하 스윙 모델

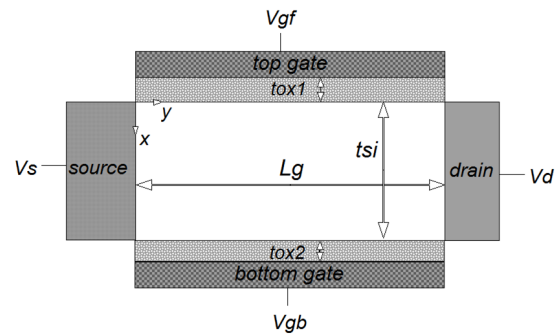


그림 1. 비대칭 이중게이트 MOSFET의 개략도
Fig. 1 Schematic view of asymmetric double gate MOSFET

비대칭 DGMOSFET는 4단자 소자로서 그림 1과 같이 상·하단에 각각 게이트전압을 인가할 수 있는 구조이다. 채널 폭 방향으로의 전위분포 변화는 대칭 DGMOSFET와 동일하게 무시할 수 있으므로 x, y 방향에 대해서만 다음과 같은 포아송방정식을 이용하여 전위분포를 구한다[7].

$$\frac{\partial^2 \phi(x,y)}{\partial x^2} + \frac{\partial^2 \phi(x,y)}{\partial y^2} = \frac{qn(x)}{\epsilon_s} \quad (1)$$

여기서 ϵ_{si} 는 실리콘의 유전율이며 $n(x)$ 는

$$n(x) = N_p \exp\left(-\frac{(x-R_p)^2}{2\sigma_p^2}\right) \quad (2)$$

와 같은 가우스함수를 이용한다. 여기서 N_p 는 최대 도핑 분포 값, R_p 와 σ_p 는 각각 이온주입범위 및 분포편차

를 나타낸다. 식 (1)을 풀면 다음과 같은 급수형태의 전위분포를 구할 수 있다[5].

$$\phi(x,y) = V_s + \frac{V_d}{L_g}y + \sum_{n=1}^{\infty} A_n(x) \sin \frac{n\pi y}{L_g} \quad (3)$$

이며 여기서 n 은 정수이며 V_s 는 기준전압인 소스 전압, V_d 는 드레인 전압, $A_n(x)$ 는

$$A_n(x) = C_n e^{k_n x} + D_n e^{-k_n x} + B_1 \operatorname{erf}(\tau + b_1/2) + B_2 \operatorname{erf}(\tau + b_2/2) + A \quad (4)$$

이다[8]. $k_n = n\pi/L_g$ 이며 $B_1, B_2, b_1, b_2, C_n, D_n$ 은 참고문헌[8]에 표기하였다. 또한 A 는 적분 상수이다. 이때 상단의 게이트 전압 V_{gf} 에 대한 문턱전압이하 스윙 S_f 와 하단의 게이트 전압 V_{gb} 에 대한 문턱전압이하 스윙 S_b 는 식 (3)을 이용하면 다음과 같이 표현할 수 있다.

여기서 C_1 과 C_2 는 각각 상단과 하단 게이트 산화막의 커패시턴스 값이며 $C_t = C_1 C_2$ 이다.

문턱전압이하 스윙을 구하기 위하여 식(5)의 y 에 상단게이트의 표면전위 중 최소값을 갖는 y_{\min} 값을 구하여 대입하며 식(6)의 y 에는 하단게이트 표면전위의 최소값에 해당하는 y_{\min} 값을 대입한다. x 는 다음과 같은

식에서 전도중심 x_{eff} 값을 대입하여 문턱전압이하 스윙값을 구한다.

$$x_{eff} = \frac{\int_0^{t_{si}} x e^{\phi(x, y_{\min})/V_t} dx}{\int_0^{t_{si}} e^{\phi(x, y_{\min})/V_t} dx} \quad (7)$$

본 연구에서는 이와 같이 구한 상단과 하단 게이트전압의 변화에 대한 문턱전압이하 스윙 값의 변화를 분석할 것이다. 참고문헌 [8]에서 알 수 있듯이 C_n 와 D_n 는 V_{gb} 와 V_{gf} 에 영향을 받는 변수 값으로써 결국 $\phi(x,y)$ 값도 V_{gb} 와 V_{gf} 에 영향을 받는다. 그러므로 상단게이트 전압에 의한 문턱전압이하 스윙값 S_f 와 하단게이트 전압에 의한 문턱전압이하 스윙값 S_b 도 V_{gb} 와 V_{gf} 에 의하여 변화될 것이다.

특히 y_{\min} 과 x_{eff} 도 $\phi(x,y)$ 의 형태에 따라 결정되는 값이므로 문턱전압이하 스윙 값을 계산하는 모든 값들이 V_{gb} 와 V_{gf} 에 영향을 받는 것을 알 수 있다. 그러므로 본 연구에서는 상·하단 게이트 전압에 따라 전도중심 및 문턱전압이하 스윙 값의 변화를 고찰하고자 한다.

$$S_f = \frac{\partial V_{gf}}{\partial \log_{10} I_d} = 2.3 V_t \frac{\partial \phi(x,y)}{\partial V_{gf}} = 2.3 V_t \left[\sum_{n=1}^{\infty} \frac{2}{n\pi} (1 - (-1)^n) \left(\frac{e^{k_n(x-t_{si})} (C_t - C_1 \epsilon_{si} k_n) - e^{-k_n(x-t_{si})} (C_t + C_1 \epsilon_{si} k_n)}{e^{-k_n t_{si}} (C_1 - \epsilon_{si} k_n) (C_2 - \epsilon_{si} k_n) - e^{k_n t_{si}} (C_1 + \epsilon_{si} k_n) (C_2 + \epsilon_{si} k_n)} \right) \right]^{-1} \cdot \sin \frac{n\pi y}{L_g} \quad (5)$$

$$S_b = \frac{\partial V_{gb}}{\partial \log_{10} I_d} = 2.3 V_t \frac{\partial \phi(x,y)}{\partial V_{gb}} = 2.3 V_t \left[\sum_{n=1}^{\infty} \frac{2}{n\pi} (1 - (-1)^n) \left(\frac{e^{k_n x} (C_t - C_2 \epsilon_{si} k_n) - e^{k_n x} (C_t - C_2 \epsilon_{si} k_n)}{e^{-k_n t_{si}} (C_1 - \epsilon_{si} k_n) (C_2 - \epsilon_{si} k_n) - e^{k_n t_{si}} (C_1 + \epsilon_{si} k_n) (C_2 + \epsilon_{si} k_n)} \right) \right]^{-1} \cdot \sin \frac{n\pi y}{L_g} \quad (6)$$

III. 문턱전압이하 스윙 값에 대한 결과 고찰

본 연구에서 제시한 문턱전압이하 스윙 모델의 타당성을 입증하기 위하여 그림 2에 이차원 수치해석학적 방법인 Medici 시뮬레이션 결과[4]와 비교하였다. 시뮬레이션 조건은 $L_g = 25 \text{ nm}$, $t_{si} = 10 \text{ nm}$ 이며 상·하단 산화막 두께는 $t_{ox1} = t_{ox2} = 1 \text{ nm}$, 그리고 최대 도핑농도 $N_p = 10^{16}/\text{cm}^3$ 이다.

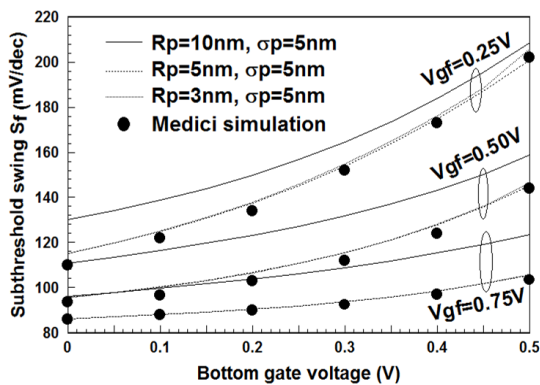


그림 2. 채널 내 도핑형태 및 게이트 전압의 변화에 따른 문턱전압이하 스윙값
 Fig. 2 Subthreshold swings for doping profiles in channel and gate voltages

그림에서 알 수 있듯이 이온주입범위가 5 nm 이하이고 분포편차가 5 nm일 때 두 결과가 잘 일치하고 있다는 것을 관찰할 수 있다. 그러므로 식 (5)는 타당하다고 사료된다. 그림에서 알 수 있듯이 상단 게이트전압이 증가할수록 문턱전압이하 스윙은 감소하며 하단 게이트전압이 증가할수록 문턱전압이하 스윙은 증가한다. 또한 상단 게이트전압이 클 경우보다 상단 게이트전압이 작을 경우, 하단 게이트전압에 의한 문턱전압이하 스윙의 변화는 더욱 증가하고 있다는 것을 알 수 있다. 이온주입범위가 5 nm이상으로 증가하면 Medici 시뮬레이션 결과와 오차가 심해지며 이온주입범위가 감소할수록 Medici 시뮬레이션결과와 잘 일치하고 있다는 것을 관찰할 수 있다. 즉, 이온주입범위와 분포편차는 매우 중요한 파라미터라는 것을 알 수 있다.

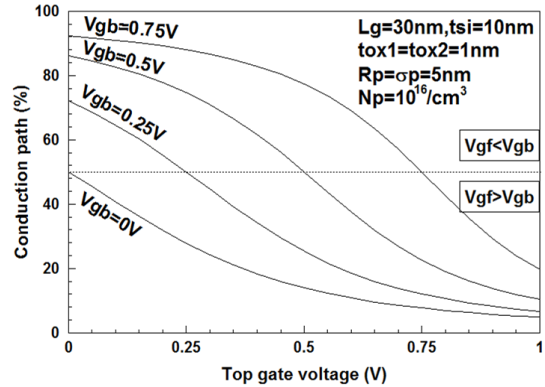


그림 3. 상·하단 게이트전압에 따른 전도중심의 변화
 Fig. 3 The change of conduction path for top and bottom gate voltages

문턱전압이하 스윙은 인가된 게이트전압에 따라 크게 변화하는 것을 알 수 있으며 상단과 하단에 별도로 게이트 전압을 인가할 수 있는 비대칭 DG MOSFET의 경우는 상·하단 게이트 전압에 따라 문턱전압이하 스윙특성이 크게 변화할 것이다. 그러므로 본 연구에서는 식 (5)와 식 (6)을 이용하여 문턱전압이하 스윙 값을 구할 것이며 식 (7)에 의하여 구한 전도중심이 문턱전압이하 스윙에 미치는 영향을 고찰할 것이다.

그림 3에 상·하단 게이트전압의 변화에 따른 전도중심의 변화에 대하여 식 (7)을 이용하여 구한 결과를 도시하였다. 0 %인 지점이 상단게이트와 상단게이트 산화막의 계면영역이며 100 %인 지점이 하단게이트와 하단게이트 산화막의 계면영역을 그림 2의 x 축 방향에서 알 수 있다. 예상한 바와 같이 상단게이트전압이 하단게이트전압보다 클 경우 전도중심은 상단영역에 존재하며 하단게이트전압이 커지면 전도중심은 하단으로 이동한다는 것을 알 수 있다. 물론 상·하단 게이트전압이 동일할 경우, 전도중심은 정확히 중심에 위치한다. 이와 같은 전도중심의 이동에 의하여 상·하단 게이트전압의 변화는 채널 내 전하의 제어에 큰 영향을 미치고 있다는 것을 알 수 있다.

그림 4에 상·하단 게이트전압의 변화에 따른 문턱전압이하 스윙 값을 도시하였다. 화살표로 표기한 부분은 상·하단 게이트전압이 동일한 경우이다. 상·하단 게이트전압이 동일한 경우는 문턱전압이하 스윙 값도 동일함을 관찰할 수 있다.

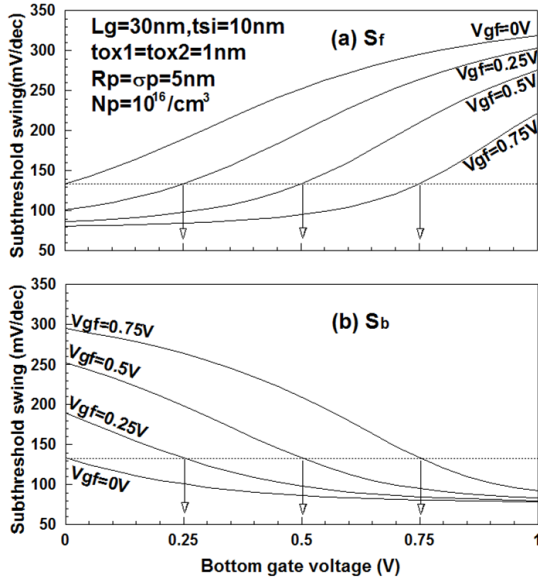


그림 4. 하단 게이트전압에 따른 문턱전압이하 스윙의 변화 (a) S_f (b) S_b
 Fig. 4 The change of conduction path for bottom gate voltages (a) S_f (b) S_b

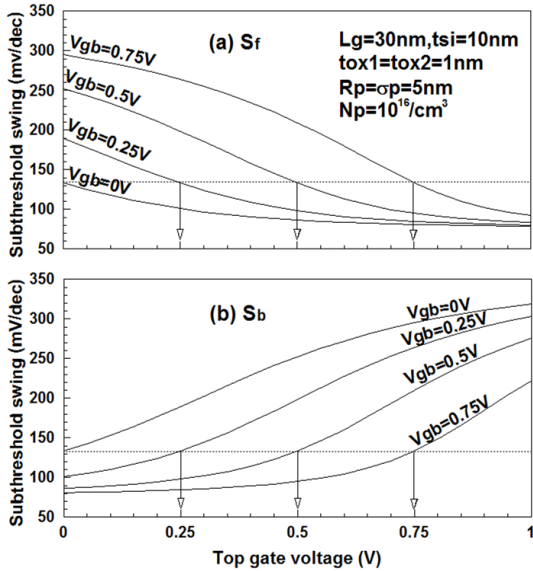


그림 5. 상단 게이트전압에 따른 문턱전압이하 스윙의 변화 (a) S_f (b) S_b
 Fig. 5 The change of conduction path for top gate voltages (a) S_f (b) S_b

또한 그림 4(a)와 (b)에서 하단게이트전압이 상단게이트전압보다 작을 경우, 그림 3에서 알 수 있듯이 전도 중심이 상단으로 이동하여 S_f 는 감소하며 S_b 는 증가하는 것을 알 수 있다. 이와 반대로 하단게이트전압이 상단 게이트 전압보다 클 경우, 전도 중심은 하단영역으로 이동하여 S_f 는 증가하며 S_b 는 감소하여 하단게이트전압에 대한 전류제어가 더욱 큰 영향을 미치고 있는 것을 알 수 있다.

상단게이트전압에 따른 문턱전압이하 스윙의 변화를 관찰하기 위하여 그림 5에 하단게이트 전압을 파라미터로 하여 문턱전압의 변화를 도시하였다. 화살표는 전술한 바와 같이 상·하단 게이트전압이 동일한 경우이다. 상단게이트전압이 하단게이트전압보다 클 경우, 그림 3에서 알 수 있듯이 전도 중심은 상단 영역으로 이동하여 S_f 는 감소하며 S_b 는 증가한다. 반면에 상단게이트전압이 하단게이트전압보다 작을 경우, 전도 중심은 하단 영역으로 이동하여 S_f 는 증가하고 S_b 는 감소한다. 즉, 상단과 하단게이트 전압 중 큰 영역으로 전도 중심이 이동하며 전도 중심이 이동한 방향의 문턱전압이하 스윙값은 감소하며 전도 중심이 멀어지는 게이트단자에 의한 전류제어능력은 감소하여 해당 문턱전압이하 스윙 값은 증가하게 된다는 것을 알 수 있다.

IV. 결 론

본 연구에서는 포아송방정식의 해석학적 전위분포를 이용하여 상·하단 게이트 전압의 변화에 대한 비대칭 이중게이트 MOSFET의 문턱전압이하 스윙에 대하여 고찰하였다. 비대칭 이중게이트 MOSFET는 4단자 소자로서 상·하단 게이트 전압에 따라 문턱전압이하 스윙 값도 크게 변화하는 것을 알 수 있었다. 비대칭 이중게이트 MOSFET의 문턱전압이하 스윙을 상·하단 게이트전압 변화에 따라 관찰한 결과, 상단게이트전압이 증가하면 전도 중심은 상단영역으로 이동하여 상단 게이트전압에 의한 전류제어능력이 향상되므로 상단 문턱전압이하 스윙이 감소함을 알 수 있었다. 또한 하단게이트전압이 증가하면 전도 중심은 하단영역으로 이

동하여 하단게이트전압에 의한 전류제어능력이 향상되므로 하단 문턱전압이하 스윙이 감소함을 알 수 있었다. 그러므로 향후 비대칭 이중게이트 MOSFET를 이용한 집적회로 설계 시 상·하단 게이트전압에 의한 문턱전압이하 스윙의 결정에 유의하여야 할 것이다.

REFERENCES

- [1] S.Dimitrijevic, *Principles of Semiconductor Devices*, 2nd ed. New York, Oxford University Press, 2012.
- [2] S.M.Lee, J.Y.Kim, C.G.Yu and J.T.Park, "A comparative study on hot carrier effects in inversion-mode and junctionless MuGFETs," *Solid-State Electronics*, vol.79, no.1, pp.253-257, 2013.
- [3] A.Sengupta and C.K.Sarkar, "Surface potential based analytical modeling of double gate MOSFET with Si and Au nano-dots embedded gate dielectric for non-volatile memory applications," *J. of Computational and Theoretical Nanoscience*, vol.10, no.4, pp.906-913, 2013.
- [4] B.Gonzales, B.Iniguez, A.Lazaro, J.B.Roldan and A.Cerdeira, "An advanced drain current model for DGMOSFETs including self-heating effects," in *2012 8th international Caribbean Conference on Devices, Circuits & Systems (ICCDACS)*, pp.1-4, 2012.
- [5] Z.Ding, G.Hu, J.Gu, R.Liu, L.Wang and T.Tang, "An analytical model for channel potential and subthreshold swing of the symmetric and asymmetric double-gate MOSFETs," *Microelectronics J.*, vol.42, pp.515-519, 2011.
- [6] R.Vaddi, R.P.Agarwal, S.Dasgupta, "Analytical modeling of subthreshold current and subthreshold swing of an underlap DGMOSFET with tied- independent gate and symmetric-asymmetric options," *Microelectronics J.*, vol.42, pp.798-807, 2011.
- [7] D. S.Havaladar, G. Katti, N. DasGupta and A. DasGupta, "Subthreshold Current Model of FinFETs Based on Analytical Solution of 3-D Poisson's Equation," *IEEE Trans. Electron Devices*, vol. 53, no.4, 2006.
- [8] H.K.Jung, "Analysis for Potential Distribution of Asymmetric Double Gate MOSFET Using Series Function," *J. Korea Inst. Inf. Commun. Eng.*, vol.17, no.11, pp.2621-2626, 2013.



정학기(Hak Kee Jung)

1983.3 아주대학교 전자공학과 B.S.
 1985.3 연세대학교 전자공학과 M.S.
 1990.8 연세대학교 전자공학과 Ph.D
 1995.8 일본 오사카대학 교환교수
 2005.8 호주 그리피스대학 교환교수
 1990.3 ~ 현재 군산대학교 전자공학과 교수
 2014.1 ~ 현재 한국정보통신학회 회장
 ※ 관심분야 : 반도체소자 시뮬레이션, 몬테칼로 시뮬레이션, 회로 및 시스템 해석 등