

## 비대칭 이중게이트 MOSFET의 채널도핑에 따른 문턱전압이하 스윙 분석

정학기\*

### Analysis of Subthreshold Swing for Channel Doping of Asymmetric Double Gate MOSFET

Hakkee Jung\*

Department of Electronic Engineering, Kunsan National University, Gunsan 573-701, Korea

#### 요 약

본 연구에서는 비대칭 이중게이트 MOSFET의 채널도핑 변화에 따른 문턱전압이하 스윙의 변화를 분석하였다. 문턱전압이하 스윙은 문턱전압이하 영역에서 발생하는 차단전류의 감소정도를 나타내는 요소로서 디지털회로 적용에 매우 중요한 역할을 한다. 비대칭 이중게이트 MOSFET의 문턱전압이하 스윙을 분석하기 위하여 포아송방정식을 이용하였다. 비대칭 이중게이트 MOSFET는 대칭 이중게이트 MOSFET와 달리 상하단 게이트의 산화막 두께 및 인가전압을 다르게 제작할 수 있다. 본 연구에서는 비대칭 이중게이트 MOSFET의 채널 내 농도변화 및 게이트 산화막 두께 그리고 인가전압 등이 문턱전압이하 스윙에 미치는 영향을 관찰하였다. 특히 포아송방정식을 풀 때 도핑분포함수로 가우스분포함수를 이용하였으며 가우스분포함수의 파라미터인 이온주입범위 및 분포편차에 대한 문턱전압이하 스윙의 변화를 관찰하였다. 분석결과, 문턱전압이하 스윙은 도핑농도 및 분포함수에 따라 크게 변화하였으며 게이트 산화막 두께 및 인가전압에 크게 영향을 받는 것을 관찰할 수 있었다.

#### ABSTRACT

This paper analyzed the change of subthreshold swing for channel doping of asymmetric double gate(DG) MOSFET. The subthreshold swing is the factor to describe the decreasing rate of off current in the subthreshold region, and plays a very important role in application of digital circuits. Poisson's equation was used to analyze the subthreshold swing for asymmetric DGMOSFET. Asymmetric DGMOSFET could be fabricated with the different top and bottom gate oxide thickness and bias voltage unlike symmetric DGMOSFET. It is investigated in this paper how the doping in channel, gate oxide thickness and gate bias voltages for asymmetric DGMOSFET influenced on subthreshold swing. Gaussian function had been used as doping distribution in solving the Poisson's equation, and the change of subthreshold swing was observed for projected range and standard projected deviation used as parameters of Gaussian distribution. Resultly, the subthreshold swing was greatly changed for doping concentration and profiles, and gate oxide thickness and bias voltage had a big impact on subthreshold swing.

**키워드** : 비대칭 이중게이트, 문턱전압이하 스윙, 가우시안 분포, 채널도핑, 포아송방정식

**Key word** : asymmetric double gate, subthreshold swing, Gaussian distribution, channel doping, Poisson equation

접수일자 : 2014. 01. 02 심사완료일자 : 2014. 01. 16 게재확정일자 : 2014. 01. 29

\* **Corresponding Author** Hakkee Jung(E-mail:hkjung@kunsan.ac.kr, Tel:+82-63-469-4684)  
Department of Electronic Engineering, Kunsan National University, Gunsan 573-701, Korea

**Open Access** <http://dx.doi.org/10.6109/jkiice.2014.18.3.651>

print ISSN: 2234-4772 online ISSN: 2288-4165

©This is an Open Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License(<http://creativecommons.org/licenses/by-nc/3.0/>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.  
Copyright © The Korea Institute of Information and Communication Engineering.

## I. 서 론

최근 집적회로에 사용되고 있는 트랜지스터를 극소화하려는 움직임이 메이저급 반도체업체에서 활발히 진행 중에 있다. 삼성전자에서는 차세대 메모리 반도체에 사용되는 트랜지스터구조를 원통형 차지트랩플래시(Charge Trap Flash) 셀 구조를 이용하기로 결정하고 대규모 투자에 나서고 있다. 이는 기존의 메모리구조와 달리 3차원적 구조로서 30 nm급 트랜지스터를 40층 이상 적층하는 기술이 요구되는 고정밀 기술이다. 메모리 소자 뿐만이 아니라 소형화 및 경량화의 상징인 스마트폰 그리고 SSD(Solid State Drive)에 이용가능하며 나아가 테블릿 PC 등 휴대용 장비에도 대폭 적용될 예정이다. 이와 같이 트랜지스터의 구조 및 배열을 3차원으로 향상시키기 위해선 소자구조의 혁신이 요구되고 있다. 현재 가장 광범위하게 사용되고 있는 CMOSFET의 경우 초소형으로 제작하기 위하여 발생하는 단채널 효과 등을 해결하여야만 한다. 그러나 기존의 CMOSFET 구조를 10nm이하의 채널 길이로 제작하면 심각한 단채널 효과가 발생하여 트랜지스터 동작에 커다란 영향을 미치게 된다.

이러한 단채널 효과를 해결하기 위하여 가장 각광받는 소자로 다중게이트 MOSFET(Multi Gate MOSFET; MugFET)가 물방에 오르고 있다. MugFET는 FinFET [1], 이중게이트(Double Gate ; DG) MOSFET[2], 원통형 MOSFET[3] 등 다양한 구조를 가지고 있으나 결국 게이트를 채널주변에 여러 개 제작하여 게이트에 의한 전류제어능력을 향상시킨 트랜지스터이다. MugFET 중 가장 간단한 구조로서 많은 연구가 진행 중인 이중게이트 MOSFET는 게이트단자를 상단과 하단에 제작함으로써 채널 내 전하의 제어를 두 개의 게이트가 담당하도록 하여 게이트 단자에 의한 전류제어능력을 두 배 가까이 향상시킬 수 있다. 대부분 이중게이트 MOSFET구조는 상하단 게이트구조 및 인가전압을 동일하게 유지하는 대칭 이중게이트 MOSFET에 대하여 연구가 진행 중이다. 그러나 상하단 게이트 산화막 두께 및 인가전압 등을 다르게 제작하여 사용하려는 노력이 진행 중이며 이것이 비대칭 이중게이트 MOSFET이다[4,5].

이중게이트 MOSFET는 채널을 저농도로 도핑하여 채널 내 전하들이 이동할 때 발생하는 불순물산란을 감

소시켜 전하의 이동도를 향상시킬 수 있다는 장점뿐만 아니라 채널을 완전결핍상태(fully depleted)로 제작하여 고속 동작에 용이하다. Ding 등[6]은 고정된 채널 내 도핑분포함수를 사용하여 비대칭 이중게이트 MOSFET의 문턱전압이하 스윙을 분석하였으나 본 연구에서는 가우스분포함수를 도핑분포함수로 사용하여 도핑농도 및 분포함수의 변화에 따라 문턱전압이하 스윙의 변화를 관찰하였다. 이를 위하여 대칭적 구조의 이중게이트 MOSFET를 해석한 Tiwari 등[7]의 포아송방정식에 대한 해석학적 전위모델을 이용하였다. 비대칭 이중게이트 MOSFET는 소스, 드레인, 상단게이트 및 하단게이트 단자가 존재하는 4단자소자이며 본 연구에서는 상단과 하단의 게이트 산화막 두께 그리고 인가전압 등에 따른 문턱전압이하 스윙의 변화를 관찰하고자 한다. 특히 채널 내 도핑농도 및 분포의 변화가 비대칭 이중게이트 MOSFET의 문턱전압이하 스윙에 미치는 영향을 관찰하고자 한다.

2장에서는 포아송방정식의 해석학적 전위모델 및 문턱전압이하 스윙모델에 대하여 설명할 것이며 3장에서 이 모델을 적용하였을 경우, 문턱전압이하 스윙의 변화를 도핑농도 및 분포함수에 대하여 고찰하였다. 또한 4장에서 결론을 맺을 것이다.

## II. 비대칭 이중게이트 MOSFET의 문턱전압이하 스윙 모델

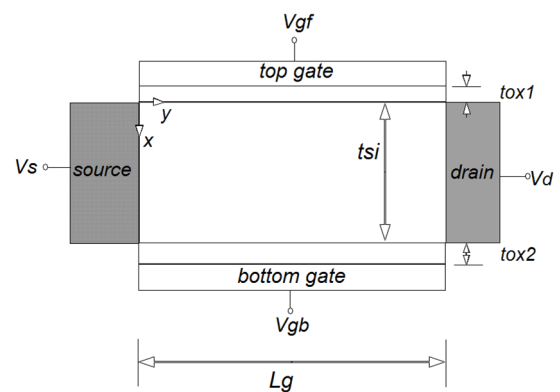


그림 1. 비대칭 이중게이트 MOSFET의 개략도  
Fig. 1 Schematic sectional diagram of asymmetric double gate MOSFET

그림 1은 이 논문에서 사용한 비대칭 이중게이트 MOSFET의 개략도이다.  $z$ 방향에 대한 전위분포에 대한 변화를 무시하면 단지  $x$ 와  $y$ 방향에 대한 전위분포만을 구할 수 있다. 즉, 다음과 같은 이차원 포아송방정의 해를 구한다.

$$\frac{\partial^2 \phi(x, y)}{\partial x^2} + \frac{\partial^2 \phi(x, y)}{\partial y^2} = \frac{qn(x)}{\epsilon_{si}} \quad (1)$$

$$n(x) = N_p \exp\left(-\left\{\frac{x - R_p}{\sqrt{2}\sigma_p}\right\}^2\right) \quad (2)$$

여기서  $\epsilon_{si}$ 는 실리콘의 유전율이며  $n(x)$ 는 가우스 분포함수로 주어진 도핑분포이다.  $N_p$ 는 이온주입 시 도즈 량에 의하여 결정되는 최대 도핑분포 값이며  $R_p$ 와  $\sigma_p$ 는 각각 이온주입범위 및 분포편차를 나타낸다. 식 (1)과 식 (2)를 Ding의 경계조건[6] 등을 적용하여 풀면 다음과 같은 표면전위분포를 구할 수 있다.

$$\phi(x, y) = V_s + \frac{V_d}{L_g} y + \sum_{n=1}^{\infty} A_n(x) \sin \frac{n\pi y}{L_g} \quad (3)$$

여기서  $n$ 은 정수이며  $V_s$ 는 기준전압인 소스 전압,  $V_d$ 는 드레인 전압,  $A_n(x)$ 는

$$A_n(x) = C_n e^{k_n x} + D_n e^{-k_n x} + B_1 \operatorname{erf}(\tau + b_1/2) + B_2 \operatorname{erf}(\tau + b_2/2) + A \quad (4)$$

$$B_1 = \frac{N_p G_n \sigma_p \sqrt{\pi} e^{k_n(x - R_p) + b_1/4}}{2\sqrt{2}k_n}$$

$$B_2 = -\frac{N_p G_n \sigma_p \sqrt{\pi} e^{-k_n(x - R_p) + b_2/4}}{2\sqrt{2}k_n}$$

$$b_1 = \sqrt{2}k_n \sigma_p = -b_2$$

$$\tau = (x - R_p) / \sqrt{2}\sigma_p$$

이다[8].  $k_n = n\pi/L_g$ 이며  $b_1, b_2, C_n, D_n, G_n$  등은 참고문헌[8]에 표기하였다. 또한  $A$ 는 적분 상수로서  $n = \infty$ 에서 0이라는 조건으로 구할 수 있다. 이때 상단의 게이트 전압  $V_{gf}$ 에 대한 문턱전압이하 스윙은 식 (3)을 이용하면 다음과 같이 표현할 수 있다. 즉,

$$S = \frac{\partial V_{gf}}{\partial (\log_{10} I_d)} = 2.3 V_t \left[ \frac{\partial \phi(x, y)}{\partial V_{gf}} \right]^{-1}$$

이며 참고문헌[8]의  $C_n$ 과  $D_n$ 을 이용하여 구하면

$$S = 2.3 V_t \left[ \sum_{n=1}^{\infty} \frac{2}{n\pi} (1 - (-1)^n) \left( \frac{a_4 e^{k_n x} - a_3 e^{-k_n x}}{a_1 a_4 - a_2 a_3} \right) \cdot \sin \frac{n\pi y}{L_g} \right]^{-1} \quad (5)$$

이다. 여기서 계수는

$$a_1 = 1 - k_n \epsilon_{Si} / C_{ox1}$$

$$a_2 = 1 + k_n \epsilon_{Si} / C_{ox1}$$

$$a_3 = e^{k_n t_{Si}} + \epsilon_{Si} k_n e^{k_n t_{Si}} / C_{ox2}$$

$$a_4 = e^{-k_n t_{Si}} - \epsilon_{Si} k_n e^{-k_n t_{Si}} / C_{ox2}$$

이다[8]. 그리고  $C_{ox1}$ 과  $C_{ox2}$ 는 각각 상단과 하단 게이트 산화막의 커패시턴스 값이다.

문턱전압이하 스윙을 구하기 위하여 식(5)의  $y$ 에 상단게이트의 표면전위 중 최소값을 갖는  $y_{min}$  값을 구하여 대입하며  $x$ 는 다음과 같은 식에서 전도중심  $x_{eff}$  값을 대입하여 문턱전압이하 스윙값을 구한다.

$$x_{eff} = \int_0^{t_{Si}} x e^{\phi(x, y_{min})/V_t} dx / \int_0^{t_{Si}} e^{\phi(x, y_{min})/V_t} dx \quad (6)$$

식 (6)에서  $x_{eff}$  값은  $\phi(x, y_{min})$  값에 의존하며 이 값은 이온주입범위 및 분포편차에 따라 변화하기 때문에 Ding 등의 결과에선 유도할 수 없는 도핑형태에 따른 문턱전압이하 스윙 값을 분석할 수 있을 것이다. 즉,  $A_n(x)$ 의 식 (4)에서 계수  $B_1$ 과  $B_2, b_1, b_2, \tau$  등의 식에  $N_p, R_p, \sigma_p$  등과 같은 도핑농도 및 도핑분포함수의 형태를 결정하는 파라미터가 포함되어 있으므로  $A_n(x)$  값은 도핑의 형태에 따라 변화할 것이며 이는 식 (3)의 전위분포 또한 도핑형태에 따라 변화된다는 것을 알 수 있다. 그러므로 전위분포를 이용하여 유도되고 있는 식 (5)의 문턱전압이하 스윙값 역시 도핑농도 및 도핑분포함수에 따라 변화한다는 것을 알 수 있다. 그러므로 본 연구에서는 비대칭 이중게이트 MOSFET에 대한 채널 내 도핑에 따른 문턱전압이하 스윙 값을 분석하고자한다

### III. 채널도핑분포에 따른 문턱전압이하 스윙 결과 고찰

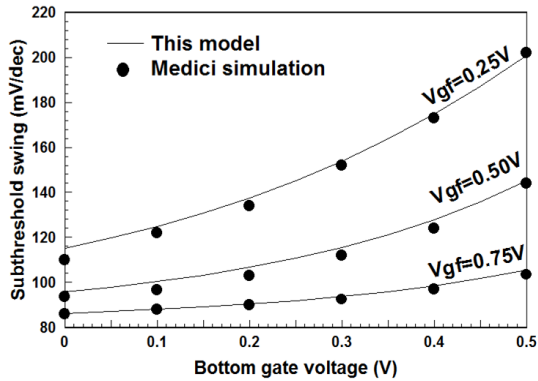


그림 2. 본 연구 모델과 이차원 시뮬레이션을 이용한 상하단 게이트 전압에 대한 문턱전압이하 스윙 비교. 실선; 본 연구 모델, 점; Medici 시뮬레이션  
**Fig. 2** Comparison of this model and 2D numerical simulation for subthreshold swing. line(this model), dot (Medici simulation)

식 (5)의 문턱전압이하 스윙모델의 타당성을 조사하기 위하여 그림 2에 이차원 수치해석 시뮬레이션인 Medici 시뮬레이션 결과[6]와 비교하였다. 이때 이온 주입범위와 분포편차는 5 nm를 사용하였다. 그림 2에서 알 수 있듯이 이차원 수치해석학적 결과와 본 연구에서 제시한 모델이 매우 잘 일치하고 있다는 것을 알 수 있다. 결과에서 알 수 있듯이 상단게이트 전압이 증가하면 문턱전압이하 스윙이 감소하며 하단게이트 전압이 증가할수록 문턱전압이하 스윙 값이 증가하고 있다는 것을 알 수 있다. 이와 같이 비대칭 이중게이트 MOSFET는 상하단 게이트 전압을 별도로 인가할 수 있어 문턱전압이하 스윙의 저하 등 단채널 효과를 보다 효율적으로 제어할 수 있다. 본 연구에서 제시한 문턱전압이하 스윙모델의 타당성이 입증되었으므로 이 모델을 이용하여 채널도핑에 대한 문턱전압이하 스윙을 분석하였다.

그림 3에 본 연구의 문턱전압이하 스윙 모델을 이용하여 도핑농도에 따라 구한 결과를 도시하였다. 또한 게이트 산화막 두께변화에 따른 결과를 관찰하기 위하여 그림 3(a)와 그림 3(b)에 산화막 두께를 변화시켜 도시하였다.

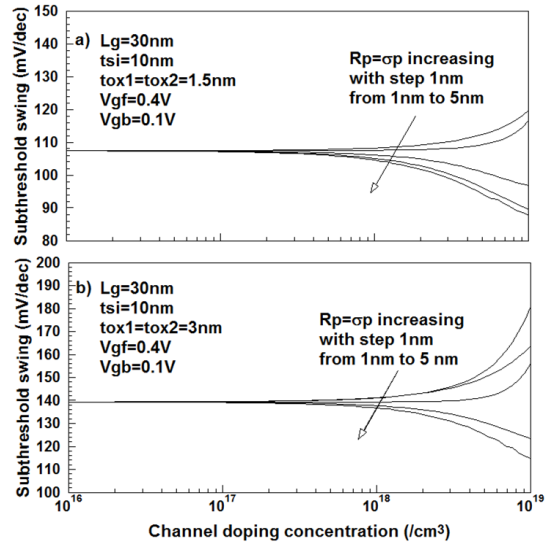


그림 3. 도핑농도 및 도핑분포함수의 형태에 따른 문턱전압이하 스윙의 변화 (a) 게이트 산화막 두께가 1.5 nm일 경우 (b) 게이트 산화막 두께가 3 nm일 경우  
**Fig. 3** Deviation of subthreshold swing for doping concentration and profiles (a) in the case of gate oxide thickness of 1.5 nm and (b) in the case of gate oxide thickness of 3 nm

그림에서 알 수 있듯이 채널도핑 농도가 낮을 경우, 도핑농도 및 도핑분포에 따라 산화막 두께와 관계없이 일정한 결과를 나타내고 있다. 그러나 도핑농도가 증가하여 채널 내 불순물의 절대 갯수가 증가하게 되면 도핑 분포함수에 따라 커다란 변화를 보이고 있었다. 즉, 그림 3(a)에서 알 수 있듯이 이온주입범위 및 분포편차가 증가하여 3 nm 이상의 범위에서 도핑농도가 증가하면 문턱전압이하 스윙도 감소하여 우수한 결과를 나타내지만 2 nm 이하의 경우는 도핑농도가 증가하면 문턱전압이하 스윙이 증가하는 결과를 유도하였다. 게이트 산화막 두께가 두 배로 증가하여 3 nm가 되면 그림 3(b)에서 알 수 있듯이 문턱전압이하 스윙 값이 전반적으로 상승하는 효과를 가져온다. 또한 이온주입범위 및 분포편차가 3 nm 이하에서도 도핑농도에 따른 문턱전압이하 스윙 값이 도핑농도에 따라 증가하는 현상을 보이고 있다. 일반적으로 채널도핑 농도가 증가하면 문턱전압이하 스윙 값이 감소하는 것으로 알려져 있으므로 이온주입범위 및 분포편차는 이에 상응하는 값을 사용하여야만 할 것이다[6].

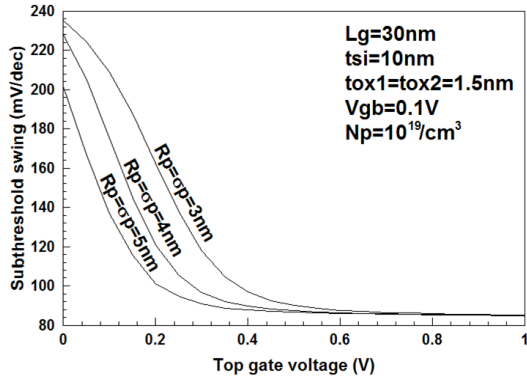


그림 4. 도핑분포함수의 모양을 결정하는 이온주입범위 및 분포편차를 파라미터로 사용한 경우, 상단게이트 전압에 따른 문턱전압이하 스윙의 변화.

Fig. 4 Deviation of subthreshold swing for top gate voltage, used with parameters of projected range and standard projected deviation to determine doping distribution

고 도핑 농도범위에서 문턱전압이하 스윙 값의 감소를 나타내는 이온주입범위 및 분포편차가 3 nm이상의 경우인 그림 3(a)에서, 상단게이트 전압에 따른 문턱전압이하 스윙 값의 변화를 그림 4에 도시하였다. 그림 3에서 이미 설명한 바와 같이 이온주입범위 및 분포편차가 증가할수록 문턱전압이하 스윙 값은 감소하는 것을 알 수 있다. 그러나 감소하는 패턴은 이온주입범위 및 분포편차에 따라 거의 일정하게 유지되고 있다. 또한 상단 게이트 전압이 감소하면 문턱전압이하 스윙 값이 크게 증가하며 상단 게이트 전압이 증가할수록 문턱전압이하 스윙 값이 감소하여 일정한 값을 유지하는 것을 관찰할 수 있다.

특히 상단게이트 전압이 증가하면 이온주입범위 및 분포편차의 변화에 무관하게 문턱전압이하 스윙 값은 거의 일정하게 유지되고 있다는 것을 알 수 있다. 그러므로 문턱전압이하 스윙 값을 작게 유지하기 위해선 이온주입범위 및 분포편차를 가능하면 크게 유지해야하며 상단 게이트 전압도 크게 유지하여야한다. 그러나 문턱전압이하 영역에서 상단게이트 전압은 작아지므로 상단 게이트 전압이 작을 경우 특히 이온주입범위 및 분포편차는 가능하면 큰 값을 사용하여야 한다는 것을 그림 4에서 알 수 있다.

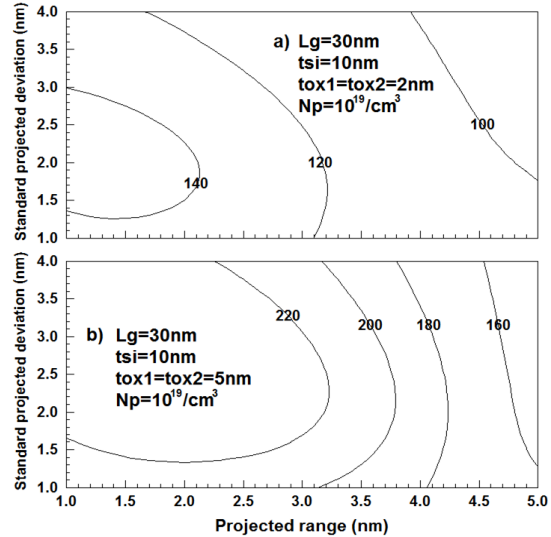


그림 5. 이온주입범위 및 분포편차의 변화에 따른 문턱전압이하 스윙 값의 등고선 그래프 (a) 게이트 산화막 두께가 2 nm일 경우 (b) 게이트 산화막 두께가 5 nm일 경우

Fig. 5 Contours of subthreshold swings for projected range and standard projected deviation (a) in the case of gate oxide thickness fo 2 nm and (b) in the case of gate oxide thickness fo 5 nm

그림 3에서 알 수 있듯이 도핑농도가 낮을 경우, 이온주입범위 및 분포편차에 관계없이 문턱전압이하 스윙 값은 일정하게 유지되므로 도핑농도가  $10^{19} / \text{cm}^3$  이상의 경우 이온주입범위 및 분포편차의 변화에 대한 문턱전압이하 스윙 값의 변화를 그림 5에 도시하였다. 그림 3에서 설명하였듯이 게이트 산화막 두께가 증가하면 이온주입범위 및 분포편차의 크기와 관계없이 문턱전압이하 스윙 값이 증가하고 있다는 것을 알 수 있다. 그림 5(a)(b)를 비교해 보면 게이트 산화막 두께가 증가할수록 이온주입범위에 따른 문턱전압이하 스윙 값의 변화율이 더욱 크다는 것을 관찰할 수 있다. 또한 이온주입범위가 3 nm이하로 작을 경우, 게이트 산화막 두께 변화에 대한 분포편차에 따른 문턱전압이하 스윙 값의 분포가 유사함을 알 수 있다. 그러나 이온주입범위가 증가하고 게이트 산화막 두께가 큰 그림 5(b)의 경우처럼 분포편차보다 이온주입범위에 따라 문턱전압이하 스윙 값이 변화하는 것을 관찰할 수 있다. 이와 같이 이온주입범위 및 분포편차 그리고 도핑강도에 따라 문턱전압이하 스윙 값은 크게 변하고 있다는 것을 알 수 있었다.

#### IV. 결 론

본 연구에서는 비대칭 이중게이트 MOSFET의 채널 도핑 변화 및 게이트 산화막 두께 변화에 따른 문턱전압이하 스윙의 변화를 분석하였다. 비대칭 이중게이트 MOSFET의 문턱전압이하 스윙을 분석하기 위하여 포아송방정식을 이용하였다. 대칭적 이중게이트 MOSFET와 달리 비대칭 이중게이트 MOSFET는 4단자소자로서 상하단 게이트의 산화막 두께 및 인가전압을 다르게 제작할 수 있다는 장점이 있다. 본 연구에서는 비대칭 이중게이트 MOSFET의 채널 내 농도변화, 게이트 산화막 두께, 그리고 인가전압 등이 문턱전압이하 스윙 값에 미치는 영향을 관찰하였다. 도핑분포함수로 가우스분포함수를 사용하여 가우스분포함수의 파라미터인 이온주입범위 및 분포편차에 대한 문턱전압이하 스윙의 변화를 관찰하였다. 분석결과, 고도핑 영역에서 문턱전압이하 스윙 값은 큰 변화를 보이고 있었다.

특히 주어진 시뮬레이션 조건에서 고도핑 영역의 문턱전압이하 스윙 값이 감소하는 이온주입범위 및 분포편차는 약 3 nm 이상이 었다. 상단 게이트 전압이 0.4 V이상으로 증가하면 문턱전압이하 스윙 값은 이온주입범위 및 분포편차에 무관하게 일정하였으며 산화막 두께가 증가할수록 문턱전압이하 스윙 값은 증가하였다. 이상과 같이 문턱전압이하 스윙 값은 도핑농도 및 분포함수에 따라 크게 변화하였으며 게이트 산화막 두께 및 인가전압에 크게 영향을 받는 것을 관찰할 수 있었으므로 향후 비대칭 이중게이트 MOSFET 설계 시 유의하여야 할 것이다.

#### REFERENCES

- [1] A.J.Garcia-Loureiro, N.Seoane, M.Aldegunde and R.Valin, "Implementation of the Density Gradient Quantum Corrections for 3-D Simulations of Multigate Nanoscaled Transistors," *IEEE Trans. on CAD of IC and Systems*, vol.30, no.6, pp841-851, 2011.
- [2] S.Jandhyala and S.Mahapatra, "Inclusion of body doping in compact models for fully-depleted common double gate MOSFET adapted to gate-oxide thickness asymmetry", *Electronics Lett.*, vol.48, no.13, pp.794-795, 2012.
- [3] C.H.Suh, "Two-Dimensional Analytical Model for Deriving the Threshold Voltage of a Short Channel Fully Depleted Cylindrical/Surrounding Gate MOSFET," *J. of Semiconductor Technology and Science*, vol.11, no.2, pp.111-120, 2011.
- [4] H.Lu and Y.Taur, "An analytical potential model for symmetric and asymmetric DGMOSFETs," *IEEE Trans. on Electron Devices*, vol.53, no.5, pp.1161-1168, 2006.
- [5] A.Dey, A.Chakravorty, N.DasGupta and A.DasGupta, "Analytical model of subthreshold current and slope for asymmetric 4T and 3T double-gate MOSFET," *IEEE Trans. on Electron Devices*, vol.55, no.12, pp.3442-3449, 2008.
- [6] Z.Ding, G.Hu, J.Gu, R.Liu, L.Wang and T.Tang, "An analytical model for channel potential and subthreshold swing of the symmetric and asymmetric double-gate MOSFETs," *Microelectronics J.*, vol.42, pp.515-519, 2011.
- [7] P.K. Tiwari, S. Kumar, S. Mittal, V. Srivastava, U. Pandey and S. Jit, "A 2D Analytical Model of the Channel Potential and Threshold Voltage of Double-Gate(DG) MOSFETs with Vertical Gaussian Doping Profile," *IMPACT-2009*, pp.52-55, 2009.
- [8] H.K.Jung, "Analysis for Potential Distribution of Asymmetric Double Gate MOSFET Using Series Function," *J. Korea Inst. Inf. and Commun. Eng.*, vol.17, no.11, pp.2621-2626, 2013.



정학기(Hak Kee Jung)

1983.3 아주대학교 전자공학과 B.S.  
 1985.3 연세대학교 전자공학과 M.S.  
 1990.8 연세대학교 전자공학과 Ph.D  
 1995.8 일본 오사카대학 교환교수  
 2005.8 호주 그리피스대학 교환교수  
 1990.3 ~ 현재 군산대학교 전자공학과 교수  
 2014.1 ~ 현재 한국정보통신학회 회장  
 ※ 관심분야 : 반도체소자 시뮬레이션, 몬테칼로 시뮬레이션, 회로 및 시스템 해석 등