

논문 2014-51-3-19

# 텅스텐 실리사이드 듀얼 폴리게이트 구조에서 CMOS 트랜지스터에 미치는 플로린 효과

(Fluorine Effects on CMOS Transistors in WSix-Dual Poly Gate Structure)

최 득 성\*, 정 승 현\*, 최 강 식\*\*

(Deuk-Sung Choi<sup>©</sup>, Seung-Hyun Jeong, and Kang-Sik Choi)

## 요 약

화학기상증착의 텅스텐 실리사이드 듀얼 폴리 게이트 구조에서 플로린이 게이트 산화막에 미치는 영향을 전기적 물리적 측정 방법을 사용하여 연구하였다. 플로린을 많이 함유한 텅스텐 실리사이드 NMOS 트랜지스터에서 채널길이가 감소함에 따라 게이트 산화막 두께는 감소하여 트랜지스터의 롤오프 특성이 심화된다. 이는 게이트 재 산화막 열처리 공정에 의해 수직방향으로의 플로린 확산과 더불어 수평방향인 게이트 측면 산화막으로의 플로린 확산에 기인한다. 채널길이가 짧아질수록 플로린의 측면방향 확산거리가 작아져 수평방향 플로린 확산이 증가하고 그 결과 게이트 산화막의 두께는 감소하게 된다. 반면에 PMOS 트랜지스터에서는 P형 폴리를 만들기 위한 높은 농도의 붕소가 플로린의 게이트 산화막으로의 확산을 억제하여 채널길이에 따른 산화막 두께 변화 특성이 보이지 않는다.

## Abstract

In chemical vapor deposition(CVD) tungsten silicide(WSix) dual poly gate(DPG) scheme, we observed the fluorine effects on gate oxide using the electrical and physical measurements. It is found that in fluorine-rich WSix NMOS transistors, the gate thickness decreases as gate length is reduced, and it intensifies the roll-off properties of transistor. This is because the fluorine diffuses laterally from WSix to the gate sidewall oxide in addition to its vertical diffusion to the gate oxide during gate re-oxidation process. When the channel length is very small, the gate oxide thickness is further reduced due to a relative increase of the lateral diffusion than the vertical diffusion. In PMOS transistors, it is observed that boron of background doping in p+ poly retards fluorine diffusion into the gate oxide. Thus, it is suppressed the fluorine effects on gate oxide thickness with the channel length dependency

**Keywords** : Chemical Vapor Deposition (CVD), Tungsten Silicide (WSix), Dual Poly Gate (DPG), Fluorine, Dichlorosilane (DCS), Monosilane (MS), Diffusion, NMOS, PMOS

## I. 서 론

CMOS 게이트 전극으로 도핑된 폴리 실리콘(Doped Poly-Si) 위에 화학 기상 증착(Chemical Vapor Deposition) 기법을 이용해 텅스텐 실리사이드(WSix)를 증착하고 후속 열처리 후 폴리사이드(Polycide)를 형성

\* 정회원, 영남이공대학교 전자정보계열  
(Dept. of Electronic & Information Engineering,  
YNC)

\*\* 정회원, SK하이닉스(주) 메모리연구소  
(Memory R&D Divison, SK Hynix)

© Corresponding Author(E-mail:jippsy@ync.ac.kr)

접수일자: 2013년11월20일, 수정완료일: 2014년2월25일

하는 공정이 널리 사용된다. 그 이유는 폴리사이드 박막이 낮은 저항 특성과 온도에 대해 매우 안정적인 모습을 보이기 때문이다. 보통 사용하는 텅스텐 폴리사이드 형성 공정에서 텅스텐 실리사이드를 증착하기 위해서는  $WF_6$  가스를 사용하는데 이 과정에서 필연적으로 플로린(F)이 게이트 산화막에 주입된다. 플로린이 반도체 소자에 미치는 영향에 대해서는 많은 연구들이 이루어졌는데, 그중 중요한 연구는 신뢰성 특성<sup>[1~3]</sup>, 소자 특성 향상<sup>[4~5]</sup>, 게이트 산화막의 물리적 변화에 관한 연구들이<sup>[6]</sup> 있다.

그러나 플로린이 트랜지스터의 채널 길이에 따라 미치는 소자 특성에 대한 연구는 매우 제한적이다. Lin 등이<sup>[7]</sup> 연구한 사례가 그 일 예인데, 게이트 형성 후 Lightly Doped Drain(LDD) 구조를 만들기 위해 인(P)을 실리콘에 주입하고 이어서 플로린을 같은 실리콘 지역에 이온주입 기법을 이용하여 추가 주입하여 플로린이 미치는 트랜지스터의 영향을 채널 길이에 따라 연구하였다. 그들이 발견한 연구 결과는 주입된 플로린이 LDD 이온 주입된 인(P)의 채널방향으로의 확산을 지연시켜 결국 실제적인 채널 길이(Effective Channel Length)가 짧아지는 것을 막는 방법으로 짧은 채널 길이를 갖는 소자 특성(Short Channel Effect)을 개선하였다.

본 논문에서는 화학 기상 증착 기법으로 텅스텐 폴리사이드를 형성한 박막에 대해 플로린이 채널 길이에 따른 CMOS 트랜지스터 문턱전압(Threshold Voltage)의 롤업(Roll-up) 특성에 미치는 영향을 연구하였다. 트랜지스터의 채널 길이가 감소함에 따라, 플로린의 게이트 측면 방향으로의 확산이 영향을 받고 이는 결국 트랜지스터의 소자 특성에 영향을 준다. 증착 시 사용하는 가스에 따라 플로린의 농도가 달라지므로 비교를 위해 플로린을 적게 함유한 Dichlorosilane based WSix(DCS WSix)와 많이 포함한 Monosilane based WSix(MS WSix)를 사용하여 실험하였다. 제조된 트랜지스터의 특성 판단을 위해 전기적 측정과 성분 분석을 위해 SIMS, 그리고 물리적 특성 파악을 위해 TEM 분석을 실시하였다.

## II. 실험방법

실험을 위한 소자 제작은 도핑된 게이트 폴리실리콘

위에 CVD 기법을 이용한 WSix를 증착하는 표준 CMOS 공정을<sup>[8]</sup> 채택하여 진행하였다. 먼저 얇은 트렌치(Shallow Trench) 소자 분리 기술(Device Isolation Technology)을 이용하여 소자 간 분리를 실행 한 후 CMOS 웰(Well)을 형성하였다. 후속공정으로 게이트 모듈(Module) 공정을 진행하였는데, 게이트 산화막은 두 가지 공정으로 구성되는데 먼저 열적 산화막(Thermal Oxidation)을 형성한 후 플라즈마 질화(Plasma Nitridation) 공정을 추가하였다. 이는 붕소(Boron)의 침투를 막기 위한 과정이다. 게이트 막 형성 후 도핑 되지 않은 폴리 실리콘을 증착하고 도핑으로 NMOS 지역은 인, PMOS 지역은 붕소를 이온 주입하였다. 그리고 불순물의 활성화를 위해 후속 열처리 공정을 진행했다. 뒤이어 양 지역에 CVD WSix와 하드마스크(Hardmask) 공정을 진행하고, 게이트 패턴잉(Gate Patterning)과 게이트 식각(Gate Etching)을 진행하고 800 °C 열처리 공정을 하여 식각 시 받은 플라즈마 손상 회복과 게이트 측벽 보호를 위해 재 산화막(Re-Oxidation) 공정을 진행하였다. 재 산화막 공정을 통해 게이트 폴리실리콘과 WSix 두 개의 박막 측면이 산화된다. 여기서 주목할 점은 게이트 재 산화막 공정이 게이트 형성 후 첫 번째 열적 처리라는 사실이다. 즉 WSix에 함유된 플로린이 이 공정을 통해 확산과정이 이루어진다. 후속 공정으로 LDD 구조를 제작하기 위해 인(P)을 주입하고 이어서 게이트 스페이서(Gate Spacer) 형성 및 소스/드레인(Source/Drain) 이온 주입 공정을 진행하였고, 불순물 활성화 및 확산을 위해 RTA(Rapid Thermal Annealing)를 적용하여 어닐링(Annealing) 공정을 1000 °C 20초 동안 진행하였다. 마지막 공정 모듈로 금속화 공정을 진행하였다. 플로린의 농도 차이에 따른 소자 특성의 변화를 비교 하기 위해서 WSix의 증착 시 DCS WSix와 MS WSix를 나누어서 시료를 각각 제조하였다.

## III. 실험결과 및 토의

### 1. NMOS 트랜지스터에 미치는 플로린 효과

그림 1은 두 가지 조건, 즉 DCS와 MS WSix 증착 조건에서 박막을 증착하여 제조한 트랜지스터의 채널 길이에 따른 문턱 전압의 변화 추이 특성을 도식화 한 것이다. 모든 트랜지스터의 채널 폭(Channel Width)은

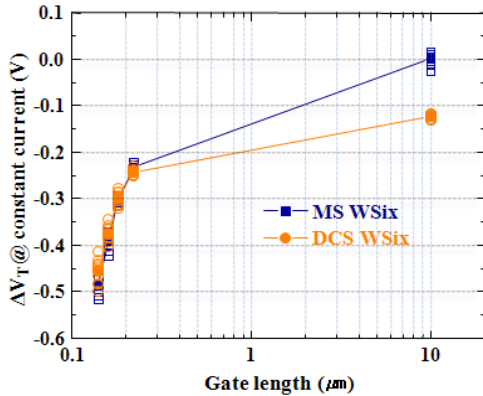


그림 1. WSix 박막 증착 조건에 따른 NMOS 문턱전압의 채널 길이에 따른 변화 추이(채널 폭은  $W=10\mu\text{m}$ 로 고정)

Fig. 1. NMOS threshold voltage roll-off characteristics as the function of WSix deposition condition (channel width  $W=10\mu\text{m}$ , fixed).

$10\mu\text{m}$ 로 일정하다. 실험 조건은 텅스텐 실리사이드 증착 조건을 제외하고 해당 공정 전 후의 모든 공정을 동일한 조건에서 진행하였다. 채널 길이가  $10\mu\text{m}$  일때는 MS WSix로 제조된 시료의 문턱전압이 DCS WSix로 제조된 시료의 문턱전압보다 높지만 짧은 채널길이에 대해서는 두 가지 공정조건으로 제작된 시료의 문턱전압은 거의 같은 값을 보인다. 두 시료에서 채널이 긴 경우( $=10\mu\text{m}$ )에 대한 문턱전압의 차이는 플로린 효과로 인해 게이트 산화막의 두께가 증가하는 현상<sup>[2]</sup>이라고 널리 알려져 있다. MS WSix로 증착한 박막이 DCS WSix로 증착한 박막 보다 플로린을 많이 포함하고 있다<sup>[8]</sup>. MS WSix 증착 후 측정된 플로린의 농도는  $4 \times 10^{20} \sim 2 \times 10^{21} (\text{cm}^{-3})$ 로 이는 DCS WSix로 증착한 박막에서의 플로린 농도보다 10배에서 20배 정도 높은 값을 보인다. 높은 농도의 플로린을 함유한 MS WSix 박막으로 제조된 시료에서 게이트 산화막의 두께가 증가하고 이는 곧 높은 문턱 전압을 보이게 된다. 그러나 이 모델은 짧은 채널을 갖는 트랜지스터에서 MS WSix와 DCS WSix 박막으로 제조된 트랜지스터의 문턱 전압이 왜 같은 값을 갖는지를 설명할 수 없다. 이를 해석하기 위해서는 추가 모델이 필요하다. 한편 채널 폭(Channel Width)에 대한 변화는 본 논문에서는 매우 제한적인데 이는 최소 디자인 룰(Minimum Design Rule)이  $1\mu\text{m}$ 여서 채널 길이에 비해 상대적으로 매우 큰 값이기 때문이다. 본 실험의 범위내에서는 채널 폭에 대해 DCS WSix 박막과 MS WSix 트랜지스터의

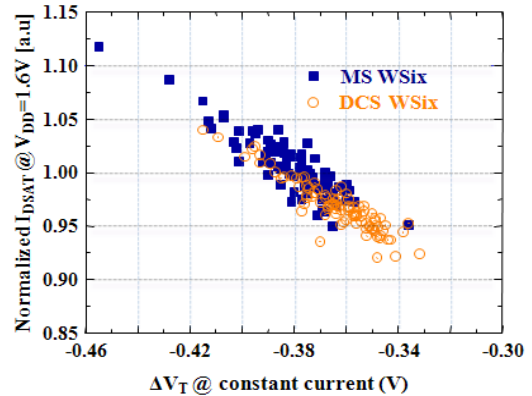


그림 2. NMOS에서 WSix 박막 증착 조건에 따른 문턱전압과 포화전류( $@V_{DD}=1.6\text{V}$ )의 관계(채널 폭은  $W=10\mu\text{m}$ 로 고정)

Fig. 2. Threshold voltage vs. saturation current ( $@V_{DD}=1.6\text{V}$ ) as the function of WSix deposition condition in NMOS(channel width  $W=10\mu\text{m}$ , fixed).

변화 특성은 채널 길이에 대한 변화에 비해 주목할 만한 변화는 눈에 띄지 않았다.

짧은 채널 길이에서의 문턱전압에 대한 해석을 하기 위해 그림 2는 짧은 채널 트랜지스터들의 문턱전압과 포화전류의 상관관계를 나타낸 것이다. 그림으로부터 관찰 할 수 있는 것은 두 가지 박막으로 증착하여 제조한 시료에서 포화 전류값이 문턱전압에 대해 같은 궤적을 가지고 있고, 이는 두 시료의 게이트 산화막 두께가 같을 수 있음을 예측 할 수 있다.

짧은 채널을 갖는 트랜지스터에서의 게이트 산화막 두께에 대한 이러한 가정을 좀 더 살펴보기 위해 두 가지 방법으로 제조한 시료에 대해 밀러 에지(Miller Edge) 패턴을 사용하여 게이트 길이의 함수로 정전 용량 증가 두께(Capacitance-equivalent thickness, CET)를 측정하여 그림 3에 나타내었다. 길이가 긴 트랜지스터에서는 MS WSix로 제조된 시료가 DCS WSix로 제조된 시료보다 큰 값을 가지고 변화량도 큼을 관찰 할 수 있다. 앞서 논의 한 것처럼 플로린의 양을 많이 포함한 MS WSix 박막이 더 큰 값의 산화막 두께를 가짐을 알 수 있다. 이는 산화막 유전률 변화에 기인한 것이 아니라 물리적 산화막 두께의 증가 결과이다. 앞선 연구자들의 모델은<sup>[6]</sup> 플로린이 산화막 내에서 여분의 산소(Excess oxygen) 이동을 촉진시키고 그 결과 산화막과 실리콘 계면에서 산소와 실리콘이 반응하여 산화막 두께를 증가시킨다. 반면에 짧은 채널을 갖는 트랜지스터

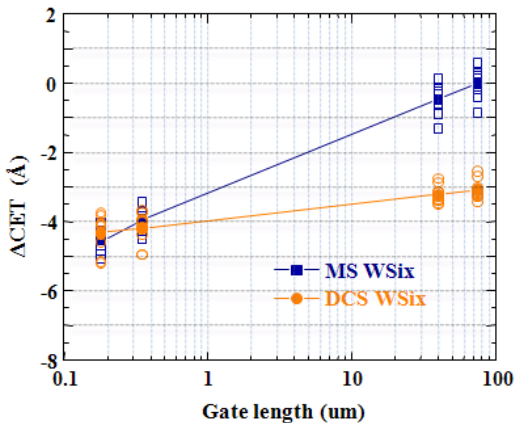


그림 3. WSix 증착 조건에 따른 게이트 길이와 NMOS CET와의 관계. ΔCET는 짧은 채널과 긴 채널값의 차이(채널 폭은 W=10μm로 고정)

Fig. 3. NMOS CET vs gate length as the function of WSix deposition condition. ΔCET means CET difference between long and short channel transistor(channel width W=10μm, fixed).

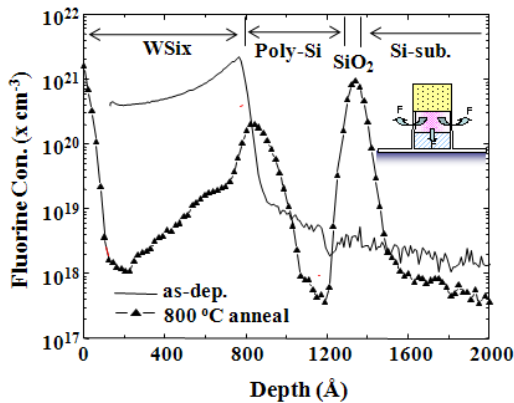


그림 4. MS WSix/Poly-Si/Si-Sub 박막에서 800 °C 게이트 재 산화 전 후의 플로린 농도의 수직 방향으로의 SIMS 프로파일

Fig. 4. Vertical SIMS profile of fluorine concentration before/after gate re-oxidation at 800 °C in the MS WSix/Poly-Si/Si-Sub layers.

에서의 CET는 MS WSix와 DCS WSix로 제작된 시료에서 거의 차이가 없음을 알 수 있다. 그림 3에서 얻은 CET 값의 변화는 MS WSix로 제작된 시료의 경우 채널 길이가 75μm에서 0.18μm로 감소 할 때 무려 4.5Å 감소한다. 이 결과를 근간으로 MS WSix 박막에서의 채널 길이에 따른 산화막 두께 변화에 대한 새로운 모델을 다음과 같이 제안한다. 즉 채널 길이가 감소함에 따라 게이트 산화막에 포함되어 있는 플로린의 양은 감

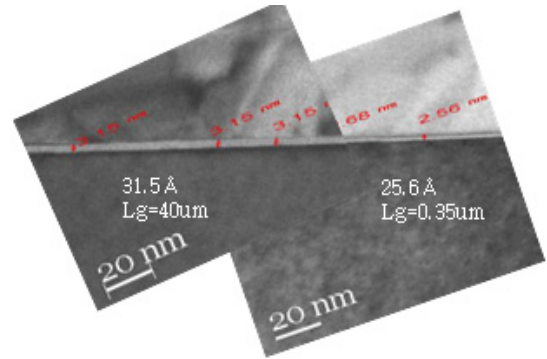


그림 5. MS WSix 박막 조건에서 40μm/0.35 μm 채널 길이를 갖는 NMOS 트랜지스터에 대한 게이트 산화막 두께의 TEM 영상

Fig. 5. TEM image of gate oxide thickness for 40μm/0.35μm channel length in the MS WSix condition for NMOS transistors.

소하고 따라서 산화막 두께의 감소로 이어진다. 플로린의 양이 채널 길이가 짧아짐에 따라 감소하는 이유는 제조 공정 중 후 처리 열공정(Post thermal treatment)인 게이트 재 산화(Re-oxidation) 공정이 800 °C에서 행해지고 이 때 WSix 박막에 포함되어 있던 플로린이 게이트의 아래 방향인 폴리실리콘과 산화막 경계면으로 확산됨과 동시에 게이트 측면 방향인 폴리실리콘과 산화막 경계면으로의 확산도 이루어진다(그림 4 안에 이를 간략히 도식화 하였다.). 따라서 게이트 산화막 증가에 영향을 주는 플로린의 양은 플로린의 측면방향으로의 확산 때문에 채널 길이가 짧을수록 작아지고 결과적으로 산화막 두께의 감소로 이어진다. 이러한 현상은 채널 길이가 짧아질수록 플로린의 바깥쪽으로 확산 길이가 짧아져서 증폭된다. 그림 4의 게이트 수직 방향으로의 SIMS 프로파일(Profile)을 살펴보면 플로린은 열처리 후 폴리실리콘과 게이트 산화막 경계면에 모이는 특성이 있는데 이러한 현상은 게이트 측면 지역의 폴리실리콘과 재 산화막 형성과정에 의해 만들어진 측면 산화막 경계면에서도 동일하게 발생한다.

위 결과로부터 짧은 채널을 갖는 트랜지스터에서 게이트 측면으로의 플로린 확산이 게이트 산화막 두께 감소의 근본 원인을 알 수 있다. 그리고 이 현상은 플로린 농도가 매우 높은 MS WSix 박막의 경우에서 더욱 두드러지게 나타난다. 이 모델을 평가하기 위해 MS WSix 박막으로 제조된 트랜지스터에서 긴 채널과 (Lg=40μm) 짧은 채널(Lg=0.35μm)을 갖는 시료에서 TEM으로 게이트 산화막 두께를 측정하여 그림 5에 나

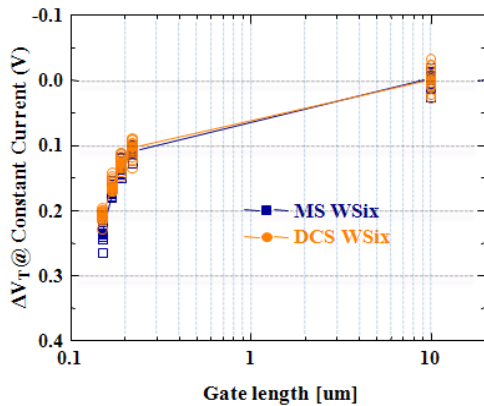


그림 6. WSix 박막 증착 조건에 따른 PMOS 문턱전압의 채널 길이에 따른 변화 추이(채널 폭은 W=10 $\mu$ m로 고정)

Fig. 6. PMOS threshold voltage roll-off characteristics as the function of WSix deposition condition(channel width W=10 $\mu$ m, fixed).

타내었다. 긴 채널에서의 게이트 산화막 두께가 짧은 채널에서의 게이트 산화막 두께보다 약 6Å 정도 큰 값이 관측된다. 이러한 결과는 산화막 두께의 증가가 실제적인 물리적 두께 증가임을 주장하는 Wright의 모델<sup>[6]</sup>과도 상응하는 결과이다. 또한 채널 폭에 대해 변화가 미미한 이유도 위의 모델을 근간으로 부연 설명하면, 최소 채널 폭이 1 $\mu$ m로 상대적으로 크고 더욱이 한쪽 부분은 게이트 익스텐션(Gate Extention)이 있기 때문에 플로린이 게이트 측벽으로의 확산거리가 매우 커서 게이트에 함유되어 있는 플로린의 급격한 감소가 이루어지지 않기 때문이다.

본 논문은 Lin 등이<sup>[7]</sup> 연구한 연구 결과와 상반된 결과를 보이는데 이는 Lin이 플로린을 주입한 곳은 실리콘(Si)이고, 채널과 소스/드레인(Source/Drain) 부분의 경계면에서 플로린이 인(P)의 채널방향으로의 확산을 억제하여 결국 짧은 채널 길이의 특성 저하(Short Channel Effect)를 억제 한 것이고, 본 논문은 게이트에 함유되어 있는 플로린이 게이트 산화막 두께에 영향을 미치는 데 플로린의 게이트 측벽으로의 확산으로 실제적인 게이트 산화막 두께를 감소시켜 문턱 전압이 감소하여 짧은 길이의 특성 저하가 이루어졌기 때문이다

## 2. PMOS 트랜지스터에 미치는 플로린 효과

그림 6은 MS WSix와 DCS WSix의 박막을 이용해 각각 제조한 PMOS 트랜지스터의 채널 길이에 따른 문

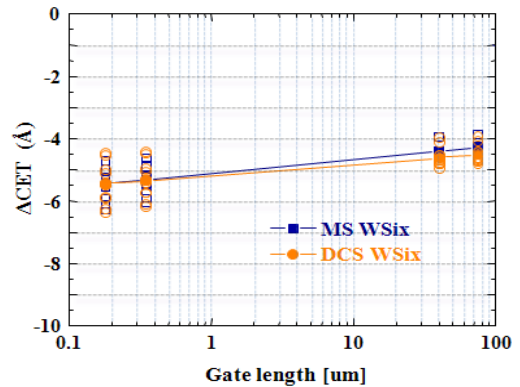


그림 7. WSix 증착 조건에 따른 게이트 길이와 PMOS CET와의 관계.  $\Delta$ CET는 짧은 채널과 긴 채널값의 차이(채널 폭은 W=10 $\mu$ m로 고정)

Fig. 7. PMOS CET vs gate length as the function of WSix deposition condition.  $\Delta$ CET means CET difference between long and short channel transistor(channel width W=10 $\mu$ m, fixed).

턱 전압의 변화도이다. 모든 트랜지스터의 채널 폭(Channel Width)은 10 $\mu$ m로 일정하다. 채널 길이에 따른 문턱 전압 특성인 roll-off 특성이 MS와 DCS WSix 박막에 대해 같은 특성을 보임을 알 수 있다. 이는 NMOS 문턱전압 roll-off 특성과는 상이한 모습이다. PMOS의 roll-off 특성이 두개의 박막에 대해 같은 모습을 보이는 것을 좀 더 고찰해보기 위해 밀러 에지(Miller Edge) 패턴을 사용하여 게이트 길이의 함수로 정전 용량 증가 두께(Capacitance equivalent thickness, CET)를 측정하여 그림 7에 나타내었다. 그림에서 관찰할 수 있듯이 MS WSix 박막으로 제조된 PMOS 트랜지스터에서 NMOS와 다르게 긴 채널과 짧은 채널간의 게이트 산화막 두께 차이가 미미하고, DCS WSix 박막으로 제조된 시료의 게이트 산화막 변화 추이와 유사함을 관찰 할 수 있다. 이는 MS WSix 박막으로 제조된 PMOS 트랜지스터의 경우 채널길이에 따른 박막에서의 플로린 양의 효과가 적음을 의미한다.

MS WSix로 제작된 PMOS 트랜지스터에서 채널 길이에 따른 플로린의 영향이 적은 이유에 대해 추가 고찰을 하기 위해 SIMS 프로파일을 측정하여 그림 8에 도식화 하였다. 비교를 위해 NMOS 트랜지스터의 SIMS 프로파일도 같이 표시하였는데, 주목할 점은 WSix와 폴리실리콘 계면에서 PMOS 트랜지스터 영역인 붕소로 도핑된 시료인 경우가 플로린의 농도가 높고, 반면에 폴리실리콘과 산화막 경계면에서는 NMOS

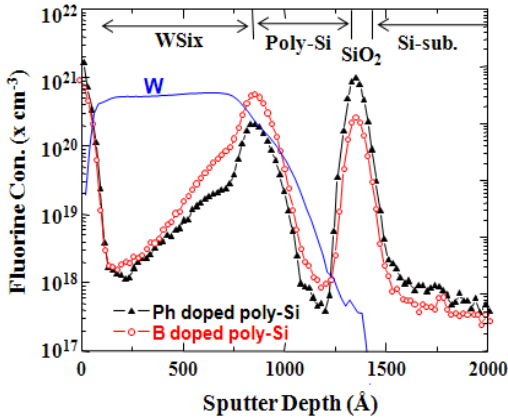


그림 8. MS WSix/Poly-Si/Si-Sub 박막에서 800 °C 게이트 재 산화 전 후의 플로린 농도의 수직 방향으로의 SIMS 프로파일

Fig. 8. Vertical SIMS profile of fluorine concentration before/after gate re-oxidation at 800 °C in the MS WSix/Poly-Si/Si-Sub layers.

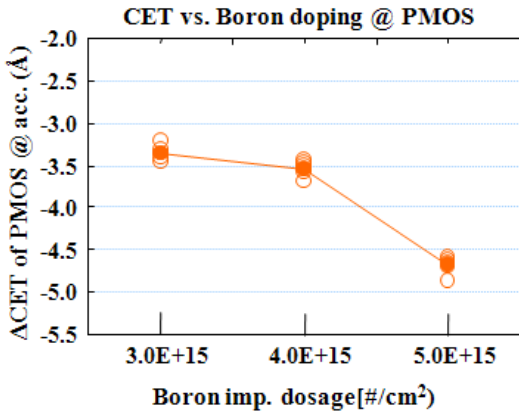


그림 9. MS WSix/Poly-Si/Si-Sub 박막에서 800 °C 게이트 재 산화 전 후의 플로린 농도의 수직 방향으로의 SIMS 프로파일

Fig. 9. Vertical SIMS profile of fluorine concentration before/after gate re-oxidation at 800 °C in the MS WSix/Poly-Si/Si-Sub layers.

트랜지스터 영역인 인으로 도핑된 시료에서 플로린의 농도가 높다는 것이다. 대략적인 플로린 농도의 차이는 PMOS의 경우가 NMOS에 비해 5배 정도 작다. 산화막 두께에 영향을 주는 부분은 폴리실리콘과 산화막 경계면의 플로린이므로 이는 PMOS 트랜지스터에서 산화막 두께에 미치는 플로린의 영향 또한 감소할 수 있음을 의미한다. 플로린 확산에 미치는 붕소의 영향에 대한 연구 결과에<sup>[10]</sup> 따르면, 플로린의 확산은 붕소로 도핑된 영역에서 억제 되는데, 이는 음전하를 띤 플로린이 정전기적 인력에 의해 양전하를 띤 붕소의 dangling bond

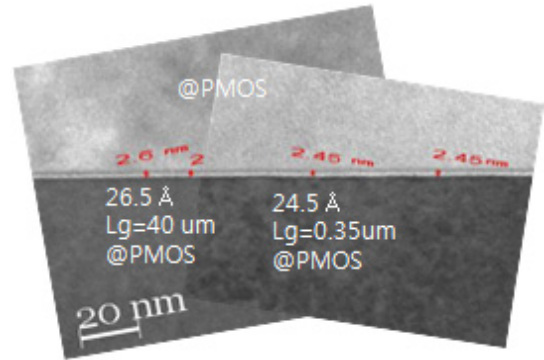


그림 10. MS WSix 박막 조건에서 40μm/0.35 μm 채널길이를 갖는 PMOS 트랜지스터에 대한 게이트 산화막 두께의 TEM 영상

Fig. 10. TEM image of gate oxide thickness for 40μm/0.35μm channel length in the MS WSix condition for PMOS transistors.

에 트랩(trap)되기 때문이라고 한다. 그림 9에 background 붕소 도핑 농도에 따라 플로린의 농도 변화를 상대적으로 대변할 수 있는 게이트 산화막 두께 변화인 CET를 측정하여 표시하였는데 CET가 클수록 플로린의 상대적 농도는 증가함을 의미한다. 그림에서 관찰 할 수 있듯이 붕소의 농도가 클수록 게이트 산화막 두께가 감소하고 이는 플로린의 농도가 작음을 알 수 있다.

그림 10은 MS WSix로 제작된 긴 채널과 짧은 채널을 갖는 PMOS 트랜지스터에서 TEM으로 측정한 게이트 산화막 두께를 보여준다. 긴 채널과 짧은 채널의 게이트 산화막 두께의 실제적 물리적 두께차이가 미미함을 알 수 있고, 이는 전기적 측정 결과와 부합한다. 결론적으로 MS WSix 박막으로 제작된 PMOS 트랜지스터에서 긴 채널과 짧은 채널에서의 산화막 두께 차이가 없는 이유는 NMOS와 다르게 붕소가 플로린의 폴리실리콘/게이트 산화막 경계면으로의 확산을 억제하여 플로린에 의한 게이트 산화막 두께 증가 현상을 제한하기 때문이다.

공정 설계관점에서 게이트 산화막의 두께는 트랜지스터 설계의 매우 중요한 변수이다. 그러나 NMOS 트랜지스터에처럼 트랜지스터의 채널길이에 따라 플로린의 측면 확산 효과로 인해 게이트 두께가 달라지면 매우 깊은 주의가 요구된다. 이러한 문제를 해결하기 위해서는 소자 모델 변수(Device Model Parameter)를 매우 정확히 추출하여 설계시 반영하거나 공정적으로 DCS WSix 박막의 사용, 또 다른 대안으로 W 게이트 물질을 이용한 공정 채택을 고려해야 한다.

#### IV. 결 론

본 연구에서는 텅스텐 실리사이드 듀얼 폴리게이트 구조에서 CMOS 트랜지스터에 미치는 플로린 효과에 대해 연구하였다. 문턱전압, 포화 전류 특성, 정전 용량 등 산화막 두께 등의 전기적 측정과 SIMS와 TEM 등의 물리적 측정의 결과를 토대로 텅스텐 실리사이드 내의 플로린 거동에 대해 평가하였고 모델을 제안했다.

MS WSi<sub>6</sub> 박막을 이용하여 제조한 NMOS 트랜지스터에서 채널 길이가 짧아질수록 문턱 전압의 크기는 DCS WSi<sub>6</sub> 박막으로 제조한 시료보다 감소하는데 이는 플로린의 게이트 측벽으로의 확산 특성에 기인한다. WSi<sub>6</sub> 박막에 포함된 플로린이 게이트 식각 후 게이트 재 산화막 공정시 게이트 측벽에 형성되는 WSi<sub>6</sub>/poly 계면으로 확산되기 때문에 결국 게이트 산화막내의 플로린 양을 감소시키는 효과가 있다. 플로린 양의 감소는 게이트 길이가 짧아질수록 확산효과의 증가로 이어져 게이트 산화막 두께 감소가 심화된다. 반면에, PMOS의 경우는 P+ 폴리를 형성하기 위해 도핑된 붕소가 플로린의 확산을 억제하여 산화막 두께에 영향을 주는 폴리실리콘과 산화막 경계면의 플로린 양을 감소시키기 때문이다. 이로 인해 긴 채널과 짧은 채널에서의 문턱 전압 차이를 미미하게 만드는 것으로 해석된다.

디자인 룰에 해당하는 최소 선포의 짧은 채널에서의 NMOS PMOS 트랜지스터의 게이트 산화막 두께의 변화는 매우 중요한 변수로서 이를 해결하기 위해서는 매우 주의 깊은 소자/설계 기술이 필요하고 W 게이트 사용이 하나의 대안으로 생각할 수 있다.

#### REFERENCES

[1] C. H. Kao, C. S. Lai and C. L. Lee, "Electrical and reliability improvement in Polyoxide by fluorine implantation," *Journal of Electrochem. Soc.*, Vol. 154, Issue 4, pp. H259-H262, Feb., 2007.

[2] Y. Mitani, H. Satake, Y. Nakasaki and A. Toriumi, "Improvement of charge to breakdown distribution by fluorine incorporation into thin gate oxides," *Electron Devices, IEEE Transactions on*, Vol. 50, No. 11, pp.2221-2226, Nov., 2003.

[3] J. C. Lee, Y. P. Kim, Zulkarnain, S. J. Lee, S.

W. Lee, S. B. Kang, S. Y. Choi and Y. Roh, "Study on electrical characteristics and reliability of fluorinated HfO<sub>2</sub> for HKMG," *Micorelectronic Engineering*, Vol. 88, pp. 1417-1420, Mar., 2011.

[4] H. H. Tseng, P. J. Tobin, S. Kalpat, J. K. Schaeffer, M. E. Ramon, L. R. C. Fonseca, Z. X. Jiang, R. I. Hegde, D. H. Triyoso and S. Semavedam, "Defect passivation with fluorine and interface engineering for Hf-Based High-k/Metal gate stack device reliability and performance enhancement," *Electron Devices, IEEE Transactions on*, Vol. 54, No. 12, pp. 3267-3275, Dec., 2007.

[5] W. C. Wu, C. S. Lai, J. C. Wang, J. H. Chen, M. W. Ma and T. S. Chao, "High-performance HfO<sub>2</sub> gate dielectrics fluorinated by postdeposition CF<sub>4</sub> plasma treatment," *Journal of Electrochem. Soc.*, Vol. 154, Issue7, pp. H561-H565, May., 2007.

[6] P. J. Wright and K. C. Saraswat, "The effect of fluorine in silicon dioxide gate dielectrics," *Electron Devices, IEEE Transactions on*, Vol. 36, No.5, pp.879-889, May., 1989.

[7] D. G. Lin, T. A. Rost, H. S. Lee, D. Y. Lin, A. J. Tsao and B. McKee, "The Effect of Fluorine on MOSFET channel length," *Electron Device Letters, IEEE*, Vol. 14, No. 10, pp. 469-471, Oct., 1993.

[8] Y. S. Kim, K. Y. Lim, M. G. Sung, et al, "Low Resistive Tungsten Dual Polymetal gate Process for High Speed and High Density Memory Devices," *Solid State Device Research Conference, 2007. ESSDERC 2007*, 11-15, pp. 259-262, Sept., 2007.

[9] Y. H. S. Kim, S. D. Lee, S. M. Lee, I. S. Yeo and S. K. Lee, "Low resistive tungsten dual polymetal gate process for high speed and high density memory devices," *Electrochemical and Solid-State Letters*, Vol. 2, No.2, pp. 88-90, Nov., 1998.

[10] M. Tachi, H. Hiroshi, M. Furuhashi and K. Taniguchi, "Role of Boron Atoms on Fluorine Diffusion under Various Stages of Annealing", *Japanese Journal of Applied Physics* Vol. 44, No. 5A, pp.2902-2904, Nov., 2005.

저 자 소 개



최 득 성(정회원)  
 1985년 고려대학교 전자공학과  
 학사.  
 1987년 한국과학기술원  
 전기전자공학과 석사.  
 1995년 한국과학기술원  
 전기전자공학과 박사.

2010년~현재 영남이공대학교  
 전자정보계열 조교수  
 <주관심분야 : 반도체 공정 및 소자>



정 승 현(정회원)  
 1995년 영남대학교 전자공학과  
 학사.  
 1998년 영남대학교 전자공학과  
 석사.  
 2009년 영남대학교 전자공학과  
 박사.

2014년~현재 영남이공대학교  
 전자정보계열 조교수  
 <주관심분야 : 회로설계 및 제어공학>



최 강 식(정회원)  
 1992년 서울시립대학교 전자  
 공학과 학사.  
 1995년 한국과학기술원  
 전기전자공학과 석사.  
 2000년 한국과학기술원  
 전기전자공학과 박사.

2000년~현재 SK 하이닉스 반도체 연구소  
 <주관심분야 : 반도체 공정 및 소자>