

TSV 웨이퍼 공정용 Si_3N_4 후막 스트레스에 대한 공정특성 분석

강동현¹, 구종모¹, 고영돈², 홍상진^{1,a}

¹ 명지대학교 전자공학과

² 토론토대학교 기계&산업공학과

Characterization of Backside Passivation Process for Through Silicon via Wafer

Dong Hyun Kang¹, Jung Mo Gu¹, Young-Don Ko², and Sang Jeon Hong^{1,a}

¹ Department of Electronic Engineering, Myongji University, Yongin 449-728, Korea

² Department of Mechanical and Industrial Engineering, University of Toronto, Toronto M5S 2J7, Canada

(Received December 30, 2013; Revised January 23, 2014; Accepted February 11, 2014)

Abstract: With the recent advent of through silicon via (TSV) technology, wafer level-TSV interconnection become feasible in high volume manufacturing. To increase the manufacturing productivity, it is required to develop equipment for backside passivation layer deposition for TSV wafer bonding process with high deposition rate and low film stress. In this research, we investigated the relationship between process parameters and the induced wafer stress of PECVD silicon nitride film on 300 mm wafers employing statistical and artificial intelligence modeling. We found that the film stress increases with increased RF power, but the pressure has inversely proportional to the stress. It is also observed that no significant stress change is observed when the gas flow rate is low.

Keywords: Through silicon via, Modeling, PECVD, TSV backside passivation, RSM

1. 서 론

반도체 산업은 반도체 회로의 집적도 증대, 패턴의 미세화를 기반으로 높은 성능과 낮은 가격을 만족해 왔다. 그러나 기술의 발전과 경쟁이 가열됨에 따라 새로운 전자제품의 개발 과정에서 반도체 공정은 진보한 기술을 요구하게 되었다. 특히, 기존 반도체 공정의 물리적 한계가 존재함에 따라 이를 해결하기 위

한 방안으로 새로운 방식의 고집적화를 필요로 하게 되었다. 그 중에서 최근 가장 큰 관심을 끌고 있는 기술은 TSV (through silicon via)를 이용한 3D packaging이다. TSV 공정기술은 반도체 공정 단계에서 기존의 소자 간의 연결을 수직의 짧은 연결을 하게 하는 기술이다. 이러한 TSV 공정을 사용함으로써 2D packaging 방식보다 성능을 높이고 신호 전달 시간을 감소시킬 수 있다 [1]. TSV 공정 기술은 복잡한 공정 절차와 새로운 공정 조건을 필요로 한다. 복잡한 공정이 추가로 진행됨으로써 추가적인 공정 제한이 발생하고 이 제한을 만족시키기 위하여 다른 특성을 지닌 공정이 필요하게 된 것이다.

a. Corresponding author; samhong@mju.ac.kr

Copyright ©2014 KIEEME. All rights reserved.
This is an Open-Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License (<http://creativecommons.org/licenses/by-nc/3.0>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.

Table 1. Normalized process recipe and responses.

Order	Input				Output		
	Gas(3:1 mixed)		Power (W)	Pressure (Torr)	Uniformity	Deposition rate	Stress
SiH_4 (sccm)	NH_3 (sccm)						
1	0.00	0.00	1.00	0.50	1.00	0.00	0.80
2	1.00	0.60	1.00	0.50	0.68	0.80	0.75
3	0.00	0.00	0.50	0.00	0.85	0.29	0.83
4	0.12	1.00	0.00	0.00	0.00	0.73	0.32
5	1.00	0.60	0.50	0.00	0.31	1.00	0.42
6	0.12	1.00	1.00	0.00	0.60	0.55	0.94
7	0.12	1.00	0.50	0.50	0.54	0.61	0.83
8	0.12	1.00	0.50	0.50	0.53	0.61	0.86
9	0.00	0.00	0.50	1.00	0.85	0.08	0.94
10	1.00	0.60	0.00	0.50	0.23	0.85	0.00
11	0.00	0.00	0.00	0.50	0.84	0.31	0.62
12	0.12	1.00	0.50	0.50	0.53	0.61	0.77
13	0.12	1.00	1.00	1.00	0.93	0.32	1.00
14	1.00	0.60	0.50	1.00	0.65	0.78	0.54
15	0.12	1.00	0.00	1.00	0.47	0.59	0.48

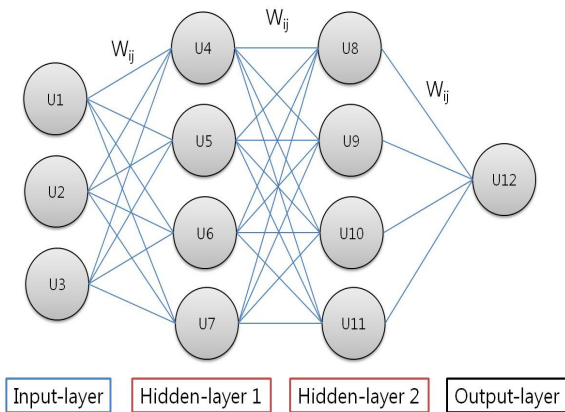


Fig. 1. Neural network structure in stress model.

TSV 공정에서 중요한 공정 중 하나는 BVR (backside via reveal) 공정이다. BVR 공정중 웨이퍼의 후면에 SiN 레이어를 증착하는 공정을 진행하게 된다. 이 레이어는 carrier layer이다. Carrier layer는 TSV의 Cu 가 front-end-of-line으로 확산하는 현상을 방지한다. Carrier layer는 SiN 또는 SiO_2 를 이용하여 증착한다. TSV 공정에서는 웨이퍼를 핸들링하는 단계에서 접착제를 사용하는데 접착제의 녹는점이 $200^\circ C$ 이하이기 때문에 증착공정의 요구 조건은 $200^\circ C$ 미만

의 조건을 만족하여야 한다. 또한, SiN , SiO_2 은 각각 공정 단계에 요구되는 온도, uniformity, stress 값들을 가지고 있어야 한다 [2].

이 논문에서는 TSV backside passivation 공정의 반응표면 모델 수립을 통해 RF 파워, 압력, 가스 flow 등의 공정변수가 PECVD를 이용한 SiN 증착에서 film stress의 공정 결과에 미치는 영향에 대한 이론적 추론을 진행한다.

2. 실험 방법

실험 계획법은 한정된 자원을 가지고 최대의 정보를 얻기 위한 실험 방법과 분석 방법을 설계하는 방법론이다 [3].

본 논문에서는 기존 SiN_4 증착을 위한 공정 조건으로 가스 ($SiH_4 + NH_3$ 혼합 약 3 : 1의 비율), 파워, 압력을 3개의 입력변수, uniformity, deposition rate, stress를 3개의 결과값으로 선정하였다. 그리고 표면 반응 분석법을 적용하여 각각의 변수 값을 15개의 레시피 (표 1)에 따라 변화시키고, 그 결과 값 (stress)을 측정하였다.

Table 2. A comparison of model and verification.

Hiden layer 1	Hiden layer 2	Deposition rate	Error in Deposition rate	Stress	Error in Stress	Uniformity	Error in Uniformity
1	2	Target	Target	Target	Target	Target	Target
6	5	0.50	0.17	1.00	-0.20	0.62	-0.17
6	4	0.49	0.18	0.69	0.17	0.53	0.02
6	3	0.60	0.00	1.00	-0.20	1.00	-0.85
5	5	0.61	0.00	0.81	0.02	0.51	0.05
5	4	0.28	0.54	0.69	0.16	0.00	1.00
5	3	0.39	0.35	0.68	0.17	0.52	0.02
4	5	0.52	0.15	0.64	0.22	0.55	-0.03
4	4	0.60	0.00	0.81	0.02	0.59	-0.10
4	3	0.53	0.13	0.68	0.17	0.66	-0.24

뉴럴네트워크는 과거에 실험된 데이터로부터 반복된 학습 과정을 거쳐 데이터가 가지고 있는 패턴을 찾아내는 모델링 기법이다 [4]. 뉴럴네트워크는 그림 1과 같이 입력층 은닉층, 출력층 3가지 요소로 나뉠 수 있다. 이 실험에서는 트레이닝을 위하여 15개의 실험 데이터를 이용하였다. 그러나 생성된 뉴럴네트워크

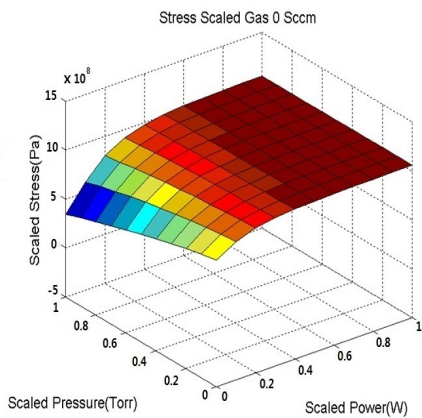


Fig. 2. Stress response plot; RF power vs. pressure (normalized, gas flow was fixed at lower level).

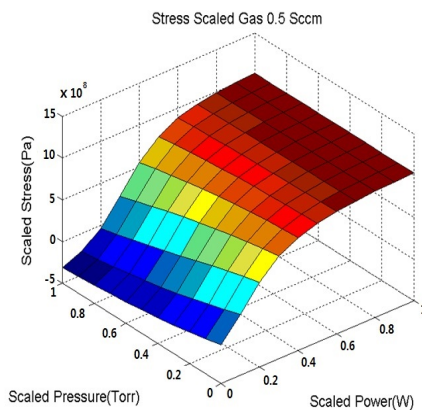


Fig. 3. Stress response plot; RF power vs. pressure (normalized, gas flow was fixed at midium level).

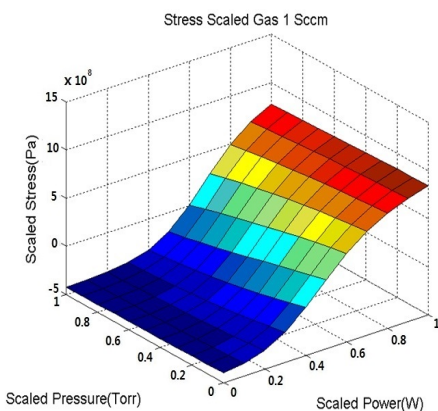


Fig. 4. Stress response plot; RF power vs. pressure (normalized, gas flow was fixed at high level).

모델의 정확도를 검증하기 위하여 테스트용 데이터 3개를 따로 빼어 두었다. 그리고 12개의 실험 데이터만으로 뉴럴네트워크 모델을 생성하였다. 뉴럴네트워크 모델을 생성하기 위해서는 표준화 과정이 꼭 필요하다. 표준화는 기존에 가지고 있는 데이터의 최댓값과 최솟값을 이용하여 0~1 사이의 값으로 변경시키는 것이다. 변경된 데이터는 모델을 통해서 값이 나온 후 원래의 값으로 재변환되는 과정을 거친다. 이 연구에서는 데이터 보안의 이유로 원본 데이터 대신 표준화된 데이터를 가지고 분석을 진행한다. 반도체 플라즈마 공정의 모델을 구성하기 위해서는 매우 복잡한 경우의 수가 나올 수 있으므로 은닉층의 수를 1개 아닌 2개로 구성하여 좀 더 다양한 모델 결과를 얻을 수 있게 하였다. 모델을 각각 {은닉층 뉴런의수 (은닉층1-은닉층2) : 6-5, 6-4, 6-3, 5-5, 5-4, 5-3, 4-5, 4-4, 4-3}으로 구성하고 100,000번의 트레이닝을 진행하였다. 표 2에서 보면 뉴럴네트워크 모델들을 검증용 데이터와 비교 검증할 수 있다. 각각의 은닉층 4-4와 5-5 조합의 모델이 테스트 데이터와 가장 유사한 것을 알 수 있다.

여기서 만들어진 4-4와 5-5 모델을 가지고 response surface model을 만들었다. 모델의 선정은 표 2에서 나타나듯이 오차가 적고 모델의 결과 값이 실제 값과 가장 유사한 모델을 선정하였으며, 이 논문에서 그려진 그래프는 4-4모델을 사용하였다. 이 실험은 3개의 변수에 3가지의 결과를 얻을 수 있는 모델이다. 따라서 한 개의 3차원 그래프에 4개의 축을 그릴 수 없으므로 x , y 변수와 z 결과를 가지는 그래프를 남은 변수 1개를 변화시키면서 여러 개의 그래프로 모델링 결과를 나타내고, 그래프를 통해서 공정변수의 변화에 따른 공정 결과 특성을 해석하였다.

3. 결과 및 고찰

그림 1, 2, 3은 압력, 파워, 가스 3가지를 입력변수로 한 그래프이다. 3차원 그래프로 표현할 수 있는 변수는 2개이므로 파워와 압력은 그래프 축에 표시하고 가스 ($SiH_4 + NH_3$)의 양을 low (0), middle (0.5), high(1)로 고정하여 3개의 stress에 대한 3차원 그래프를 그렸다. 파워, 압력, 가스에 대한 stress의 그래프 (그림 2, 3, 4)을 분석해 보면 stress는 파워가 증가 시 증가한다는 것을 알 수 있다. 가스의 양에 따

라 증가 정도의 차이가 발생하기는 했지만 stress는 파워에 민감하게 반응한다는 것을 알 수 있었다. 그 이유는 파워가 증가할 경우 입자 간의 결합이 웨이퍼의 일부 영역에서만 상승하게 되며 상대적으로 비균일한 증착이 진행되기 때문이다.

선행 연구에서는 높은 파워를 인가할 때 가스입자들은 높은 헤리 상태를 가지게 되어 많은 N^+ 입자들이 발생하게 된다 [5]. 이때 $SiNx$ 레이어의 결합 생성으로 인한 부피 팽창에 의하여 높은 스트레스를 갖게 된다. 따라서 이 논문에서 예측된 물리적 현상과 일치하고 있다. 이때 $SiNx$ 레이어의 결합 생성으로 인한 부피 팽창에 의하여 높은 스트레스를 갖게 된다. 따라서 이 논문에서 예측된 물리적 현상과 일치한다. 압력의 경우 감소 시 stress가 증가하지만 가스가 충분히 많을 경우 stress가 증가하지 않았다는 것을 알 수 있다. 그 이유는 가스가 불충분할 경우 증착될 웨이퍼 전 영역에 증착할 만한 입자 간 결합이 발생하지 않아 높은 스트레스를 갖게 되기 때문이다. 또한 가스 증가 시 stress가 감소되는 것을 확인할 수 있다. 가스가 충분할 경우 증착될 웨이퍼 전 영역에 증착할 만한 입자 간 결합이 발생하게 되어 낮은 스트레스를 갖게 되기 때문이다. 선행 연구 논문을 [12] 보면 Si 을 기반으로 한 $SiNx$ 레이어 생성 시 스트레스는 감소한다. 이 실험에 사용된 가스는 $SiH_4 + NH_3$ 로 혼합 구성되어 있으며 약 3 : 1의 비율로 구성되어 가스의 양이 증가할수록 SiH_4 의 양이 더 커지므로 stress가 가스 증가 시 감소한다는 예상과 일치한다.

4. 결론

오늘날 반도체 공정의 한계를 극복하기 위해 새롭게 도입되는 TSV공정은 기존의 공정에 비하여 매우 다른 공정 조건을 요구하기 때문에 변수들의 영향에 대한 새로운 연구가 필요하게 되었다. 이 논문에서는 stress를 분석하기 위하여 파워, 가스, 압력을 변수로 지정하여 공정결과에 대한 모델을 생성하였다.

지금까지 뉴럴네트워크 모델로부터 stress에 영향을 미치는 주요 변수 (파워, 가스, 압력)으로 TSV backside passivation을 위한 공정 결과를 분석하였다. Stress는 파워 증가 시 stress도 증가하여 선행 연구와 비교하여 유사한 패턴의 현상이 발생하는 것을 확인하였다. 그러나 압력이 stress에 미치는 영향은 압력 감소 시 stress가 증가하지만 가스가 충분히 많을 경우 stress가 증가하지 않았다. 이는 선행 연구와 다른 결과로써, 그 원인은 장비에 따른 챔버 크기나 가스주입의 기본공정 조건들이 차이가 나는 것에 따라 발생한 것으로 분석하였다. 압력은 stress에 대하여 다른 연구 논문과 다른 결과를 가져왔는데 그 원인은 압력의 영향은 장비의 챔버 크기 등의 장비별로 가지는 특징에 더 영향을 받기 때문으로 분석하였다.

앞으로 추가적인 실험을 진행하여 모델 및 분석결과에 대한 검증이 추가로 진행될 필요가 있으며, 실험계획법과 같은 다른 통계적인 처리를 통하여 변수에 대한 심층적인 분석이 필요할 것으로 예상된다.

감사의 글

본 연구는 중소기업청의 지원으로 수행된 연구 결과 (S2063463)이며, 명지대학교 반도체공정진단연구소 연구원들에게 감사드립니다.

REFERENCES

- [1] S. W. Yoon, *Electronics Packaging Technology Conference*, 336 (2011).
- [2] A. Jourdain, *Electronic Components and Technology Conference*, 1122 (2011).
- [3] Z. Jing and J. Shi, *IEEE Trans. Automation Science and Engineering*, **7**, 266 (2010).
- [4] S. S. Han, Li Cai, G. S. May, and A. Rohatgi, *IEEE Trans. Semiconductor Manufacturing*, **9**, 303 (1996).
- [5] C. Iliescu, *Journal of Micromechanics and Microengineering*, **16**, 869 (2006).