

이중게이트 MOSFET의 문턱전압이하 전류에 대한 게이트 산화막 의존성

정학기*

Gate Oxide Dependent Subthreshold Current of Double Gate MOSFET

Hakkee Jung*

Department of Electronic Engineering, Kunsan National University, Gunsan 573-701, Korea

요 약

본 연구에서는 이중게이트 MOSFET의 게이트 산화막 두께 변화에 따른 문턱전압이하 전류의 변화를 분석하였다. 이중게이트 MOSFET의 채널 내 전위분포를 구하기 위하여 포아송방정식을 이용하였으며 이때 전하분포함수에 대하여 가우시안 함수를 사용하였다. 전위분포는 경계조건을 이용하여 채널크기에 따른 해석학적인 함수로 구하였다. 가우시안 함수의 변수인 이온주입범위 및 분포편차 그리고 게이트 산화막 두께 등에 대하여 문턱전압이하 전류 특성의 변화를 관찰하였다. 본 연구의 전위모델에 대한 타당성은 이미 기존에 발표된 논문에서 입증하였으며 본 연구에서는 이 모델을 이용하여 문턱전압이하 전류 특성을 분석하였다. 분석결과, 문턱전압이하 전류는 게이트 산화막 두께 및 가우시안 분포함수의 변수 등에 크게 영향을 받는 것을 관찰할 수 있었다.

ABSTRACT

This paper analyzed the change of subthreshold current for gate oxide thickness of double gate(DG) MOSFET. Poisson's equation had been used to analyze the potential distribution in channel, and Gaussian function had been used as carrier distribution. The potential distribution was obtained as the analytical function of channel dimension, using the boundary condition. The subthreshold current had been analyzed for gate oxide thickness, and projected range and standard projected deviation of Gaussian function. Since this analytical potential model was verified in the previous papers, we used this model to analyze the subthreshold current. Resultly, analytical model showed that subthreshold current was influenced by parameters of Gaussian function and gate oxide thickness of DG MOSFET.

키워드 : 문턱전압이하 전류, 가우시안 분포, 게이트 산화막 두께, 포아송방정식

Key word : subthreshold current, Gaussian function, gate oxide thickness, Poisson equation

접수일자 : 2013. 10. 31 심사완료일자 : 2013. 11. 19 게재확정일자 : 2013. 12. 06

* **Corresponding Author** Hakkee Jung(E-mail:hkjung@kunsan.ac.kr, Tel:+82-63-469-4684)

Department of Electronic Engineering, Kunsan National University, Gunsan 573-701, Korea

Open Access <http://dx.doi.org/10.6109/jkiice.2014.18.2.425>

print ISSN: 2234-4772 online ISSN: 2288-4165

©This is an Open Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License(<http://creativecommons.org/licenses/by-nc/3.0/>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.
Copyright © The Korea Institute of Information and Communication Engineering.

I. 서 론

반도체를 이용한 집적회로 설계 분야 중 가장 핵심이 되는 것은 단일소자로 사용되는 트랜지스터의 개발이다. 현재 가장 광범위하게 사용되고 있는 CMOSFET의 경우 초소형으로 제작하기 위하여 필연적으로 발생하는 단채널 효과 등을 해결하여야만 한다. 최근 들어 스마트폰, 테블릿 PC 등 다양하고 휴대하기 용이한 전자기기의 개발로 집적회로의 초소형화는 반도체 메이저 업체 간 가장 핵심적인 경쟁요소가 되었다. 그러나 기존의 CMOSFET 구조는 10nm이하의 채널 길이로 제작하기 위해선 트랜지스터 동작에 심각한 영향을 미치는 단채널 효과가 발생하여 트랜지스터로서 제대로 작동할 수 없게 된다.

채널길이의 감소는 전류량의 증가, 입력커패시턴스의 감소, 스위칭주파수의 증가 및 셀 면적의 감소 등과 같은 중요한 장점을 나타내는 반면, 문턱전압의 이동, 드레인 유도 장벽감소, 문턱전압이하 스위칭특성 저하 등과 같은 심각한 단채널 효과에 의한 소자기능 저하를 발생시키고 있다. 이러한 문제점 중 문턱전압이하 영역에서 발생하는 차단전류 특성의 저하는 트랜지스터의 온-오프 동작에 문제를 발생시킨다. 가장 이상적인 차단전류는 0이다. 그러나 집적회로에서 사용하고 있는 트랜지스터의 특성상 0의 차단전류를 구현하기는 불가능하다. 특히 차단전류는 채널의 길이가 감소할수록 증가하는 문제를 야기 시키고 있다.

이러한 단채널 효과를 해결하기 위하여 트랜지스터의 구조를 변경하여 게이트단자에 의한 전류제어 능력을 향상시켜 단채널 효과를 감소시키고자 하는 연구가 활발히 진행되었으며 연구 결과, CMOSFET를 대체할 가장 각광받는 소자로 다중게이트 MOSFET가 물망에 오르고 있다[1]. 게이트를 채널주변에 여러 개 제작하여 게이트에 의한 전류제어능력을 향상시킨 트랜지스터로서 FinFET 또는 이중게이트 MOSFET 등으로 제작하고 있다[2,3]. 그러나 FinFET의 공정상 어려움으로 이중게이트 MOSFET가 더욱 활발히 연구되고 있는 상황이다. 이중게이트 MOSFET는 게이트단자를 상단과 하단에 제작함으로써 채널 내 전하의 제어를 두 개의 게이트가 담당하도록 하여 게이트 단자에 의한 전류제어능력을 거의 두배로 향상시킬 수 있다.

또한 이중게이트 MOSFET의 채널을 저농도로 도핑

하여 채널내 전하들이 이동할 때 발생하는 불순물산란을 감소시켜 전하의 이동도를 향상시킬 수 있다는 장점도 있다. 이러한 이중게이트 MOSFET의 개발에 일환으로 본 연구에서는 게이트 산화막 두께 변화에 따른 이중게이트 MOSFET의 문턱전압이하 전류를 분석하였다. 문턱전압 전류모델은 Tiwari의 포아송방정식에 대한 해석학적 전위모델을 이용하였다[4].

2장에서는 포아송방정식의 해석학적 전위모델 및 전류모델에 대하여 설명할 것이며 3장에서 이 모델을 적용하였을 경우, 문턱전압이하 전류의 게이트 산화막 두께에 대한 변화를 고찰하였다. 또한 4장에서 결론을 맺을 것이다.

II. 이중게이트 MOSFET의 문턱전압이하 전류 모델

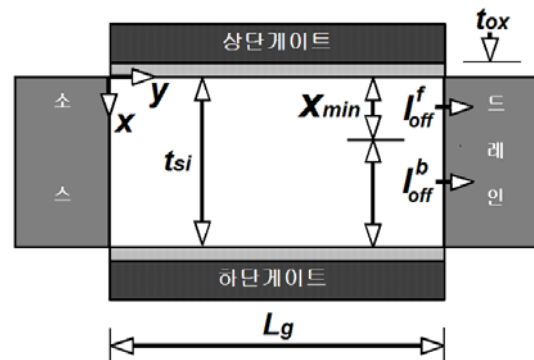


그림 1. 이중게이트 MOSFET의 개략도
Fig. 1 Schematic view of double gate MOSFET

그림 1은 이 논문에서 사용한 이중게이트 MOSFET의 개략도이다. 이 구조의 z방향에 대한 분포는 거의 일정하므로[5] 단지 x와 y방향에 대한 전위분포를 구하기 위하여 다음과 같은 포아송방정의 해를 구한다.

$$\frac{\partial^2 \phi}{\partial x^2} + \frac{\partial^2 \phi}{\partial y^2} = \frac{qn(x)}{\epsilon_{si}} \quad (1)$$

여기서 ϵ_{si} 는 실리콘의 유전율이며 $n(x)$ 는 다음 식으로 주어지는 도핑분포이다.

$$n(x) = N_p \exp\left(-\left\{\frac{x - R_p}{\sqrt{2}\sigma_p}\right\}^2\right) \quad (2)$$

N_p 는 이온주입 시 도즈 량에 의하여 결정되는 최대 도핑분포 값이며 R_p 와 σ_p 는 각각 이온주입범위 및 분포편차를 나타낸다. $n(x)$ 는 채널 내 두께방향 즉, 깊이방향으로의 불순물원자 분포함수로서 y 와 z 방향으로는 일정하게 분포되며 단지 x 방향으로만 변화한다고 가정하였다. 식 (1)과 식 (2)를 Tiwari의 경계조건 등을 적용하여 풀면 다음과 같은 표면전위분포를 구할 수 있다.

$$\phi_s = F \exp(y/\lambda) + G \exp(-y/\lambda) + V_G - V_{fb} - \lambda^2 q N_p \exp(-B^2)/\epsilon_{Si} \quad (3)$$

여기서 F, G, B, λ 등은 참고문헌[4]에 표기하였다. 또한 V_G 는 게이트전압, V_{fb} 는 평탄전압을 나타낸다. 차단전류를 구하기 위하여 상하단 게이트전압의 영향에 의하여 전위분포가 x 방향으로 최소인 점을 x_{min} 이라 할 때, 두 부분으로 전류를 나누어 합산한다. 즉,

$$I_{off} = I_{off}^f (0 \leq x \leq x_{min}) + I_{off}^b (x_{min} \leq x \leq t_{si}) \quad (4)$$

$$I_{off}^f = \frac{WV_i \mu_n n_i^2 x_{min} (1 - e^{-V_{Ds}/V_i}) (e^{\phi_s^f/V_i} - e^{\phi_{min}/V_i})}{L_g N_p (\phi_s^f - \phi_{min})} \quad (5)$$

$$I_{off}^b = \frac{WV_i \mu_n n_i^2 (t_{si} - x_{min}) (1 - e^{-V_{Ds}/V_i})}{L_g N_p} \times \frac{(e^{\phi_s^b/V_i} - e^{\phi_{min}/V_i})}{(\phi_s^b - \phi_{min})} \quad (6)$$

여기서 ϕ_s^f 는 상단 게이트단자와 접하는 표면전위 중 $y = y_{min}$ 일 때의 전위이며 ϕ_s^b 는 하단 게이트단자와 접하는 표면전위 중 $y = y_{min}$ 일 때의 전위이다. 이론적으로 x 방향으로 대칭적인 전위를 보인다면 $x_{min} = t_{si}/2$ 지만 이온주입범위 R_p 와 분포편차 σ_p 에 따라 x_{min} 값은 변화를 겪게 된다[5]. 그러므로 상단전류 I_{off}^f 와 하단

전류 I_{off}^b 는 총 차단전류에서 차지하는 비율이 변화하게 된다. 본 연구에서는 이와 같이 상하단전류의 합으로 계산되는 총 차단전류를 게이트 산화막 두께에 대하여 고찰할 것이다.

III. 게이트 산화막 두께에 따른 문턱전압이하 전류 고찰

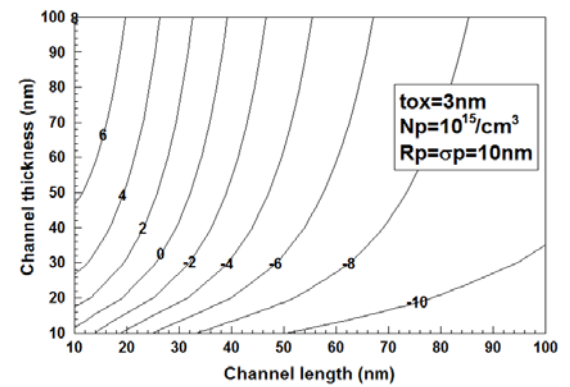


그림 2. 게이트 산화막 두께가 3 nm일 때 채널길이 및 채널 두께 변화에 대한 문턱전압이하 전류의 승수 등고선 곡선
Fig. 2 Contours of the power for subthreshold current with the change of channel thickness and channel length at gate oxide thickness of 3 nm.

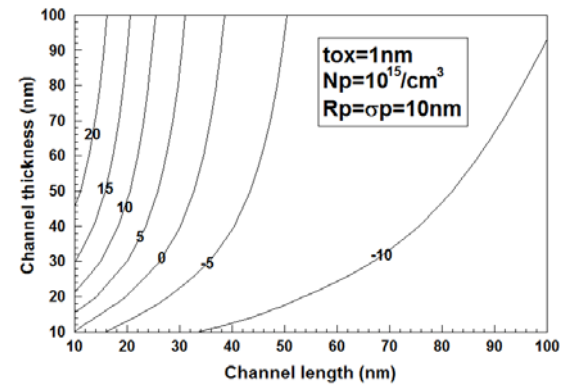


그림 3. 게이트 산화막두께가 1 nm일 때 채널길이 및 채널 두께 변화에 대한 문턱전압이하 전류의 승수 등고선 곡선
Fig. 3 Contours of the power for subthreshold current with the change of channel thickness and channel length at gate oxide thickness of 1 nm.

식 (4)의 문턱전압이하 전류모델의 타당성은 기존에 발표된 논문[6]에서 이미 언급하였으므로 이 절에서는 게이트 산화막 두께 변화에 대하여 고찰할 것이다. 그림 2에 게이트 산화막 두께가 3 nm일 때 채널길이 및 채널두께의 변화에 대한 문턱전압이하 전류의 변화를 도시하였다. 단채널 효과에 의하여 채널길이와 감소할수록 문턱전압이하 전류가 급격히 증가하는 것을 알 수 있다. 또한 채널두께가 감소할수록 문턱전압이하 전류는 급격히 감소한다는 것을 알 수 있다. 주어진 조건하에서 문턱전압이하 전류를 작게 유지하기 위하여 채널 길이는 증가하여야만 한다. 즉, 게이트 산화막 두께가 3 nm 정도에서 채널두께가 10 nm면 채널길이가 약 50 nm 이상이 되어야만 10^{-10} A/m 이하의 문턱전압이하 전류를 유지할 수 있다.

게이트 산화막 두께를 1 nm 이하로 감소시켰을 경우, 문턱전압이하 전류의 변화를 채널길이 및 채널두께의 변화에 대하여 관찰한 결과를 그림 3에 도시하였다. 그림 2와 그림 3의 비교에서 알 수 있듯이 게이트 산화막 두께를 변화시켜도 채널길이 및 채널두께의 변화에 대한 문턱전압이하 전류의 변화 경향은 거의 변화가 없다는 것을 알 수 있다. 그러나 동일 조건에서 단지 게이트 산화막 두께를 1nm까지 감소시켰을 경우, 채널두께가 10 nm에서 10^{-10} A/m 이하의 문턱전압이하 전류를 유지하기 위하여 채널길이를 30nm까지 감소시킬 수 있다는 것을 알 수 있다.

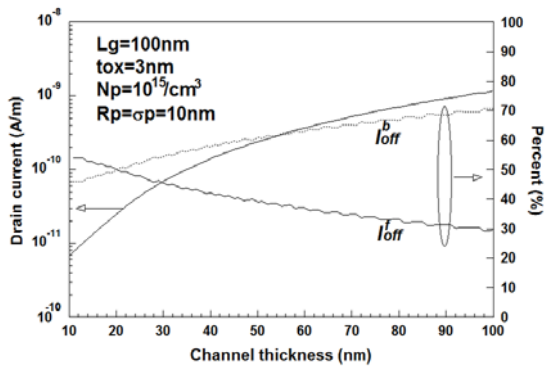


그림 4. 게이트 산화막 두께가 3 nm일 때 채널두께 변화에 대한 문턱전압이하 전류 및 상·하단전류 구성비
 Fig. 4 Subthreshold current and forward and backward current composition with the change of channel thickness and channel length at gate oxide thickness of 3 nm

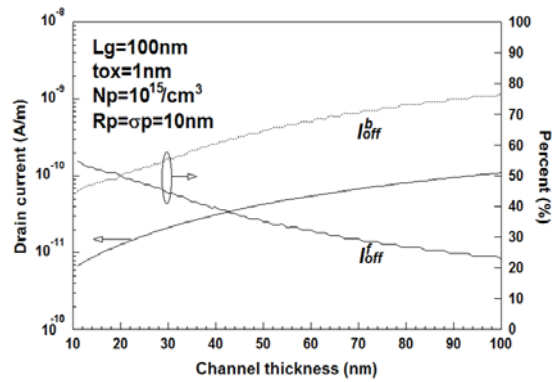


그림 5. 게이트 산화막 두께가 1 nm일 때 채널두께 변화에 대한 문턱전압이하 전류 및 상·하단전류 구성비
 Fig. 5 Subthreshold current and forward and backward current composition with the change of channel thickness and channel length at gate oxide thickness of 1 nm

채널두께변화에 대한 문턱전압이하 전류의 변화를 관찰하기 위하여 게이트 산화막두께가 3 nm일 때 문턱전압이하 전류 및 상·하단 전류의 구성비를 그림 4에 도시하였다. 채널두께가 증가할수록 문턱전압이하 전류는 증가하는 것을 알 수 있다. 또한 주어진 이온주입범위 및 분포편차에서는 채널두께가 증가함에 따라 상단 게이트전류는 감소하며 하단게이트전류는 증가하는 것을 관찰할 수 있으며 채널두께가 약 30 nm 이상에서 하단 게이트전류의 증가가 심화되어 대부분의 문턱전압이하 전류는 하단게이트 부분으로 흐르는 것을 알 수 있다.

동일한 조건에서 게이트 산화막두께만을 1 nm로 감소하였을 경우, 문턱전압이하 전류의 변화를 그림 5에 도시하였다. 전술한 바와 같이 문턱전압이하 전류는 그림 4와 비교하여 감소하는 것을 알 수 있다. 또한 채널 두께가 20 nm 이하에선 상단게이트부분의 전류가 우세하다가 그 이상으로 채널두께가 증가하면 역시 하단게이트 부분의 채널전류가 전체전류의 대부분을 구성하고 있다는 것을 알 수 있다. 그림 4와 비교해 보면 채널 두께에 따라 문턱전압이하 전류가 증가하는 동일한 현상을 보이나 하단게이트부분으로 흐르는 전류의 비가 게이트 산화막 두께가 감소할수록 증가하는 것을 알 수 있다. 이는 이온주입시 발생하는 도핑분포에 기인하므로 이온주입범위 및 분포편차를 주의 깊게 조정해 주어야 할 것이다.

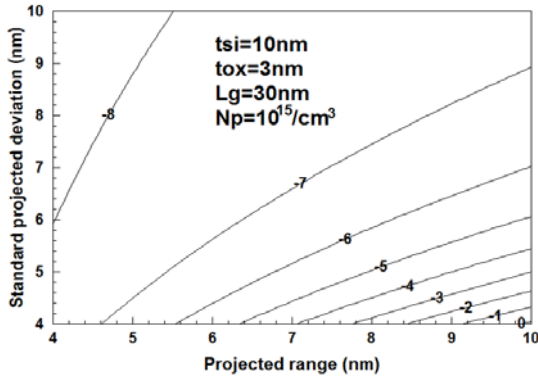


그림 6. 게이트 산화막 두께가 3 nm일 때 이온주입범위 및 분포편차 변화에 대한 문턱전압이하 전류의 승수 등고선 곡선
Fig. 6 Contours of the power for subthreshold current with the change of projected range and standard projected deviation at gate oxide thickness of 3 nm

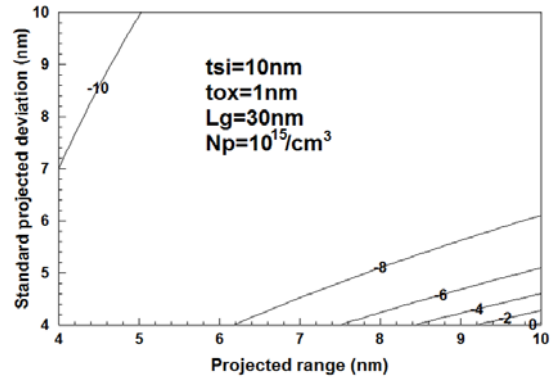


그림 7. 게이트 산화막 두께가 1 nm일 때 이온주입범위 및 분포편차 변화에 대한 문턱전압이하 전류의 승수 등고선 곡선
Fig. 7 Contours of the power for subthreshold current with the change of projected range and standard projected deviation at gate oxide thickness of 1 nm

이온주입범위 및 분포편차에 따른 문턱전압이하 전류의 변화를 관찰하기 위하여 게이트 산화막 두께가 3 nm일 경우, 문턱전압이하 전류의 승수에 대한 등고선 곡선을 그림 6에 도시하였다. 그림 6에서 알 수 있듯이 이온주입범위 및 분포편차에 따라 문턱전압이하 전류는 크게 변화하는 것을 알 수 있다. 이온주입범위가 감소할수록 그리고 분포편차가 증가할수록 문턱전압이하 전류는 감소하는 것을 관찰할 수 있다. 또한 이온주입범위가 증가하고 분포편차가 감소하면 문턱전압이하 전류의 증가가 더욱 급격히 증가하고 있다는 것을 알 수 있다.

그림 6과 동일한 조건에서 단지 게이트 산화막 두께만 1 nm로 감소하였을 경우, 문턱전압이하 전류의 승수에 대한 등고선곡선을 그림 7에 도시하였다. 전술한 바와 같이 도시한 전 영역에서 게이트 산화막 두께가 감소하면 문턱전압이하 전류는 감소하는 것을 관찰할 수 있다. 그러나 변화하는 경향은 거의 동일하여 이온주입범위가 감소하고 분포편차가 증가하면 문턱전압이하 전류도 감소하는 것을 알 수 있다. 또한 그림 6과 비교해 보면 변화율이 더욱 급격하다는 것을 알 수 있다. 그러므로 게이트 산화막 두께가 감소하면 이온주입범위 및 분포편차의 선택에 더욱 신중해야만 하는 것을 알 수 있다.

IV. 결 론

본 연구에서는 이중게이트 MOSFET의 게이트 산화막 두께의 변화에 따른 문턱전압이하 전류의 변화를 분석하였다. 이중게이트 MOSFET의 채널 내 전위분포를 구하기 위하여 포아송방정식을 이용하였으며 이때 전하분포함수에 대하여 가우시안 함수를 사용하였다. 전위분포는 경계조건을 이용하여 채널크기에 따른 해석학적인 함수로 구하였다. 가우시안 함수의 변수인 이온주입범위 및 분포편차 그리고 게이트 산화막 두께 등에 대하여 문턱전압이하 전류 특성의 변화를 관찰하였다. 분석결과, 문턱전압이하 전류는 게이트 산화막 두께 및 가우시안 분포함수의 변수 등에 크게 영향을 받는 것을 관찰할 수 있었다.

결과적으로 문턱전압이하 전류는 게이트 산화막 두께의 변화에 크게 영향을 받으며 채널길이가 증가할수록 그리고 채널두께가 감소할수록 감소하는 것을 알 수 있었다. 특히 이온주입시 발생하는 도핑분포에 따라 문턱전압이하 전류가 크게 변화하며 이는 게이트 산화막두께가 작아일수록 더욱 민감하게 나타나므로 1 nm정도의 얇은 게이트 산화막을 사용하여 이중게이트 MOSFET를 제작할 경우, 이온주입범위 및 분포편차를 주의 깊게 조정해 주어야할 것이다.

REFERENCES

- [1] A.J.Garcia-Loureiro, N.Seoane, M.Aldegunde and R.Valin, "Implementation of the Density Gradient Quantum Corrections for 3-D Simulations of Multigate Nanoscaled Transistors," *IEEE Trans. on CAD of IC and Systems*, vol.30, no.6, pp841-851, 2011.
- [2] P.K.Thakur and S.Mahapatra, "Large-Signal Model for Independent DG MOSFET," *IEEE Trans. on Electron Devices*, vol.58, no.1, pp46-52, 2011.
- [3] G.Dessai and G.Gildenblat, "Inclusion of the Accumulation Region in the Compact Models of Bulk and SOI FinFETs," *IEEE Trans. Electron Devices*, vol. 58, no.8, pp.2644-2651, 2011.
- [4] P.K. Tiwari, S. Kumar, S. Mittal, V. Srivastava, U. Pandey and S. Jit, "A 2D Analytical Model of the Channel Potential and Threshold Voltage of Double-Gate(DG) MOSFETs with Vertical Gaussian Doping Profile," *IMPACT-2009*, pp.52-55, 2009.
- [5] D.S.Havaladar, G.Katti, N.DasGupta and A.DasGupta, "Subthreshold Current Model of FinFETs Based on Analytical Solution of 3-D Poisson's Equation," *IEEE Trans. Electron Devices*, vol. 53, no.4, 2006.
- [6] H.K.Jung and J.I.Lee, "Analysis on Off-Current of Double Gate MOSFET for Composition of Forward and Backward Current," *Lecture Notes in Electric Engineering*, vol. 235, pp.419-426, 2013.



정학기(Hak Kee Jung)

1983.3 아주대학교 전자공학과 B.S.
1985.3 연세대학교 전자공학과 M.S.
1990.8 연세대학교 전자공학과 Ph.D
1995.8 일본 오사카대학 교환교수
2005.8 호주 그리피스대학 교환교수
1990.3 ~ 현재 군산대학교 전자공학과 교수
2014.1 ~ 현재 한국정보통신학회 회장

※관심분야 : 반도체소자 시뮬레이션, 몬테칼로 시뮬레이션, 회로 및 시스템 해석 등