

저전압 저면적 임베디드 메모리에서의 오류 정정 방법

I. 서론

임베디드 메모리(Embedded Memory)는 모바일 Application Processor(AP), Graphic Processing Unit(GPU), Digital Signal Processor (DSP)와 같은 반도체 칩 안에서 빠른 동작이나 대량의 중간 계산값들의 저장을 목적으로 사용되는 캐시(Cache)/버퍼(Buffer)용 메모리이다. 칩 제조공정의 발전과 함께 프로세서 내에서의 임베디드 메모리 용량은 지금까지 증가해 왔으며, 앞으로도 계속 증가될 것으로 예상된다^[1]. <그림 1>

이렇게 급격한 용량의 증가세를 보이고 있는 임베디드 메모리는 저면적화를 위한 공정 기술 미세화에 따라 증가된 에러 발생 빈도를 보이고 있다. 칩 제조 비용의 하락을 위한 CMOS 공정의 미세화는 트랜지스터(Transistor) 사이의 사이즈 베리에이션 증가를 초래한다. 이는 설계 시에 정해났던 트랜지스터들의 최적의

칩 제조 공정의 발전과 함께 프로세서 내에서의 임베디드 메모리 용량은 계속 증가될 것으로 예상되며 칩당 제조 비용 감소를 위한 공정 미세화에 따라 증가된 에러 발생 빈도에 대한 효과적인 대응 방안이 필요하다.

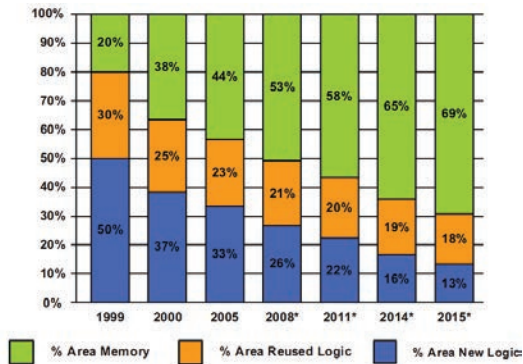
PMOS/NMOS 비율(P/N ratio)을 변화시켜 칩 동작에 오류 확률을 증가시킨다. 또한, 공정의 세밀화로 더욱 밀집되어진 트랜지스터는 높은 에너지의 중성자(neutron)나 알파 입자(Alpha particle), 그리고 외부 공급 전원의 노이즈(noise)와 같은 전자기적 간섭에 더 취약해진 특성을 보인다. 전자와 같은 이유로 발생한 에러를 “하드 에러(Hard error)”라고 부르며, 후자의 경우를 “소프트 에러(Soft error)”라고 부른다. “하드 에러”는 대개 공정상의 과정에서 발생하



당 호 영
고려대학교



박 종 선
고려대학교



〈그림 1〉 임베디드 메모리 용량의 증가 트렌드

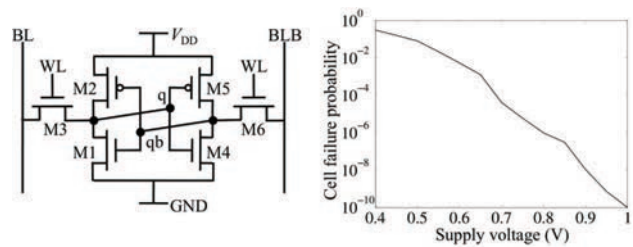
기 때문에 공정 단계 이후부터 영구적으로 결정된 특성을 가지며 “소프트 에러”는 동작 시각의 일시적인 상황으로 인하여 단발성으로 발생한다.

본 논문에서는 이러한 두 종류의 에러에 대응하기 위한 오류 정정 부호와 그 밖의 대응 방안에 대해서 간단하게 소개한다. 특히 오류 정정 부호의 적용 대상에 따라서 General processor의 메모리와 디지털 신호 처리(DSP) 프로세서의 메모리로 나누어 소개한다.

II. 임베디드 메모리 에러

공정의 미세화로 인한 공정변이(Process Variation)의 증가 문제는 SRAM이 안정적으로 동작하는데 큰 걸림돌이 되고 있다. 특히 저전력 동작을 위해 동작 전압이 점점 낮아지는 추세에서 공정 변이로 인한 에러 발생은 점점 증가되는 경향을 갖는다. 〈그림 2〉는 몬테카를로(Monte-Carlo) 시뮬레이션을 통하여 주어진 공정 변이로 인하여 45nm Predictive technology model (PTM) 공정^[2]을 이용하여 6T SRAM에서의 저전압 동작 시뮬레이션 시 “하드 에러” 발생 확률을 나타낸다. 그림과 같이 저전력화를 위한 동작 전압 강화 시 6T SRAM의 오류 발생 확률은 크게 증가되고 있는 상황이다.

이렇게 최신 공정에서 증가된 경향을 보이는 에러가 General processor의 레지스터(register)나 캐시에 발생할 경우, 프로세서의 동작에 치명적인 오류를 일으키게 된다. 예를 들어, 레지스터의 명령어 코드나 캐시의



〈그림 2〉 45nm PTM 공정의 6T SRAM의 저전압 동작에서 오류 확률

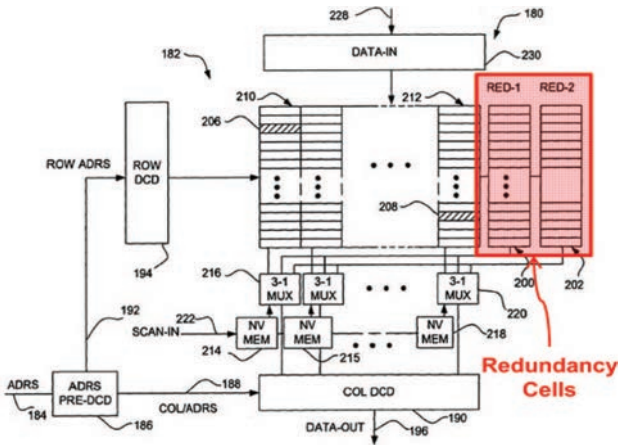
태그 정보같은 데이터에서 에러가 날 경우 프로세서나 데이터 로딩이 의도대로 일어나지 않으므로, 결과적으로 전체 시스템이 원하는 동작을 할 수 없다. 따라서 General processor에 사용되는 메모리일수록 높은 신뢰성을 요구한다.

DSP 프로세서도 마찬가지로 일정 수준 이상의 오류 발생 시 전체 시스템에 커다란 품질 저하를 피할 수 없다. 그러나 DSP 프로세서는 미리 정해진 알고리즘에 따라서 동작하므로 메모리에 저장된 데이터의 중요도를 미리 파악할 수 있다는 점이 다르다. 예를 들어, 임베디드 메모리에 저장된 바이너리 데이터에서 Higher priority order bit(HOB)에 에러가 발생한 경우가 Lower priority order bit(LOB)에 발생한 경우보다 저장된 정보의 품질 저하가 훨씬 크게 일어난다. 이와 같이 메모리에 저장된 데이터의 중요도를 미리 알고 있을 경우에는 중요도를 고려하여 더 효율적인 오류정정 효과를 얻을 수 있다.

III. General Processor에서의 메모리 에러 대응 방법

1. 하드 에러에 대한 대응 방법

하드 에러는 미세 공정의 변이로 인해 발생한 불량 셀에 나타나는 에러를 말한다. 불량 셀로 생산된 메모리 셀이나 해당 셀을 포함하는 워드 데이터는 영구적으로 하드 오류의 가능성을 갖는다. 따라서 불량 셀로 인한 빈번한 오류 발생을 방지하기 위해 〈그림 3〉과 같은 Built-in self-test(BIST) 회로가 연구되어 왔다^[3]. 이 회로들은 임베디드 메모리와 함께 삽입되어 시스템



〈그림 3〉 여분의 메모리를 포함한 BIST 회로

의 본 동작 이전 단계에서 불량 셀들을 판별한다. 그림과 같이 BIST 회로는 판별된 불량 워드에 대한 정보를 이용하여, 불량으로 판별된 어드레스에 읽기/쓰기 동작을 하려는 경우 여분의 메모리 워드로 대체하여 우회하여 사용하도록 한다.

범용 프로세서에서의 임베디드 메모리 에러는 하드 에러와 소프트 에러로 구분할 수 있으며 각각의 경우에 대하여 효율적으로 대응할 수 있는 방안들이 제안되어 왔다.

2. 소프트 에러에 대한 대응 방법

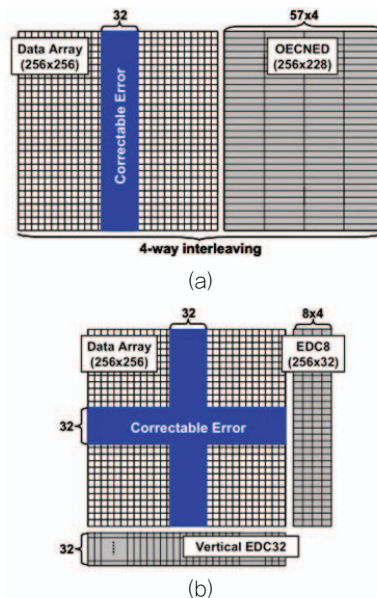
소프트 에러는 알파 입자의 부딪힘이나 전원 전압의 노이즈, 혹은 런타임에 증가함에 따라서 변하는 칩의 온도 등의 일시적인 원인 때문에 단발적으로 발생한다. 따라서 위에서 소개한 하드 에러의 대응 방안으로는 효과적 대응할 수 없다. 이러한 예측 불가능한 오류는 일반적으로 오류 정정 부호를 이용한다. 오류 정정 부호는 여분(parity)의 데이터를 추가로 사용하여 일정 수준(=오류 정정 능력) 이내의 오류가 발생하였을 때 부호의 복호화를 통해 오류를 수정하는 부호이다. 일반적으로 메모리에 사용되는 오류 정정 부호는 그 복잡도 정도에 따라서 1) 패리티 체크(Parity check) 부호, 레피티션(Repetition) 부호, 2) 해밍(Hamming) 부호, 3) BCH 부호 정도로 세분화 할 수 있다. 오류 발생의 정도가 예측이 불가능하기 때문에 대체로 오류가 가장 많이 발생하는 최악의 경우를 기준으로 하여 여분의 메모리

리 양을 할당하여 사용하고 있다.

따라서 기존의 오류 정정 부호는 여분의 메모리로 인한 면적의 오버헤드가 크고, 또한 복호기의 하드웨어 구현으로 인한 면적 증가가 크다는 점을 문제점으로 가지고 있다. 또한 부호의 복호화기의 레이턴시(Latency)가 점점 커지고 있는 상황이므로 전체 메모리의 레이턴시를 좌우하게 되어 캐시와 같이 고속의 동작을 요구하는 메모리에는 부호의 복호화 레이턴시를 최소한으로 줄이는 것 또한 고려해야 할 사항이다.

a. 2차원(Two-dimensional) 오류 정정 부호

트랜지스터들이 밀집된 지역, 그 중에서도 특히 메모리의 코어(core) 부분에 고에너지의 중성자, 알파 입자가 부딪히면 저장되어 있던 데이터들이 알파 입자의 영향을 받아 깨지게 된다. 이를 “버스트 에러(Burst error)”라고 부른다. 공정의 미세화와 함께 단일 알파 입자 충돌로부터 영향을 받게 되는 인접 셀(Cell)들의 숫자가 증가되고 있고, 이에 따라 더 높은 오류 정정 능력의 필



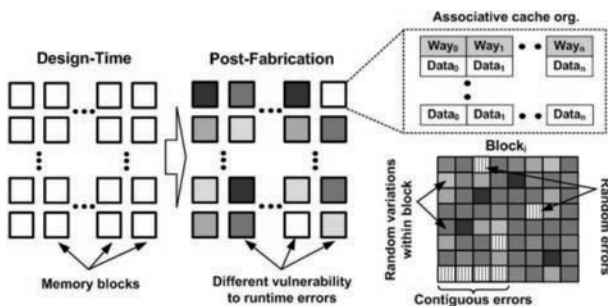
〈그림 4〉 (a) 기존의 1D 오류정정 부호의 경우와 그 여분의 메모리 (b) 2D 오류 정정 부호의 경우와 여분의 메모리

요성이 대두되고 있다. 기존의 오류 정정 부호는 증가된 오류 발생 상황에 오류 정정 능력을 증가시키는 방향으로 대응해 왔다. 하지만 이 방법은 그에 따른 오버헤드의 증가가 매우 크다. 이에 효과적으로 대응하기 위하여 제안된 것이 2차원의 오류 정정 부호 방법이다^[4].

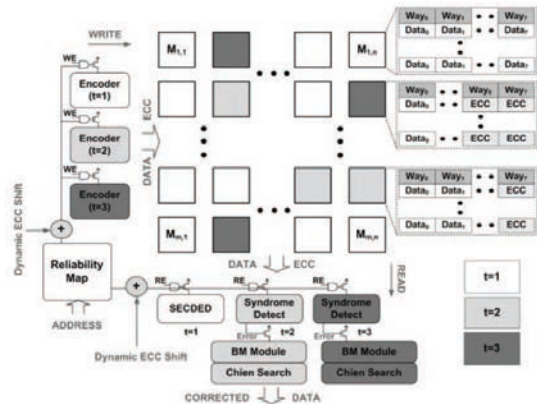
2차원 오류 정정 부호는 기존의 오류 정정 부호 방법에 비하여 EDC와 같은 간단한 패리티 체크 부호로 데이터를 2차원으로 부호화하여 여분의 메모리 사용을 줄인다. 패리티 체크 부호는 적은 여분의 메모리를 추가하여 오류 정정은 불가능하지만 오류 발생 여부만 감지할 수 있는 부호이다. 단독(또는 하나의 방향으로) 부호화할 경우 오류 정정을 하지 못하지만 2D 오류 정정 부호화를 한 경우 후처리 방식을 통해 에러 위치 (X,Y)를 찾아낼 수 있다. EDC8을 이용하여 2D 오류 정정 부호 구조를 사용하였을 경우 <그림 4(b)> “버스트 에러”에 한하여 더 적은 여분의 메모리를 이용해서 기존의 방식의 8bit-correction and 9-bit detection (OECNED) 부호만 사용한 경우 <그림 4(a)>와 비슷하거나 더 나은 오류 정정 능력을 나타낸다.

b. 가변 (reconfigurable) 오류 정정 부호

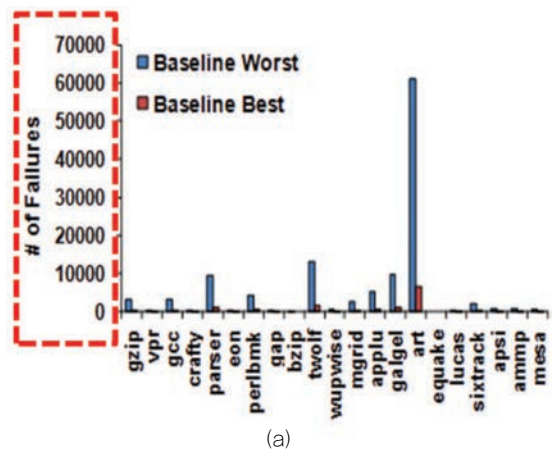
이번에 소개되는 오류 정정 부호 방법은 공급 전압이나 온도의 변화, 또는 에이징 효과(aging effect)로 인하여 발생하는 소프트 에러의 대응에 초점을 두고 있다^[5]. <그림 5>와 같이 설계 단계에는 모든 메모리 블록이 똑같은 신뢰성으로 설계를 하였다고 할지라도 공정 변이로 인해 각 블록의 신뢰도는 차이가 생긴다. 이러한



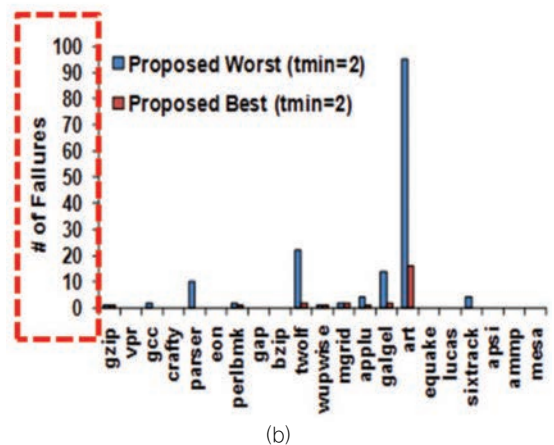
<그림 5> 공정 이후의 메모리 블록에 따른 신뢰도 차이와 associative 캐시 구조



<그림 6> 변경 가능 오류 정정 부호 H/W 구현 방법



(a)



(b)

<그림 7> 나타난 오류 개수 비교 (a) 기존의 SECCED를 사용하는 baseline processor (b) 가변 오류 정정 부호^[5]

공정 변이로 인한 신뢰도 차이는 설계 공정의 미세화와 동작 전압이 점점 내려감에 따라 심화된다. 논문[5]은 inter- 혹은 intra- 다이(die) 변이에 주목하여 캐시의 서로 다른 구역의 메모리 블록들은 다른 공정 변이값



결과적으로 서로 다른 신뢰성을 가지고 있다는 점에 주목한다.

설계 단계(Design-Time)에서부터 서로 다른 오류 정정 능력을 갖는 오류 정정 부호 부호기/복호기를 설계하고 <그림 6>과 같이 각 메모리 블록의 신뢰성에 맞게 할당하여 부호기/복호기를 필요에 따라 사용한다. 이러한 가변(reconfigurable) 오류정정 부호 할당은 달라질 부호 구성에 맞추어 변화하는 저장 공간을 필요로 한다. 논문 [5]에서는 이러한 저장 공간의 할당을 참조 논문 [6]과 같이 associative 캐시에서 “ways”를 이용한다. 하나 혹은 그 이상의 “ways”를 희생하는 것은 전체 성능 저하에 크지 않은(4% 이하) 영향을 미치는 것으로 언급하고 있다.

Single Error Correction Double Error Detection (SECDEC)를 사용하는 baseline processor의 경우 비트 오류 발생 확률이 10^{-4} 일 때 <그림 7(a)>와 같이 많은 수의 에러가 복호화 결과에도 나타나는 것에 반해 오류 정정 능력이 재구성 가능한 가변($t_{min}=2$) 오류 정정 부호를 사용하였을 때에 <그림 7(b)>와 같이 복호화 결과 약 99.8% 더 적은 오류가 남아 있음을 확인할 수 있다.

IV. Digital Signal Processor (DSP)내 메모리 에러 대처 방법

본 섹션에서는 디지털 신호 처리(DSP) 프로세서의 임베디드 메모리에 적용할 다양한 오류 대응 방법들을 소개한다. 디지털 신호처리 프로세서는 복잡한 알고리즘의 하드웨어 구현을 목적으로 하며 많은 양의 중간



<그림 8> 각 데이터 비트 위치에서 난 에러가 H.264 인코더의 영상 품질에 미치는 영향

계산값들을 저장하기 위해 대용량의 임베디드 메모리를 필요로 한다. 또한, 프로세서당 특정 알고리즘 동작만을 수행하므로 데이터들의 중요도를 설계 단계에서부터 이미 명확히 정해져 있다는 점이 General processor에 사용되는 메모리와는 다르다.

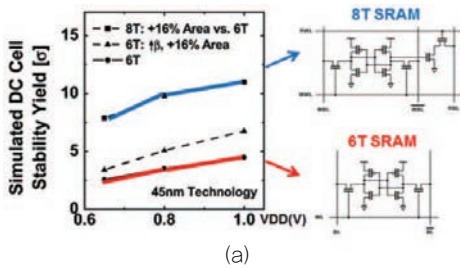
DSP의 임베디드 메모리의 오류에 대한 대응 방법들에서는 각 메모리 셀에 저장된 비트가 가지고 있는 데이터 중요도 차이가 중요하게 이용된다. 예를 들어서, <그림 8>과 같이 H.264 프로세서의 임베디드 메모리에서 각 위치에서 에러가 난다고 가정한다면 higher order bit(HOB)에서 에러가 난 경우 영상의 품질의 지표가 되는 PSNR 값이 에러가 나타나지 않을 때와 비교해서 42.5dB에서 16.5dB까지 떨어짐을 볼 수 있다.

이렇게 메모리의 각 비트에서 발생한 에러가 시스템 품질에 미치는 영향이 다르다는 점을 이용하여 DSP 프로세서의 메모리에서 나타나는 에러에 대응하는 연구가 진행되어 왔다. 연구가 진행되어온 에러 대응 방안을 1) 메모리 회로 설계 기술을 이용한 방법과 2) 오류 정정 부호를 이용한 대응 방법으로 두 가지로 나누어서 간략히 소개한다.

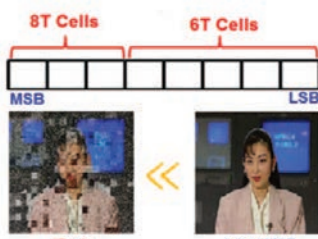
1. 메모리 회로 설계 기술을 이용한 방법

a. 하이브리드 6T/8T 메모리 구조 설계

지금부터 소개하는 두 방법들은 모두 메모리 설계 단계에서 더 중요한 데이터에 더 높은 신뢰도를 주는 방법들이다. 논문 [7]에서는 6T SRAM 셀과 8T SRAM 셀의 안정성 차이 <그림 9(a)>에 주목하여 데이터의 중요도가 높은 부분에는 안정성이 높은 8T SRAM 셀을 덜 중요한 부분에는 6T SRAM을 사용하였다. 8T SRAM 셀은 6T SRAM 셀에 비해 공급 전압 강하 환경에서 더 높은 안정성을 가지지만 면적을 많이 요구하기 때문에 더 중요한 정보에만 이용하여 메모리 면적 증가를 적게 하는 6T/8T 하이브리드 메모리 구조를 제안하였다. <그림 9(b)>와 같이 동일한 6T SRAM만을 사용하여 메모리를 구성하였을 때와 비교하여 더 좋은 영상 품질을 보여준다.

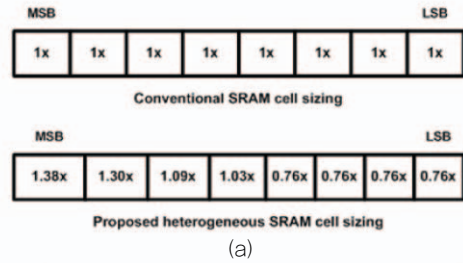


(a)

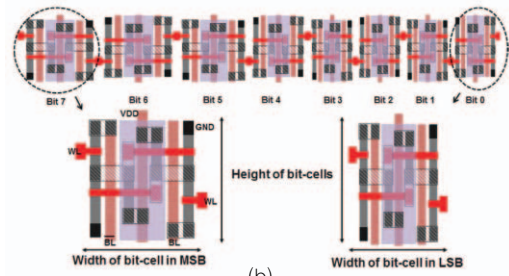


(b)

〈그림 9〉 (a) 6T 셀과 8T 셀의 동작 전압 강하에 따른 신뢰도 비교 (b) 하이브리드 6T/8T 메모리 구조 구성



(a)



(b)

〈그림 10〉 (a) 이종 6T SRAM 셀의 구조 (b) 이종 SRAM 구조의 레이아웃

b. SRAM 메모리의 이종(heterogeneous) 사이즈 이용 방법

6T SRAM 셀만을 이용하여서도 더 안정적인 메모리 셀에 중요한 데이터를 저장하는 구조를 설계할 수 있다. 미세 공정의 변이로 인하여 6T 메모리 셀에 오류가 발생할 때, 더 큰 사이즈의 6T SRAM 셀을 사용하면 공정 변이에 영향을 덜 받기 때문에 오류 발생확률이 떨어지는 효과를 얻을 수 있다. 모든 데이터 비트에 큰 사이즈의 6T SRAM을 사용하는 것은 면적을 크게 증가시키기 때문에 면적 증가를 고려하여 〈그림 10〉과 같이 HOB에 더 큰 사이즈의 SRAM 셀을 사용하는 방법이 제안되었다^[8].

2. 오류정정 부호를 이용한 방법

데이터의 중요도를 고려하는 방법으로 이전 섹션까지는 메모리 회로 설계기술을 이용한 방법들이 간략히 소개되었다. 이번 섹션에서는 오류 정정 부호를 이용하여 발생하는 오류에 효과적으로 대응하는 방법에 대하여 서술한다.

디지털 신호처리 프로세서에서 발생하는 임베디드 메모리 에러는 메모리 설계 기술을 이용한 방법이나 오류 정정 부호를 이용한 방법 등이 대응 방안으로 사용 되었다.

a. 비균등(Unequal) 오류 정정 부호

비균등 오류 정정 부호는 가장 간단한 오류 정정 부호 중의 하나인 레피티션 부호, Orthogonal Latin square 부호를 병렬적으로 구성하여 오류 정정 부호를 구성한다^[9]. 이 두 코드는 매우 간단한 복호방법을 이용해 복호화 레이턴시가 매우 짧은 장점이 있지만 여분의 메모리를 많이 필요로 하는 점을 문제점으로 가지고 있다. 더 중요한 부분의 데이터는 더 강한 오류 정정 능력을 제공하는 부호를 사용하고 덜 중요한 데이터는 약한 오류 정정 능력을 사용하여 보호한다. 여러 오류 정정 능력을 가지고 있는 부호들을 병렬로 연결하여 비균등한 부호를 구성하고 또한 적용 어플리케이션에 따라서 최적의 부호 구성을 찾는 알고리즘을 제안하였다.

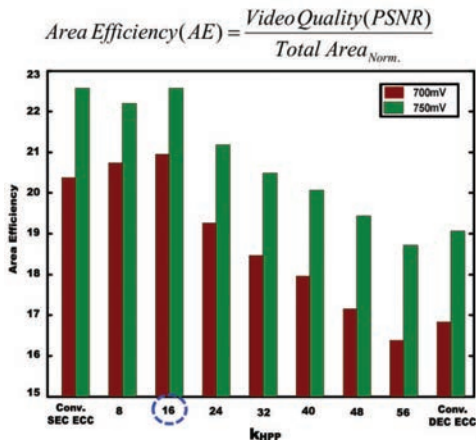
b. 우선순위 기반(Priority based) 오류 정정 부호

이 논문 [10]에서는 1bit correcting Hamming 부호나 2bit correcting BCH 부호를 이용하여 [9]와 같이 더 중요한 데이터에 더 강한 오류 정정 부호를 사용하고 덜 중요한 부분에 간단한 오류 정정 부호를 사용

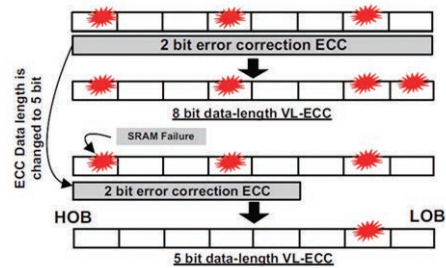


하는 비균등 오류 정정 능력을 제공하였다. <그림 11>과 같이 peak signal to noise ratio (PSNR)값을 메모리와 디코더 메모리의 전체 면적으로 나눈 Area efficiency (AE) 지표를 이용하여 오류 정정 능력의 면적 대비 효율성을 비교하였다.

논문 [10]에서는 H.264 encoder 프로세서의 8비트 데이터 8 세트가 한 워드에 저장된 64비트의 워드 데이터를 갖는 임베디드 메모리에 우선순위 기반 오류 정정 부호를 적용하여 H.264의 PSNR 값을 측정하는 시뮬레이션을 실시하였다. 시뮬레이션으로부터 얻은 PSNR 결과값과 2bit 오류 정정 부호와 1bit 오류 정정 부호를 구성을 다르게 함에 따라 변하는 메모리와 복호기/부호기 면적들로 AE 값들을 각 경우에 대하여 비교하였다. <그림 11>에서 x축 인자가 되는 k_{hhp} 는 64bit 데이터 중에 2bit 오류 정정 부호로 보호하는 데이터 비트 길이를 의미한다. 공급 전압 강하의 정도에 따라 AE값이 가장 높은 부호가 다른데, 따라서 목표의 전압 강하에 맞춰 오류 정정 부호를 설계 단계에서 미리 결정해야 한다. 따라서 우선순위 기반 오류정정 부호는 제작 이후에는 이러한 부호의 구성(k_{hhp}) 변경이 불가하다는 점이 단점이다.



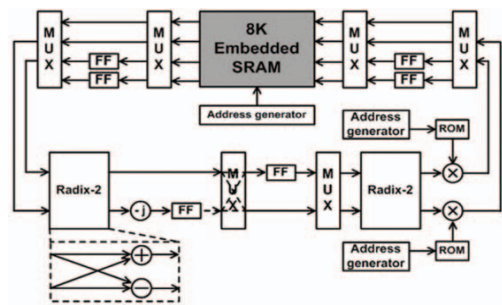
<그림 11> H.264 인코더의 공급 전압 강하에 따른 AE



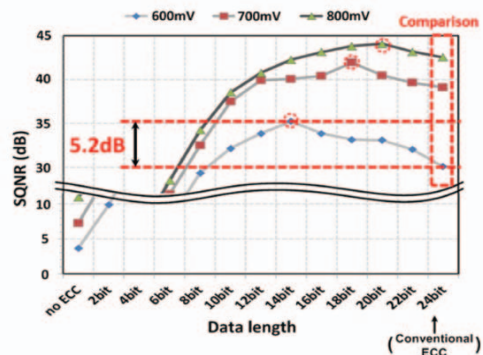
<그림 12> 가변 길이 오류 정정 부호의 증가된 에러 대응 방법

c. 가변 길이(Variable Length) 오류 정정 부호

가변 길이(Variable length) 오류 정정 부호는 앞의 두 오류 정정 부호와 달리 공급 전압 강하 강도에 따라서 부호 구성을 변경할 수 있다. 오류 정정 부호의 아이디어의 핵심은 에러 발생 확률에 따라 보호하는 데이터의 길이를 <그림 12>와 같이 가변적으로 바꾸어 가며 보호하는 것이다^[11].



(a)



(b)

<그림 13> (a) FFT processor의 구조와 임베디드 메모리 (b) 가변 길이 오류 정정 부호 적용 결과



Fast Fourier transfer (FFT) 프로세서에 사용되는 임베디드 메모리 <그림 13(a)>에 오류 정정 부호를 적용해 본 결과 <그림 13(b)>와 같이 가장 높은 signal to quantization noise ratio (SQNR) 값을 보이는 가변 데이터 길이는 공급 전압이 변함에 따라 다르다. 가변 길이 오류 정정 부호는 하나의 부호기 복호기 하드웨어를 사용하면서 데이터 길이를 변화시킬 수 있다. 따라서 각 공급 전압 상황에 따라서 가장 높은 SQNR 값을 갖는 가변 데이터 길이를 미리 알고 있다면, 변화되는 공급 전압 상황에 맞추어 더 좋은 오류 정정 효과를 갖는 데이터 길이를 설계 단계 이후에도 선택할 수 있다.

결과적으로 가변 길이 오류 정정 부호는 부호의 데이터 길이를 가변적으로 변화시켜 공급 전압에 적응하여 가장 높은 SQNR값만을 이루어 낸다. 논문 [11]은 기존의 존재하는 shortened ECC 개념과 잘 알려진 데이터 중요도 차이를 활용하여 변화하는 공급 전압에 대하여도 높은 오류 정정 성능을 이끌어 내었다는 점에서 의미가 있다.

V. 앞으로의 연구 방향

이 논문은 캐시 혹은 임베디드 메모리에서 주로 사용되는 SRAM에 발생하는 에러에 대응하는 방법들에 대해 간략하게 소개하였다. 기존의 균등 오류 정정 부호들은 공정의 미세화에 따라 증가하는 에러 발생에 대응하기에는 너무 큰 오버헤드를 가지고 있었다. 따라서 증가된 에러에 대응하기 위하여 적용하는 어플리케이션의 특성에 주목하여 오류 발생 상황에 효과적으로 대응하는 방안들이 그 대안으로 진행되어 왔다.

이전까지의 연구가 데이터의 중요도 차이나 메모리 블록의 신뢰도 차이 등 오류 정정 부호를 적용 어플리케이션의 특성을 고려하여 진행되어 왔듯이 앞으로도 연구 방향도 어플리케이션의 특성을 파악하여 전용의 오류 정정 부호 개발 방향으로 진행될 것으로 예상된다. 과거의 고성능 임베디드 메모리의 대부분은 PC의 CPU 등에 국한되어 필요했었기 때문에 CPU 설계 기

술을 가진 특정 회사에서만 자사의 프로세서에 탑재하기 위해 임베디드 메모리를 주로 개발하였다. 그러나 스마트폰으로 대표되는 휴대용 기기들의 발달을 통해 우리나라도 프로세서 설계에 공격적으로 뛰어들 수 있는 기회가 생겼고, 이에 따라 효율적인 임베디드 메모리의 사용 또한 고심해봐야 하는 상황이다. 이를 계속 뒷받침하기 위해서는 프로세서 자체의 설계 기술도 중요하지만, 어플리케이션에 적합한 오류 정정 부호를 만들어 이를 적절하게 활용하는 방향에 대한 연구도 계속 힘써야 할 것이다.

참고 문헌

- [1] Semico Research Corp. ASIC Report 2007.
- [2] Predictive Technology Model. <http://ptm.asu.-edu/>.
- [3] Amit Agarwal et al., "A Pocess-Tolerant Cache Architecture for Improved Yield in Nanoscale Technologies", IEEE TVLSI, 2005.
- [4] Jangwoo Kim et al., "Multi-bit Error Tolerant Caches Using Two-Dimensional Error Coding", IEEE/ACM MICRO, 2007.
- [5] Somnath Paul et al., "Reliability-Driven ECC Allocation for Multiple Bit Error Resilience in Processor Cache", IEEE TCOM, 2011.
- [6] Z. Chisti, A.R. Alameldeen, C. Wilkerson, W. Wu, and S. Lu, "Improving Cache Lifetime Reliability at Ultra-Low Voltages," Proc. Int'l Symp. Microarchitecture, 2009.
- [7] I. J. Chang, D. Mohapatra, and K. Roy, "A Priority-Based 6T/8T Hybrid SRAM Architecture for Aggressive Voltage Scaling in Video Applications," IEEE TCAS for Video Technology, 2011.
- [8] J. Kwon, I. Chang, et al., "Heterogeneous SRAM Cell Sizing for Low-Power H.264 Applications", IEEE TCAS-I, 2012
- [9] X. Yang et al., "Unequal-error-protection codes in SRAMs for mobile multimedia applications," IEEE/ACM ICCAD, 2011.



- [10] I. Lee, J. Kwon, et al., "Priority Based Error Correction Code (ECC) for the Embedded SRAM Memories in H.264 System," JSPS, 2013.
- [11] J.W. Park, J. Park, and S. Bhunia, "VL-ECC: Variable Data-Length Error Correction Code for Embedded Memory in DSP Applications," IEEE TCAS II: Express Briefs, 2013.



당 호 영

- 2012년 2월 고려대학교 전기전자전파공학 학사
- 2012년 3월~현재 고려대학교 전기전자전파공학 석박통합과정

〈관심분야〉

오류 정정 부호, 저전력 SoC 설계, 무선 전력 송신



박 종 선

- 1998년 2월 고려대학교 전자공학과 학사.
- 2000년 8월 Purdue Univ., School of ECE 석사
- 2005년 12월 Purdue Univ., School of ECE 박사
- 2005년 5월~2008년 2월
미국 Marvell Semiconductors, Staff Design Engineer
- 2008년~현재 고려대학교 전기전자전파공학부 조교수, 부교수

〈관심분야〉

신뢰성 강한 저전력 통신 및 디지털 신호처리 프로세서 설계, 저전력 임베디드 메모리, 초저전력 sub-threshold 회로설계