웨어러블 기기 UI/UX를 위한 SoC 설계기술 동향

주 재 욱
충남대학교 컴퓨터공학과

최 성 림
충남대학교 컴퓨터공학과

안 종 훈
충남대학교 컴퓨터공학과

남 병 규
충남대학교 컴퓨터공학과

Ⅰ. 서 론

최근 사용자 신체에 부착되어 언제 어디서나 원하는 서비스를 제공받을 수 있는 웨어러블 기기들이 각광받고 있다. 이러한 웨어러블 기기들은 제한된 크기로 인해 기존의 스마트기기에서 채택해 오던 사용자 인터페이스 (user interface, UI)를 수용하기 어려운 문제를 안고 있어 사용자들에게 보다 자연스럽고 편리한 인터페이스를 제공하기 위한 연구가 활발히 진행되고 있다. 이러한 노력의 일환으로 〈그림 1〉과 같이 자연스러운 사용자 인터페이스 (natural user interface, NUI)를 제공하기 위해 음성인식과 뇌파인식, 그리고 제스처 인식 기술에 대한 관심이 고조되고 있으며, 웨어러블 환경에서 이를 구현해 내기 위한 저전력 설계 기술이 크게 중요해지고 있다. 본 고에서는 최근 각광 받고 있는 NUI 기술들을 소개하고 이를 웨어러블 기기상에서 저전력화하여 구현한 기술들을 소개한다. 먼저, 2장에서 웨어러블 기기를 위한 UI 기술 및 동향에 대해 살펴본 후 3장에서는 웨어러블 기기를 위한 NUI SoC 연구 동향에 대해 살펴보고, 4장에서 이들을 위한 저전력 SoC 설계기술에 대해 소개한다. 마지막으로 5장에서 결론을 맺는다.

〈그림 1〉 NUI가 적용된 웨어러블 기기

Ⅱ. 웨어러블 기기용 UI 기술 및 동향

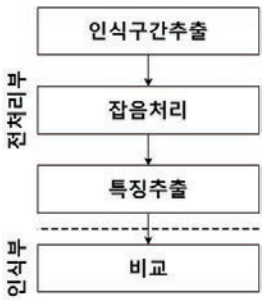
사용자 인터페이스는 〈그림 2〉와 같이 CLI (command line interface)에서 시작하여 GUI (graphical user interface)형태로 발전하였으며, 최근 NUI 형태로 발전하고 있다[1]. CLI는 키보드 등을 이용하여 커맨드 창에 텍스트로 명령을 입력하는 전통적인 입력방식을 말하며, GUI는 모니터 화면에 그래픽으로 표현된 명령을 마우스 등을 이용하여 입력하는 방식을 뜻한다. 스마트폰과 같은 모바일 환경이 도래하면서 이러한 GUI는 터치스크린 기반의 NUI로 발전하기 시작했으며, 앞으로 펼쳐질 웨어러블 환경에서는 기기들의 크기와 무게의 제약이 심하여 기존의 키보드와 모니터, 터치스크린을 이용한 UI보다는 사용자의 자연스러운 신체움직임을 이용하는 더욱 직관적인 NUI가 사용자 인터페이스로 각광받을 전망이다. 이 장에서는 대표적 NUI 기술인 음성인식과 뇌파인식, 그리고 센서기반 및 컴퓨터 비전 기반의 제스처인식 기술들에 대해 각각 소개한다.

웨어러블 기기들은 제한된 크기로 인해 기존 스마트 기기에서 채택되었던 사용자 인터페이스를 수용하기 어렵게 되었고 다양한 새로운 방법들이 연구되고 있다.

1. 음성 인식

우리가 가장 자연스럽게 생각하는 인터페이스 방식은 인간의 말을 인식하여 해당 명령을 수행하는 음성인식 기술이다. 음성인식은 입력받은 사용자의 음성에 대한 특징을 추출한 다음 학습된 데이터베이스와 비교하여 가장 유사한 명령어를 선택한다. 해당 과정은 〈그림 3〉에 나타낸 바와 같이 사용자가 발성한 음성으로부터 잡음을 제거하고 특징을 추출하는 전처리부, 그리고 데이터베이스와 특징을 비교하는 인식부로 나뉜다[2]. 음성인식 방법의 정확도는 점차 개선되어 Apple의 Siri나 Google Now와 같이 실생활에 사용할 수 있는 수준에 이르고 있다.

〈그림 2〉 사용자 인터페이스 발전 과정



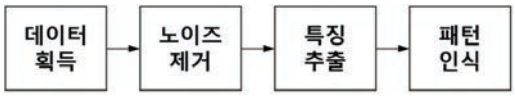
〈그림 3〉 음성인식 알고리즘 파이프라인

2. 뇌파 인식

BCI (Brain-Computer Interface)라고도 불리는 뇌파 인식 인터페이스는 사용자의 생각에 따른 뇌파의 변화를 감지하고 수집하여 웨어러블 기기와 상호작용할 수 있는 인터페이스 기술이다[3]. 뇌파 측정 방식으로는 훈련을 통하여 특정 뇌파를 유도하는 방식과 사용자가 생각을 할 때 뇌파를 인식하는 방식이 있다. 뇌파 인식은 주로 전기적 신호를 이용하는 관계로 전자 제품이나 근육 등에서 발생하는 전기 신호에 의해 간섭을 많이 받아 정교한 인식이 불가능하다. 따라서 아직까지는 상대적으로 비정확성을 허용하는 게임이나 집중력 장애 치료 및 장애인을 보조하기 위한 의료분야에서만 시험적으로 사용되고 있다.

3. 센서 기반의 제스처 인식

제스처 인식 방식은 크게 센서를 이용한 방식과 컴퓨터 비전을 이용한 방식으로 나뉠 수가 있는데, 센서 기반의 제스처 인식은 가속도, 지자기, 자이로나 근전도



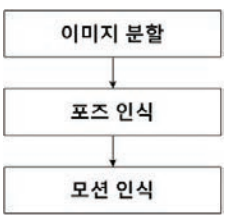
〈그림 4〉 센서 기반 제스처 인식 과정

센서를 이용하여 사용자의 신체 부위 중 손, 얼굴, 다리 등에 대한 포즈 및 모션을 인식하는 방법을 말한다[4-5]. 센서 기반 제스처 인식의 과정은 〈그림 4〉에 나타낸 바와 같이 먼저 각 센서로부터 데이터를 획득한 후 필터를 거쳐 노이즈를 제거하고, 특징을 추출한 후 그 패턴을 분석하여 제스처를 인식하는 과정으로 이루어진다. 이러한 센서 기반의 제스처 인식은 인체에 부착된 센서를 이용하므로 높은 정확도를 지니고 있지만 제스처 인식을 위해서는 센서 장비를 착용해야 하는 불편함을 안고 있다.

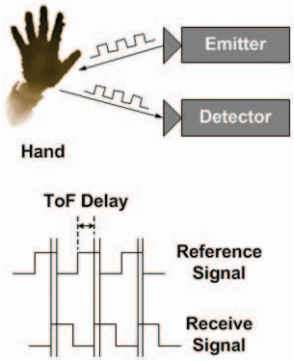
4. 컴퓨터 비전 기반의 제스처 인식

컴퓨터 비전 기반의 제스처 인식은 웨어러블 기기에 내장된 카메라를 이용하여 사용자의 신체 부위 중 손, 얼굴, 다리 등에 대한 포즈 및 모션을 인식하는 기술이다. 전체 처리 과정은 〈그림 5〉에 나타난 바와 같이 입력 이미지로부터 대상을 추출하는 이미지 분할 (image segmentation), 대상의 모양을 인식하는 포즈 인식 (pose recognition), 그리고 대상의 시간에 따른 움직임을 인식하는 모션 인식 (motion recognition)의 3단계로 나뉜다. 또한, 비전 기반의 제스처 인식은 이미지 분할 방법에 따라 3D 비전과 2D 비전으로 분류된다. 기존에는 에지 정보 혹은 템플릿 매칭 등을 이용하는 2D 비전 기반의 제스처 인식이 주로 사용되었으나 사람의 신체는 모양 변화가 매우 심하고 조명 변화 등의 영향을 많이 받는 문제가 있어서 최근에는 3D 비전 기반의 제스처 인식이 각광받고 있다.

3D 비전 기술은 최근까지 두 카메라의 양안 시차를 이용한 스테레오 비전 방식이 주로 사용되었으나 폐색 현상에 의해 정확도가 떨어져 적외선 카메라를 이용한



〈그림 5〉 비전기반의 제스처 인식 처리 과정



〈그림 6〉 ToF 카메라를 이용한 3D 비전 기술

ToF (Time-of-Flight) 방식이 주로 사용되고 있다[6]. ToF 방식은 적외선 파장을 가진 빛을 쏘아주는 에미터 (emitter)와 반사되어 오는 적외선 파장을 감지하는 탐지기 (detector)를 이용하는 방식이다. 〈그림 6〉과 같이 에미터에서 방출된 적외선 파장은 피사체로부터 반사돼 되돌아와 탐지기에서 감지되며 이때 소요된 시간차를 토대로 대상과의 거리를 계산한다[7].

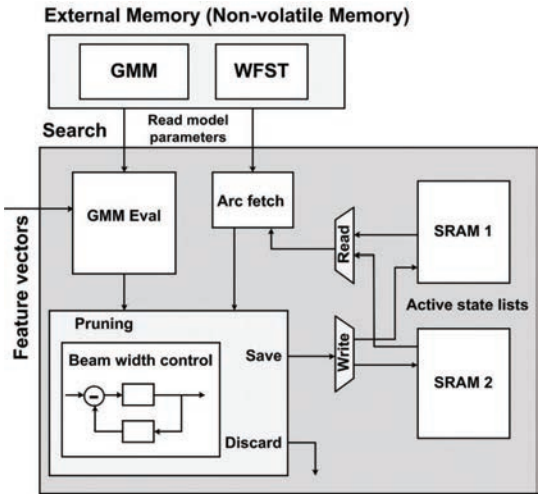
컴퓨터 비전 기반의 제스처 인식 방식은 센서 기반의 제스처 인식에 비해 별도의 기기를 착용할 필요가 없으므로 편리한 인터페이스를 제공하며, 음성인식과 달리 정숙성을 요하는 장소에서도 사용이 용이하다. 하지만 영상처리 기반의 시스템인 관계로 연산량이 많고 복잡한 알고리즘을 수행해야 하므로[8], 소프트웨어보다는 SoC로 최적화하여 구현함으로써 실시간 처리 및 저전력화를 꾀할 수 있다.

Ⅲ. NUI를 위한 SoC 연구 동향

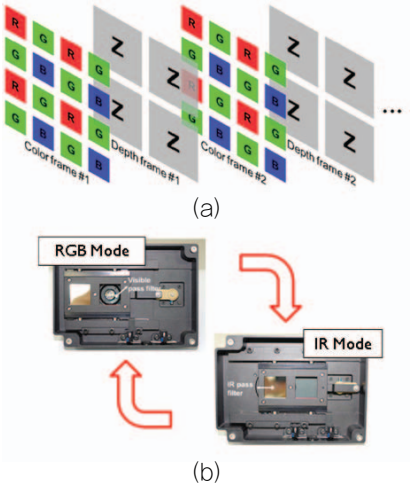
앞 장에서 살펴본 바와 같이 웨어러블 기기에서 자연스런 NUI를 구현하기 위해서는 고성능화 및 저전력화에 대한 구체적인 해결책이 필요하며, 이러한 노력의 일환으로 NUI용 SoC에 대한 연구들이 진행되고 있다. 이 장에서는 웨어러블 기기용 NUI를 위한 SoC 연구들의 최신 동향에 대해 소개한다.

1. 음성 인식 SoC

기존에 사용되던 음성인식 칩은 동작 속도에 중점을



〈그림 7〉 MIT 음성인식 SoC 구조[11]



〈그림 8〉 RGB 카메라와 IR 카메라 통합 (a) 시간에 따른 모드 변경 (b) 필터를 이용해 RGB와 IR 모드 변경[12]

둔 관계로 전력 소모를 고려하지 않아 배터리 제약이 심한 웨어러블 기기에는 적합하지 않다[9-10]. 이를 해결하기 위해 MIT 연구팀은 외부 메모리로 사용되는 DRAM을 〈그림 7〉과 같이 에너지 효율이 좋은 비휘발성 메모리 (non-volatile memory)로 대체하는 시스템을 제안하였다[11]. 하지만, DRAM과 비교하여 비휘발성 메모리가 가지는 좁은 대역폭으로 인해 실시간 음성인식을 구현하기 어려운 관계로 이를 해결하기 위한 두 가지의 구조를 제시하였다. 먼저, 음성신호가 문법과 음운체계에 따라 어떻게 다른지에 따른 정보를 담고 있는 GMM (Gaussian Mixture Model) 수치를 양자화하여 메모리에 접근하는 비트 수를 줄였다. 두 번째로 문법과 음운체계에 관한 상태 정보를 외부 메모리에 저장하는 것을 방지하기 위해서 피드백 (feedback) 기법을 적용하고 있다. 해당 피드백 기법은 상태 정보의 용량이 내부 메모리의 저장 용량을 넘어설 경우에 외부 메모리에 접근하는 것을 방지하기 위하여 상태 정보의 수를 매 사이클 확인한 후 일정 수준으로 조절해준다. 이를 통해 음성인식 칩의 전력 소모량을 1/9 가량으로 낮추었으며 NUI의 실시간성을 만족하도록 하였다.

웨어러블 기기를 위한 사용자 인터페이스에는 음성 인식, 뇌파 인식, 센서 및 컴퓨터 비전 기반의 제스처 인식 등이 있으며 이를 SoC로 구현하는 것이 핵심적인 해결책이다.

2. 제스처 인식 SoC

최근 추가적인 장비 없이 장착된 카메라만을 이용하여 대상을 인식하는 비전 기반의 핸드 제스처인식이 주목받고 있으나 여러 개의 카메라를 이용하므로 면적이 증가하는 단점이 있다. 이를 해결하기 위해 삼성에서는 RGB 카메라와 적외선 (Infrared Ray, IR) 카메라를 통합한 구조를 제안하였다[12]. 비전 기반의 핸드 제스처인식에서 높은 정확도로 인해 널리 사용되는 적외선 카메라는 RGB 카메라와 픽셀 구조가 다르며 적외선 필터가 필요한 관계로 별도의 카메라로 장착된다. 삼성에서는 〈그림 8〉과 같이 두 개의 카메라를 통합하여 시간에 따라 적외선 필터를 각기 다르게 적용하는 CIS (CMOS Image Sensor)를 제안하여 카메라의 수를 줄일 수 있었다.

적외선 카메라 기반 시스템의 큰 전력소모를 해결하기 위한 연구로 초음파를 이용한 ToF 방식의 제스처 인식 시스템에 대한 연구도 진행되고 있다. 캘리포니아 대학 연구팀은 웨어러블 기기를 위한 초음파 기반의 3D 핸드 제스처인식 시스템을 발표하였다[13]. 해당 초음파 ToF 방식의 시스템은 13.64 μJ/frame에 이르는 프레임당 에너지 소모를 구현하여 기존 적외선 ToF 방

식의 2.9 mJ/frame에 비하여 99% 이상의 에너지 절감을 구현하였다. 하지만 초음파는 주변 환경에 간섭을 크게 받고 반사될 경우 다른 곳으로 산란될 가능성이 있어 정확도가 상대적으로 많이 감소하는 문제가 있으므로 향후 이에 대한 보완이 필요할 것으로 예상된다.

Ⅳ. 웨어러블 기기용 저전력 SoC 설계기술 동향

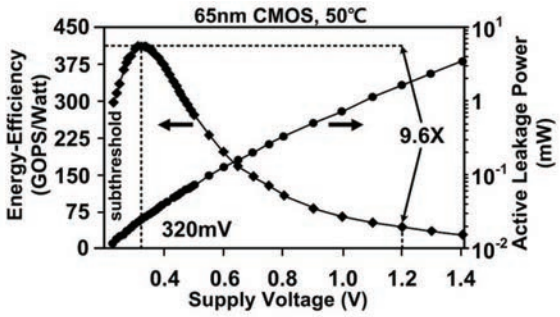
몸에 착용하는 웨어러블 기기들은 기존의 모바일 기기들보다 크기나 무게에 대한 제약이 더욱 심하게 대두되어 기기에 장착 가능한 배터리의 용량을 더욱 제한받게 된다. 따라서, 이와 같은 배터리 용량의 제한을 극복하고 기기의 사용시간을 늘리기 위한 초저전력 (ultra low-power, ULP) 설계가 웨어러블 환경에서는 매우 중요한 설계기술로 대두되고 있다. 본 장에서는 동적전력 및 정적전력 측면에서 다양한 초저전력 SoC 설계 기술들을 소개한다.

1. 동적 전력 소모

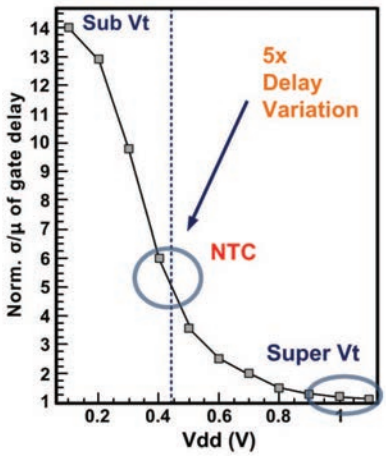
동적 전력 소모는 기기의 동작에 따르는 전력소모를 나타내는 것으로서 시스템 전체 전력 소모의 큰 비중을 차지한다. 따라서, 기기를 저전력화 하기 위해서는 동적 전력 소모를 줄이는 것이 일차적인 목표가 된다. 동적 전력 소모를 절감하기 위한 가장 기본적인 방법으로는 클럭 네트워크에 대한 저전력화 기법을 들 수 있다. 디지털 SoC에서 클럭은 전체 SoC에 공급되고 있으며 매 주기마다 스위칭이 일어나는 관계로 매우 큰 스위칭 캡 (switched cap)에 의한 동적 전력 소모가 SoC 전력 소모의 상당한 부분을 차지하여 전체 전력소모의 21%에까지 이르고 있다[14]. 따라서 SoC의 전력 소모를 줄이기 위한 저전력 클럭 네트워크에 대한 설계 기술이 필수적인데, 이를 위한 기본적이면서도 가장 대표적인 방법으로 클럭 게이팅 (clock gating) 기법을 들 수 있다. 클럭 게이팅은 사용되지 않는 블록에 대해 클럭을 차단하여 스위칭 캡에 의한 전력 소모를 줄이는 기법이다[15]. 이러한 클럭 게이팅 기법보다 더욱 적극적인 방법으로는 클럭을 사용하지 않고 회로를 동작시키는 비동기 회로 (asynchronous circuit) 설계방법을 들 수 있다[16]. 비동기 회로는 클럭을 대신하여 핸드셰이크 프로토콜 (handshake protocol)에 의해 데이터를 동기화하고 전송하는 회로로 클럭 네트워크에 의해 소모되는 전력이 없을 뿐만 아니라, 동작에 필요한 회로만을 구동하므로 동기식 프로세서에 비해 전력 소모를 크게 줄일 수 있다.

전력소모는 전원전압의 제곱에 비례하여 증가하므로 전원전압이 동적 전력 소모에 가장 큰 영향을 미치게 되는데, 이러한 전원전압을 필요에 따라 낮추어 사용하는 기법으로 DVFS (Dynamic Voltage Frequency Scaling) 기법이 널리 사용되고 있다. DVFS 기법은 프로세서의 작업량이 많을 경우 클럭 주파수와 전원전압을 높여 프로세서의 성능을 높여주며, 작업량이 적을 경우에는 클럭과 전원전압을 낮추어 전력소모를 줄여주는 기술로서 현재 대부분의 저전력 시스템에서 채택되고 있는 전력관리 기법이다.

최근에는 이러한 DVFS의 동작 전압 범위를 크게 넓혀서 회로의 동작전압을 트랜지스터의 문턱전압 근처까지 낮추어주는 NTV (Near Threshold Voltage) 설계 기법에 대한 연구가 활발히 진행되고 있다[17]. 이는 SoC의 동적 전력이 전원전압의 제곱에 비례하므로 전원전압을 많이 낮출수록 더욱 큰 전력 절감 효과를 볼 수 있는 점을 적극 활용한 기술이다. 하지만 회로의 동작 전압이 낮아지면 지연시간이 크게 증가하고, 문턱전압 아래 영역에서는 누설전류가 급속히 증가하여 일정 영역에서는 에너지 효율이 크게 떨어지는 문제점을 가



〈그림 9〉 전원 전압에 따른 에너지 효율[17]



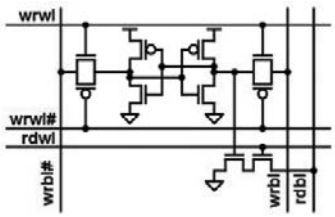
〈그림 10〉 공정 변이에 따른 게이트 지연시간 차이[18]

지고 있다. 이러한 문제점을 극복하기 위해 〈그림 9〉와 같이 회로의 동작 전압을 에너지 효율이 가장 높은 문턱전압 (threshold voltage) 근처까지만 낮추고 회로의 안정적인 동작을 가능하도록 하고 있다.

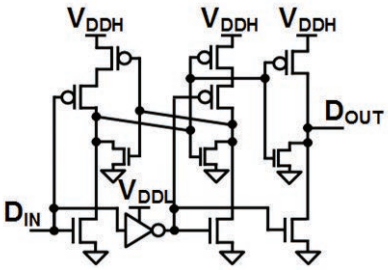
NTV 기술은 높은 전력효율을 얻을 수 있는 반면 공정 변이 (process variation)에 의한 성능 저하가 매우 커지게 된다. 각 트랜지스터 간에는 미세한 문턱전압의 차이가 발생하기 마련인데, NTV 영역에서는 이로 인한 동작 속도의 편차가 〈그림 10〉과 같이 크게 발생하여 성능저하가 커지게 된다[18]. 이러한 공정 변이에 의한 성능 저하를 줄이기 위해서 다양한 방법들이 연구되고 있는데 대표적인 방법들을 소개하면 다음과 같다.

웨어러블 기기에 사용되는SoC의 경우 소비전력 절감이 필수적이며 이러한 성능은 에너지 효율이 뛰어난 초저 전력 NTV 설계를 통해 구현할 수 있다.

우선 저전압 동작 특성이 취약한 SRAM을 저전압에 강인하도록 설계하는 것이 무엇보다 중요하다. 공급 전압이 낮은 환경에서는 SRAM 셀들의 동작이 매우 불안정하여 전체 프로세서의 저전력화를 가로막는 걸림돌이 되고 있다. 이것은 SRAM 셀이 통상적인 로직 회로보다 작은 소자로 만들어지므로 문턱전압의 편차가 커서 저전압 동작에서 오류를 발생시키기 쉽기 때문이다. 이러한 동작 오류를 해결하기 위하여 NTV SRAM에서는 셀 구조를 강화하는 방법과 어시스트 회로를 이용하는 방법들을 많이 사용하고 있다. 〈그림 11〉에 보인 바와 같이



〈그림 11〉 10-T SRAM 메모리 셀[17]

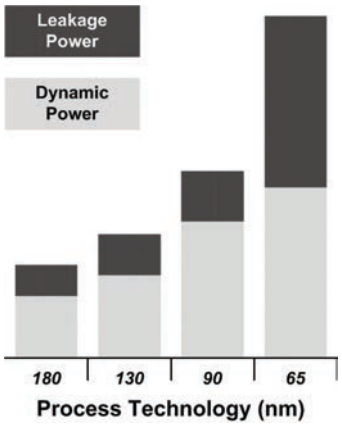


〈그림 12〉 ULVS 레벨 시프터[19]

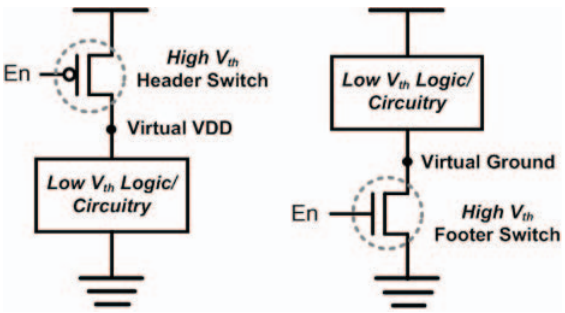
SRAM 셀의 읽기 동작과 쓰기 동작의 경로를 분리하여 최적화 하고, 셀 접근 경로에 PMOS를 추가함으로써 차동 신호를 이용한 쓰기 동작을 가능하도록 하여 저전압 영역에서의 동작 안정성을 확보할 수 있다[17].

또한, NTV영역에서 동작하는 회로와 정격 전압에서 동작하는 회로들의 인터페이스를 위해서는 서로 다른 전압영역간의 레벨 시프터 (level shifter) 회로가 필요하다. 전통적인 레벨 시프터의 경우 CVSL (Cascode Voltage Switch Logic) 단에서 경합에 의한 전력 손실 및 동작 안정성의 문제가 발생하게 되는데, 이를 개선하기 위해 〈그림 12〉와 같은 구조의 ULVS (Ultra Low Voltage Split Ouput) 레벨 시프터가 제안되었다[19]. ULVS 레벨 시프터는 기존의 레벨시프터에 PMOS를 추가함으로써 CVSL 단을 분리시켜 경합으로 인해 발생하는 전력 손실을 줄였고, NMOS를 추가함으로 출력 노드와 분리된 CVSL 노드의 방전속도를 높여 저전압동작 안정성을 개선하였다.

이상 살펴본 바와 같이 NTV 설계는 전력효율이 높아 웨어러블 기기에 매우 적합하지만 아직까지 다양한



〈그림 13〉 누설전류로 인한 전력 소모 증가 추이[20]



〈그림 14〉 파워 게이팅 스위치 (a) 헤더 (b) 푸터[20]

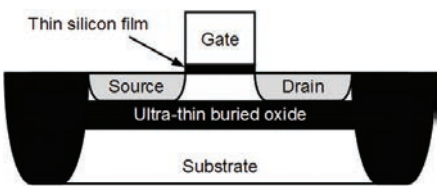
문제점들을 가지고 있어 지속적인 연구가 필요하다.

2. 정적 전력 소모

최근 공정기술이 미세화 됨에 따라 트랜지스터의 누설전류가 크게 증가하고 있어, 이러한 누설전류를 줄이기 위한 다양한 노력들이 진행되고 있다. 특히, 웨어러블 기기는 대기모드에서 머무르는 시간이 길어 누설전류로 인한 전력 소모가 기기의 사용시간과 직결된다. 최근 이러한 누설 전류에 의한 전력 소모는 〈그림 13〉에서 보인 바와 같이 전체 전력 소모의 절반에 다다르는 것으로 나타나고 있으며, 대기 모드뿐만 아니라 동작 모드에서도 누설전류가 차지하는 비중이 커지고 있어 누설전류를 줄이기 위한 연구가 활발히 진행되고 있다[20].

누설전류를 차단하는 가장 효과적인 방법으로는 파워 게이팅(power gating) 기법이 널리 사용되고 있다[21]. 파워게이팅은 대기모드에서 사용하지 않는 블록에 대한 전원을 차단하는 기법으로서 누설전류를 약 1/20로 줄이면서도 성능에 끼치는 영향을 최소화할 수 있어 최근 저전력 설계에서 가장 널리 사용되는 기법이다. 파워게이팅은 〈그림 14〉에 보인 바와 같이 파워 라인과 부하 회로 사이에 스위치를 연결하여 대기모드 (sleep mode)에서는 전원공급을 차단하는 방식으로 구현된다. 파워 스위치는 VDD를 차단하는 헤더 (header) 또는 GND를 차단하는 푸터 (footer) 형태로 사용할 수 있다. 그러나 파워 스위치 자체가 가지는 누설전류가 존재하므로 이를 최소화하기 위해 일반적으로 문턱 전압이 높은 트랜지스터를 사용하고, NMOS 보다 누설전류가 더 적은 PMOS를 이용한 헤더 방식의 파워 게이팅이 일반적이다. 이러한 파워 게이팅 기법을 사용할 시에는 대기모드에서 활성모드 (active mode)로 전환할 때 발생하는 전류급증 (surge current)을 고려해야 한다. 전류급증은 대기모드에서 흐르는 부하 회로의 누설전류가 가상 전원전압/가상 접지 노드를 충전한 뒤 모드 전환시에 충전되어 있던 전하들이 방전되면서 발생하는 전류를 의미한다. 많은 양의 전류급증은 급격한 전압강하를 야기하여 원자이주 (electromigration) 현상을 유발하거나 메모리에 저장된 내용을 변경하여 회로의 성능과 신뢰성에 악영향을 미칠 수 있다. IBM에서는 이러한 문제를 해결하기 위해 모드 전환시 파워 스위치의 게이트에 먼저 V_x (0 〈 Vx 〈 VDD) 만큼의 전압을 인가하여 가상 전원전압/가상 접지 노드에 충전되어 있던 전하의 일정량을 방전한 후 게이트에 VDD의 전압을 인가하여 남아있는 전하를 모두 방전시키는 방식을 제안하였다[22].

또한, 트랜지스터의 문턱전압을 조절하여 누설전류를



〈그림 15〉 초박형 바디 산화막 완전 공핍형 실리콘-온-인슐레이터 트랜지스터

줄이는 기법으로 적응형 바디전압 인가 (adaptive body bias)기법이 있다[23]. 적응형 바디전압 인가기법은 트랜지스터의 바디전압을 조절하여 문턱전압을 조절하는 기법으로, 바디 전압을 낮추어 주면 문턱전압이 상승하는 성질을 이용하여 누설전류를 줄이도록 한다. 하지만 공정 미세화로 인해 바디 팩터 (body factor)가 점차 낮아지고 있어 바디 전압의 변화가 문턱전압의 변화에 미치는 영향이 줄어드는 상황이므로 바디전압 인가 기법의 적용이 점차 제한되고 있다.

최근 ST Microelectronics는 독자기술인 초박형 바디 산화막 (ultra-thin body buried-oxide, UTBB) 완전공핍형 실리콘-온-인슐레이터 (fully depleted silicon on insulator, FD-SOI) 트랜지스터에 적응형 바디전압 인가기법을 적용하였다. 실리콘-온-인슐레이터 공정은 산화 절연층이 형성된 특수 웨이퍼를 사용해 누설전류를 감소시켜 동작 속도 및 소비전력을 개선한 공정으로 〈그림 15〉와 같이 산화 절연층이 바디와 다른 단자를 분리하고 있어 누설전류가 흐를 수 있는 경로를 차단하여 효과적으로 누설전력을 줄여준다. 이러한 구조적 특징은 ±3V까지 바디전압을 인가할 수 있어 적응형 바디전압 인가기법을 적용하는데 매우 적합하고 이로 인해 최근 초박형 바디 산화막 완전공핍형 실리콘-온-인슐레이터 공정을 이용한 연구가 활발히 진행되고 있다[24].

V. 결 론

스마트폰 성장의 둔화에 따라 '포스트 스마트폰'이라는 말이 ICT 업계의 화두가 되면서 '입는 컴퓨터'라는 개념의 웨어러블 기기가 뜨거운 이슈로 떠오르고 있다. 이러한 웨어러블 기기에서는 제한된 크기로 인해 기존의 UI를 그대로 사용하기 어려워, 보다 직관적이고 자연스러운 NUI 기법들이 적용되고 있다. 본 고에서는 웨어러블 기기를 위한 대표적인 NUI 기술인 음성 인식, 뇌파 인식, 제스처인식 기법들에 대해 살펴보았으며, 이러한 NUI 알고리즘을 구현하는 SoC 기술 동향에 대해 살펴보았다. 또한, 웨어러블 기기의 제한된 배터리 환경을 해결하기 위한 저전력 SoC 설계기술이 다시 중요해짐을 알 수 있었으며, NUI를 실시간으로 동작시키며 동작시간을 확보하기 위해서는 에너지 효율성이 뛰어난 초저전력 NTV 설계에 대한 지속적인 연구가 필요할 것으로 판단된다.

감사의 글

본 연구는 산업통상자원부 및 한국산업기술평가관리원의 산업핵심기술개발사업의 일환으로 수행하였음. [10049270, 웨어러블 스마트 기기를 위한 컴퓨터비전 기반 UI/UX용 SoC 및 SW 플랫폼 연구]

참 고 문 헌

[1] K.-C. Park, et al., "Design of Gesture based Interfaces for Controlling GUI Applications," The Journal of the Korea Contents Association, vol. 13, no. 1, pp. 55-63, Jan. 2013

[2] 한국콘텐츠진흥원, "음성인식 기술의 동향과 전망_문화기술 (CT) 심층리포트," 2011년 11월

[3] 한국콘텐츠진흥원, "BCI (Brain Computer Interface) 기술 동향_문화기술 (CT) 심층리포트," 2011년 3월

[4] L. Dipietro, et al., "A Survey of Glove-Based Systems and Their Applications," IEEE Trans. Syst., Man, Cybern. Part C, vol. 38, no. 4, pp. 461-482, July, 2008

[5] M. zecca, et al., "Control of Multifunctional Hands by Processing the Electromyographic Signal," Crit. Rev. Biomed. Eng., vol. 30, no. 04-06, pp. 459-485, 2002

[6] S.-M. Han, et al., "A 413×240-Pixel Sub-Centimeter Resolution Time-of-Flight CMOS Image Sensor with In-Pixel Background Canceling Using Lateral-Electric-Field Charge Modulators," ISSCC Dig. Tech. Papers, pp. 130-131, 2014

[7] A. Payne, et al., "A 512×424 CMOS 3D Time-of-Flight Image Sensor with Multi-Frequency Photo-Demodulation up to 130MHz and 2GS/s ADC," ISSCC

Dig. Tech. Papers, pp. 134–135, 2014

[8] T. Gonzalez–Sanchez and D. Puig, "Real–time Body Gesture Recognition Using Depth Camera," Electron. Lett., vol. 47, no. 12, pp. 697–698, Jun. 2011

[9] J. Choi, et al., "An FPGA Implementation of Speech Recognition with Weighted Finite Stage Transducers," IEEE International Conf. on Acoustics Speech and Signal Processing, pp. 1602–1605, 2010.

[10] J.R. Johnston, R.A. Rutenbar, "A High–rate, Low–power, ASIC Speech Decoder using Finite State Transducers," IEEE International Conf. on Application–Specific Systems, Architectures and Processors, pp. 77–85, 2012.

[11] M. Price, et al., "A 6mW 5K–Word Real–Time Speech Recognizer Using WFST Models," ISSCC Dig. Tech. Papers, pp. 454–455, 2014

[12] S.–J. Kim, et al., "A CMOS Image Sensor Based on Unified Pixel Architecture With Time–Division Multiplexing Scheme for Color and Depth Image Acquisition," IEEE J. Solid–State Circuits, vol. 47, no. 11, pp. 2834–2845, Nov. 2012

[13] R. J. Przybyla, et al., "3D Ultrasonic Gesture Recognition," ISSCC Dig. Tech. Papers, pp. 210–211, 2014

[14] M. Igarashi, et al., "A 28nm HPM Heterogeneous Multi–Core Mobile Application Processor with 2GHz Cores and Low–Power 1GHz Cores," ISSCC Dig. Tech. Papers, pp. 178–179, 2014

[15] S. Wimer, et al., "Design Flow for Flip–Flop Grouping in Data–Driven Clock Gating," IEEE Trans. Very Large Scale Integr. (VLSI) Syst., vol. 22, no. 4, pp. 771–778, Apr. 2014

[16] D. Geer, "Is it time for clockless chips? [Asynchronous processor chips]," IEEE Comput., vol. 38, no. 3, pp. 18–19, Mar. 2005

[17] H. Kaul, et al., "Near–Threshold Voltage (NTV) Design – Opportunities and Challenges," in Proc. 49th Annual Design Automation Conference, pp. 1149–1154, 2012

[18] R. G. Dreslinski, et al., "Near–Threshold Computing: Reclaiming Moore's Law Through Energy Efficient Integrated Circuits," Proc. IEEE, vol. 98, no. 2, pp. 253–266, 2010

[19] S. K. Hsu, et al., "A 280 mV–to–1.1 V 256b Reconfigurable SIMD Vector Permutation Engine With 2–Dimensional Shuffle in 22 nm Tri–Gate CMOS," IEEE J. Solid–State Circuits, vol. 48, no. 1, pp. 118–127, Jan. 2013

[20] J. Ahn, et al., "Trends in Mobile GPU Technology," Communications of the Korean Institute of Information Scientists and Engineers, vol. 32, no. 5, pp. 9–21, 2014

[21] M. H. Chowdhury, et al., "Innovative Power Gating for Leakage Reduction," IEEE International Symposium on Circuits and Systems, pp. 1568–1571, May, 2008

[22] Suhwan Kim, et al., "Understanding and Minimizing Ground Bounce During Mode Transition of Power Gating Structures," IEEE International Symposium on Low Power Electronics and Design, pp. 22–25, Aug. 2003

[23] James W. Tschanz, et al., "Adaptive Body Bias for Reducing Impacts of Die–to–Die and Within–Die Parameter Variations on Microprocessor Frequency and Leakage," IEEE J. Solid–State Circuits, vol. 37, no. 11, pp. 812–826, Nov. 2002

[24] David Jacquet, et al., "A 3 GHz Dual Core Processor ARM CortexTM–A9 in 28 nm UTBB FD–SOI CMOS With Ultra–Wide Voltage Range and Energy Efficiency Optimization," IEEE J. Solid–State Circuits, vol. 49, no. 4, pp. 812–826, Apr. 2014

주 재 욱

• 2013년 충남대학교 전자공학 학사 졸업
• 2013년~현재 충남대학교 컴퓨터공학 석사과정

〈관심분야〉
저전력 SoC 설계, 임베디드 SRAM

최 성 림

• 2011년 충남대학교 컴퓨터공학 학사 졸업
• 2013년 충남대학교 컴퓨터공학 석사 졸업
• 2013년~현재 충남대학교 컴퓨터공학 박사과정

〈관심분야〉
모바일 GPU, 디지털 연산기, 저전력 SoC 설계

안 종 훈

• 2012년 충남대학교 컴퓨터공학 학사 졸업
• 2012년~현재 충남대학교 컴퓨터공학 석 · 박사 통합과정

〈관심분야〉
모바일 GPU, 임베디드 프로세서

남 병 규

• 1999년 경북대학교 컴퓨터공학 학사 졸업
• 2001년 KAIST 전자전산학 석사 졸업
• 2007년 KAIST 전자전산학 박사 졸업
• 2001년~2002년 ETRI 컴퓨터시스템 연구부 연구원
• 2007년~2010년 삼성전자 SystemLSI 사업부 책임연구원
• 2010년~현재 충남대학교 컴퓨터공학과 조교수

〈관심분야〉
모바일 GPU, 임베디드 CPU, 저전력 SoC 설계, 임베디드 S/W 플랫폼