

SOPC를 활용한 NG-SDH 망용 DP-PLL 제어기 설계에 관한 연구

A Study on the DP-PLL Controller Design using SOPC for NG-SDH Networks

선권석*, 박민상**

Gwon-Seok Seon*, Min-Sang Park**

요약

NG-SDH 시스템은 광케이블 통하여 연결된 네트워크이다. 네트워크 동기제어기는 광전송시스템에서 데이터 동기에서 필수적이다. 본 논문에서 SOPC(system on a programmable chip) 설계 기술을 활용하여 네트워크 동기제어기를 설계한다. 설계를 위해 Altera사의 FPGA를 활용하고, FPGA안에는 32Bit CPU, DPRAM(dual port ram), 디지털 입출력포트, 송신 및 수신 프레임, 위상차 검출기 등이 포함되어있다. 설계된 네트워크 동기제어기는 ITU-T G. 813에서 권고하는 동기기준(일시적인 응답에서의 MTIE, 윈더 특성시 MTIE 및 TDEV, Holdover시 MTIE)을 만족함을 확인할 수 있다.

ABSTRACT

NG-SDH system is connected with networks throughout optical fibers. Network synchronization controller is a necessary for the data synchronization in each optical transmission system. In this paper, we have design and implementation the network synchronization controller using SOPC(system on a programmable chip) design technic. For this network synchronization controller we use FPGA in Altera. FPGA includes 32bit CPU, DPRAM(dual port ram), digital input/output port, transmitter and receiver framer, phase difference detector. We also confirm that designed network synchronization controller satisfies the ITU-T G.813 timing requirements.

Keywords : NG-SDH, SOPC, ITU-T, Network Synchronization Controller, FPGA, DP-PLL

1. 서론

NG-SDH(Next generation SDH : synchronous digital hierarchy)시스템이란[1, 2] Fig. 1과 같이 동기식 디지털 계위를 기반으로 하는 SDH망의 효율을 높이기 위해 EoS(Ethernet over SONET/SDH)기능을 추가한 시스템으로 ATM(Asynchronous transfer mode), FR(Frame relay), IP(Internet Protocol) 등의 패킷 트래픽과 SDH/SONET 등의 TDM 전용회선 트래픽을 통합 수용할 수 있는 광통신장비이다. 또한 L2/3 레벨의 VPN 서비스, QoS(Quality of service)서비스, MPLSTE(Multi protocol label switching-traffic engineering), NGN(Next generation network), BcN 패킷 전달망 등의 핵심 노드로 사용되고 있다.

망동기는 통신망을 구성하는 모든 통신장비들이 하나의 기준 동기 클럭원에 동기되는 것을 말하며 통신망에서의 망동기 불일치는 데이터 손실현상인 슬립(Slip)을 발생시킨다. 망이 동기되면 이론적으로 데이터 손실이 발생하지 않으나, 망을 구성하는 각종 요소들의 장애 발생 및 불완전

동작 요소에 의해 데이터 손실현상이 불가피 하여 CCITT에서는 서비스 품질을 고려하여 망의 성능 저하의 한계치를 권고하고 있다. 반도체 기술의 발달과 함께 마이크로프로세서 기술이 발달하면서 동기장치의 기본 구성요소인 위

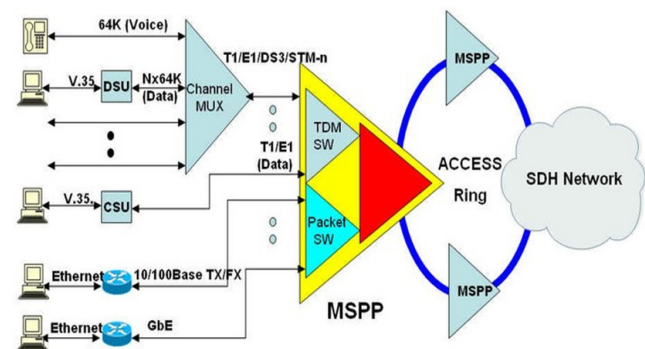


그림 1. NG-SDH 네트워크 예
Fig. 1. Example of NG-SDH Networks

상고정루프 실현시 루프제어를 아날로그 소자에 의존하지 않고, 프로세서에 의존하는 DP-PLL (Digital processing phase locked loop)방식을 많이 사용한다. 기준신호의 단기간 변동을 쉽게 흡수할 수 있는 장점이 있다. 또한 이러한 망동기 제어기의 성능향상을 위해 적절한 루프파라미터 설정 및 제

* 한국폴리텍대학 신기술연수센터

** 한국폴리텍대학 인천캠퍼스

투고 일자 : 2014. 8. 25 수정완료일자 : 2014. 11. 2

게재확정일자 : 2014. 11. 2

어알고리즘이 매우 중요하다. 본 논문에서는 동기식 광전송 시스템에서 심장부와 같은 NG-SDH(Next generation SDH) 시스템용 망동기 디지털 PLL을 SOPC 설계기술을 활용하여 설계 및 구현하고, 설계된 시스템이 ITU-T규격에 만족하는지를 실험을 통해서 검증한다. 이를 위해 제 I 장 서론에 이어 제 II 장에서는 망동기제어기에 대해 설명하고, 제 III 장에서는 망동기 제어기 설계방법과 설계된 망동기제어기 성능평가에 대해 분석한다. 마지막으로 제 IV 장에서는 결론을 맺는다.

II. NG-SDH 망동기 제어기 설계

2.1. NG-SDH 망의 동기기준 클럭

통신망의 망동기를 위해 공급되는 동기 클럭원은 국내 최초 동기원 소스인 KRF(Korea reference frequency) 혹은 PRC(Primary reference clock)를 중심으로 총괄국의 동기클럭 공급장치인 DOTS(Digital office timing supply)1, 중심국의 DOTS(Digital office timing supply)2으로 구성된다. Fig. 2에서와 같이 KRF(PRC)에서 제공되는 동기원은 분배망을 통해 DOTS3)에 공급되고, DOTS는 KRF에 동기된 동기클럭을 생성하여 동일 계층내 모든 전송망에 공급함으로써 KRF 기준 망동기가 실현된다.

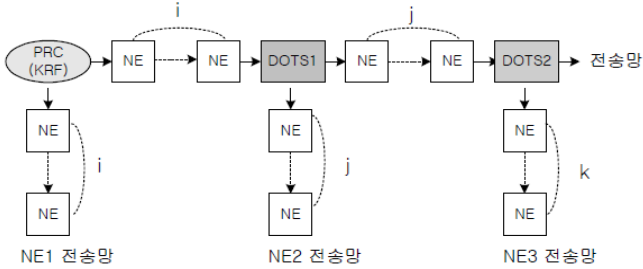


그림 2. 동기클럭 분포 네트워크 구조

Fig. 2. Structure of the synchronous clock distribution network

2.2. 망동기를 위한 디지털 PLL 구성

망동기를 위한 디지털 PLL의 블럭도는 Fig. 3과 같고, 본 논문에서 사용된 디지털 PLL 세부내용은 Fig. 4와 같다. 기준 클럭(2.048MHz, 64kHz, 8kHz)을 수신하는 기준 클럭부, 기준클럭과 시스템 클럭의 위상을 비교하여 위상차를 검출하는 위상차 검출부, 마이크로프로세서를 활용하여 위상 보상값을 적용하는 디지털 제어부, 디지털 출력을 아날로그 출력으로 변환하는 D/A 컨버터, 전압에 따라 발진주파수가 변화하는 VCXO로 구성된다.



그림 3. 디지털 PLL 블럭도

Fig. 3. Block diagram of the digital PLL

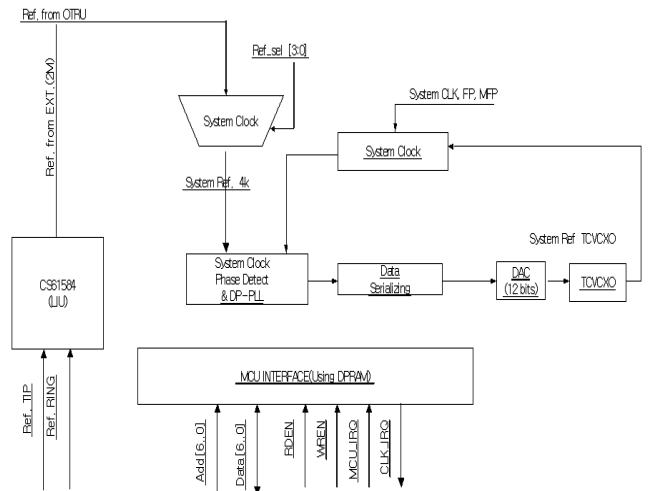


그림 4. 디지털 PLL 상세도

Fig. 4. Detail diagram of the digital PLL

2.3. 망동기 시스템 규격

ITU-T에서 규정한 NG-SDH 시스템용 망동기 장치의 주요규격[4, 5]은 Table. 1과 같다. 광통신시스템을 통해 광대역 정보통신망을 구축하기 위해서는 Table. 1을 만족하는 망동기 제어기 설계가 필수적이다.

표 1. 클럭의 주요사항

Table 1. Key specification of the clock

항목	규격	
기준 입력	E1 (DS1E)	. Data format : HDB3, CRC-4, CAS/CCS, G.704
		. Bit rate : 2.048Mbps
		. Jitter Tolerance : ITU-T G.823
특성	Free-Run 정확도	. $\pm 1.5 \times 10^{-8}$ /day
	Lock 정확도	. $\pm 1.5 \times 10^{-8}$ /day
	Holdover 정확도	. $\pm 1.5 \times 10^{-8}$ /day
	Holdover 안정도	. $\pm 1.5 \times 10^{-8}$ /day
	Jitter 특성	. GR-1244-CORE 3.1 . ITU-T G.813 TYPE I
	Wonder Generation	. GR-1244-CORE 5.3 . ITU-T G.813 TYPE I
	Wonder Transfer	. GR-1244-CORE 5.4 . ITU-T G.813 TYPE I
	Transient Response	. ITU-T G.813 TYPE I
	Pull in, Hold in 범위	. $\pm 4.0 \times 10^{-7}$ /day

2.4. 디지털 망동기 제어기 설계

2.4.1 디지털 망동기 제어기의 장점

망동기 제어장치를 DP-PLL로 설계시 다음과 같은 장점이 있다. 첫째, 동기 기준입력 신호의 상태 및 루프구성 하드웨어의 상태를 파악하여 다양하고 적절한 처리를 할 수 있는 융통성 있는 제어가 가능하고, 둘째, 긴 시상수를 가짐으로써 출력주파수가 입력의 단기간 변동 등에 대한 안정된 상태를 유지하며 입력 주파수 평균치에 가장 근사화시킬 수 있는 용이한 점이 있고, 셋째, 가변 가능한 루프 파라미터들을 입력신호 및 루프상태에 따라 융통성 있게 조정함으로써 루프 동작을 안정하게 유지할 수 있고, 마지막으로 아날로그 소자로 구성된 루프필터보다 온도, 습도 등의 환경변화에 안정하다는 장점이 있다.

2.4.2 디지털 망동기 제어기 H/W 구성

기존 디지털 망동기 제어기를 설계하기 위해서는 상용화된 마이크로프로세서와 망동기 제어에 필요한 다양한 하드웨어 설계를 위해 FPGA를 사용하였다. 본 논문에서는 NG-SDH용 망동기 제어기를 SOPC(System on a Programmable Chip) 설계기술을 적용하여 하나의 반도체칩(FPGA)에 망동기 제어에 필요한 모든 하드웨어를 설계하였다. Fig. 5는 SOPC를 활용해 설계된 망동기 제어기 전체 구성을 나타낸다.

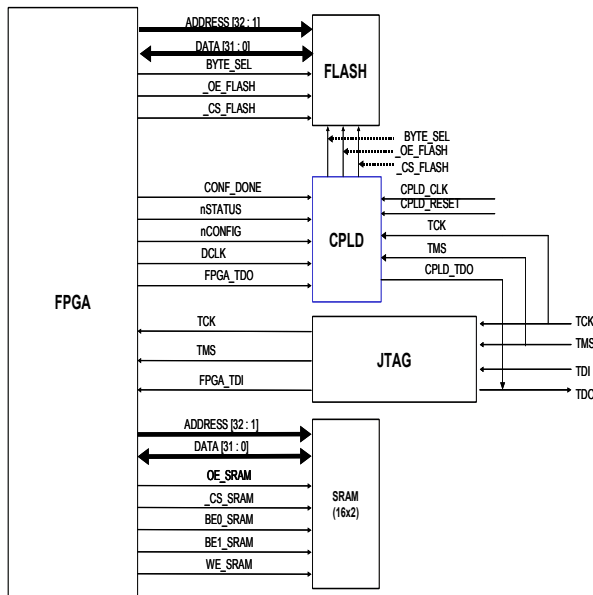


그림 5. 디지털 PLL용 SOPC 설계
Fig. 5. SOPC design for the digital PLL

① 디지털 제어기 설계

본 논문에서 사용될 메인 제어기는 Altera사의 FPGA를 사용하였다. 설계사양을 살펴보면, 32Bit 연산이 가능한 RISC CPU, 32Bit 데이터 버스, 16Bit Flash ROM 인터페이스, 32Bit RAM 인터페이스, 21Bit 어드레스 버스, 일반 범용의 256개의 내부 레지스터, 디지털 입출력 인터페이스,

외부인터럽트 컨트롤러, RS232 드라이버 등이 포함한다. Fig. 6은 설계에 포함된 내부 기능과 어드레스를 나타내고, Fig. 7은 최종적으로 설계된 메인 디지털 제어기의 모듈을 나타낸다.

Use	Name	Type	Base Addr.	End Addr.	IRQ
<input checked="" type="checkbox"/>	bootup_rom	On-Chip Memory (RAM or ROM)	0x0000	0x0003FF	N/A
<input checked="" type="checkbox"/>	uart	UART (RS-232 serial port)	0x400	0x00041F	17
<input checked="" type="checkbox"/>	sram	32-bit SRAM (256Kbytes in tw...	0x40000	0x07FFFF	N/A
<input checked="" type="checkbox"/>	flash	16-bit Flash (1Mbyte AM29LV...	0x100000	0x1FFFFFF	N/A
<input checked="" type="checkbox"/>	dipsw	PIO (Parallel I/O)	0x420	0x00042F	18
<input checked="" type="checkbox"/>	int0	PIO (Parallel I/O)	0x430	0x00043F	16
<input checked="" type="checkbox"/>	int_reg	User-Defined Interface	0x500	0x00050F	N/A
<input checked="" type="checkbox"/>	dpram	User-Defined Interface	0x540	0x00055F	N/A
<input checked="" type="checkbox"/>	cnt_data	PIO (Parallel I/O)	0x560	0x00056F	N/A

그림 6. 디지털제어기 기능
Fig. 6. Function of the digital controller

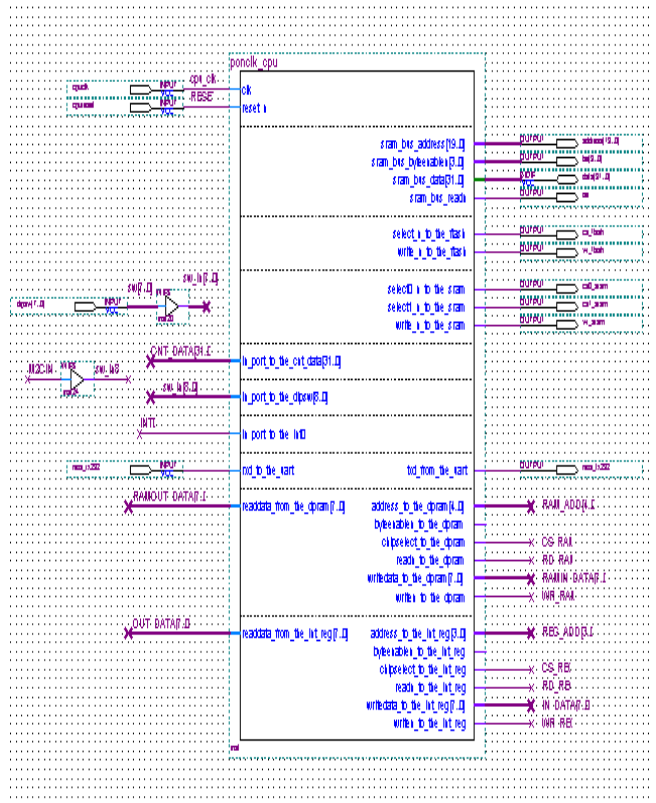


그림 7. 설계된 주 디지털 제어기
Fig. 7. Designed main digital controller

② DPRAM(Dual Port RAM) 설계

Fig. 8은 NG-SDH 시스템의 MCU와 통신을 위해서 설계된 DPRAM이다. 망동기 클럭의 상태정보를 실시간으로 MCU에 전송하고, MCU에서 설정된 명령을 망동기 클럭에 전송하는 기능을 수행한다. 설계된 DPRAM 용량은 송신 16Byte, 수신 16Byte이다.

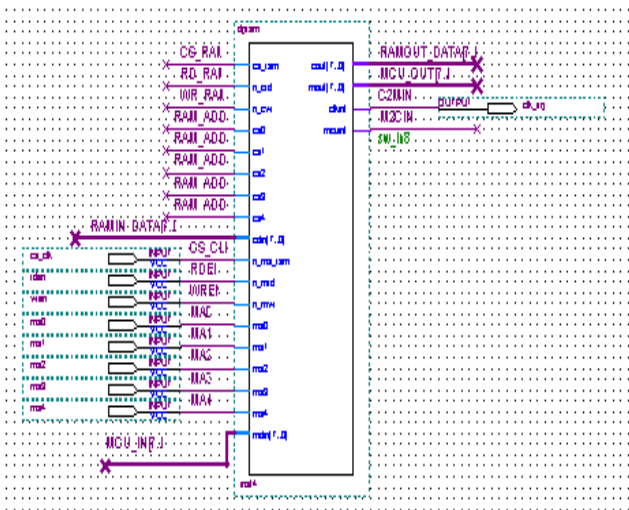


그림 8. 설계된 DPRAM 모듈
Fig. 8. Designed DPRAM module

③ 디지털 입출력 포트 설계

Fig. 9는 디지털 입출력 모듈이다. 기준 클럭 설정, LED 제어, D/A Converter 제어, SSM Bit 송수신등의 입출력 기능을 수행하는 모듈이다.

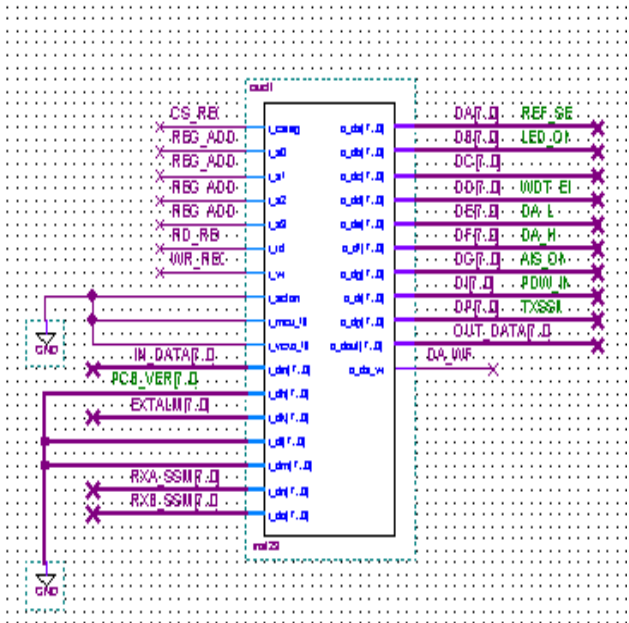


그림 9. 설계된 디지털 입/출력 모듈
Fig. 9. Designed digital input/output module

④ 수신 Framer 설계

Fig. 10은 수신된 클럭, Positive 데이터, Negative 데이터에서 망동기에 필요한 정보를 추출하는 모듈이다. 기능을 살펴보면, 기준신호로 입력되는 데이터에서 망동기 정보를 나타내는 SSM Bit, OOF, BER 등의 정보를 수신한다.

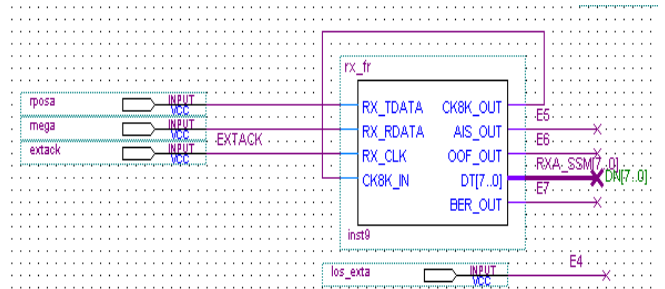


그림 10. 설계된 수신기 프레임어
Fig. 10. Designed receiver framer

⑤ 송신 Framer 설계

Fig. 11은 망동기 제어기에서 설정된 SSM Bit 정보를 E1 프레임 구조에서 타임 슬롯 0번의 위치에 추가하고, HDB3 코드 변환 회로가 설계된 모듈을 나타낸다.

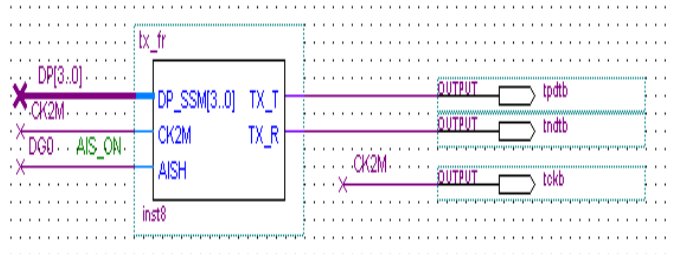


그림 11. 설계된 송신기 프레임어
Fig. 11. Designed transmitter framer

⑥ 위상차 검출기 설계

Fig. 12는 기준 클럭과 시스템 클럭과의 위상 오차를 카운트 하여 CPU에 전달하는 모듈이다. 2.048Mhz 기준 클럭과 77.840Mhz 시스템 클럭을 동일한 주파수인 4Khz로 각자 분주하여 기준클럭과 시스템클럭 사이에 발생하는 위상오차를 16Bit 카운터로 카운팅하여 레지스터에 저장하는 모듈이다. 저장된 위상 에러는 디지털 입출력 장치에 의해서 CPU에 전달되어 최적의 시스템 주파수로 결정된다.

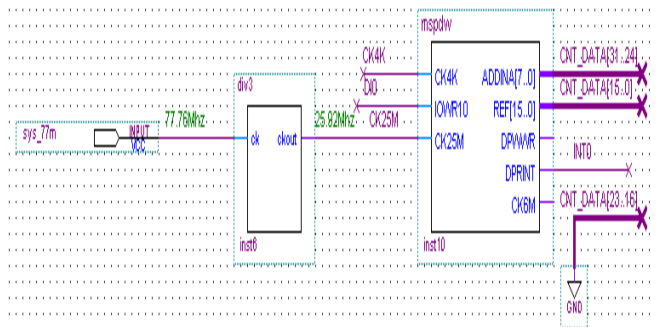


그림 12. 설계된 위상검출기 모듈
Fig. 12. Designed phase detection module

2.4.3 망동기 제어기 제어상수 결정

NG-SDH용 망동기 제어기의 최적 제어 상수를 결정하기 위해서는 수학적 모델링이 필요하다. Fig. 13은 망동기 제어장치의 등가모델이다. 망동기제어기에 사용되는 VCXO (voltage control oscillator) 등가모델은 D/s에 해당되고, 망동기제어기의 위상 제어를 위해 비례적분제어기를 추가한다. 여기서 Kp는 비례제어 상수이고, Ki는 적분제어 상수를 나타낸다.

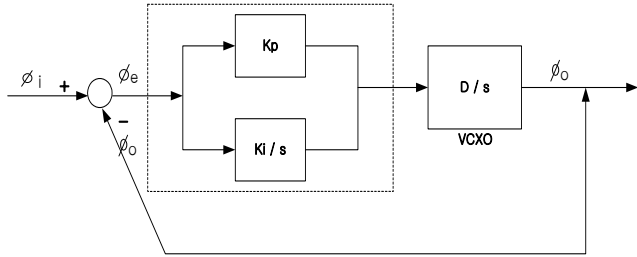


그림 13. 디지털 PLL 등가모델
Fig. 13. Equivalence model of digital PLL

① 근궤적을 이용한 Kp값 결정

시스템에 비례이득과 적분기를 추가 하므로 서 개루프 전달함수는 근궤적에서 각각 영점과 극점을 하나씩 추가한 시스템으로 변경되었다. 본 시스템이 LPF로 동작하기 위한 영점과 극점의 위치를 살펴보면 영점의 절대값이 극점의 절대값보다 커야한다. 설계사양(Overshoot, 정정시간)으로부터 감쇠비(damping ratio)와 제동인자(damping factor)를 구하면

$$-\frac{\pi\zeta}{\sqrt{1-\zeta^2}} = \log_e 5 - \log_e 100$$

정정시간(Ts)은 $T_s = \frac{4}{\zeta\omega_n} \geq 2$

제동인자(damping factor)는

$$\alpha = \zeta\omega_n \geq 2$$

고유주파수(natural frequency)는

$$\omega_n \geq \frac{4}{2\zeta} = 2.9$$

감쇠비와 제동인자를 이용한 근의 위치는 Fig. 14에서와 같이 S-평면에서 -2의 왼쪽의 우세한 극점을 가져야 한다.

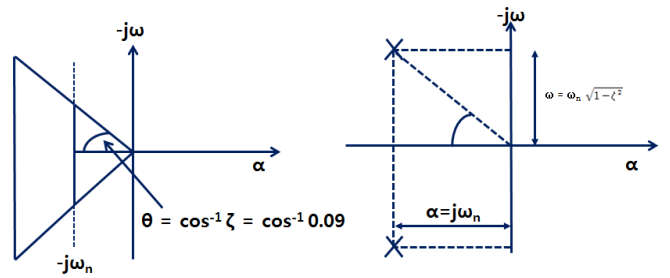


그림 14. 폴 위치
Fig. 14. Pole position

극점에서의 Kp를 구하면 Kp=0.4505, Kp=0.8533을 얻는다.

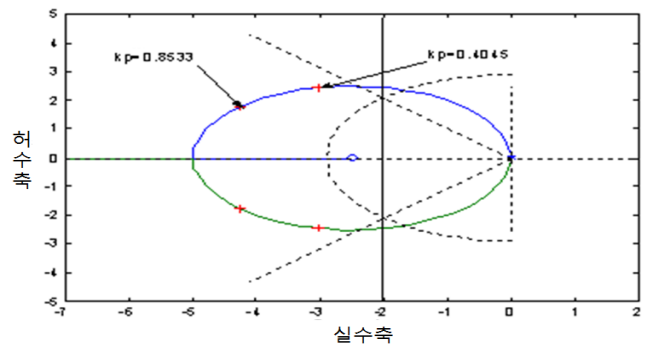


그림 15. Kp 이득 찾기
Fig. 15 Search Kp gain

② K(Ki/Kp) 값에 따른 시간응답 및 주파수 응답

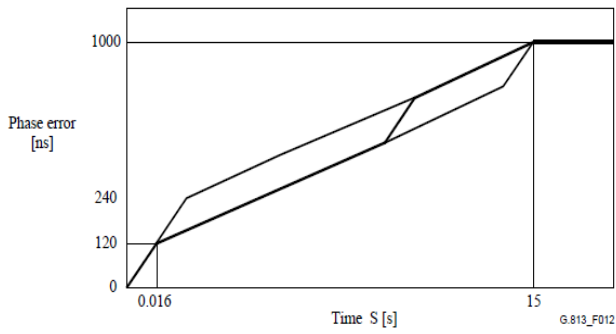
망동기 제어기 설계사양으로부터 구한 Kp값을 기준으로 K의 변화에 따른 시간과 주파수 응답을 모델링하여 구한 제어 상수를 설계한 망동기제어기에 적용하여 설계된 망동기 제어기가 ITU-T 규격에 만족하는지 검증한다.

2.5. 망동기 제어기 주요성능 평가

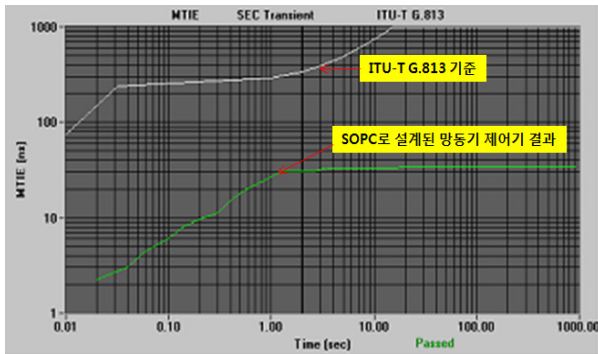
본 논문에서 SOPC로 설계한 NG-SDH 망동기 클럭 발생기가 ITU-T에 규정된 표준을 만족하는지 확인한다.

① Transient Response 성능평가

Fig. 16은 외부동기 클럭이 외부 장애 요인에 의해서 예비 동기원으로 절체 되었을 때 망동기 클럭의 안정성을 측정하는 Transient Response(short term) 결과이다. ITU-T G.813에서 규정한 기준에 의하면 클럭이 절체 되었을 때 15초 이후에는 위상에러가 1000ns 이하이어야 한다. 본 논문에서 설계한 위상제어기의 결과를 보면 출력결과가 ITU-T 규정내에 있으므로 국제 표준[5]을 만족하는 안정된 시스템이다.



(a) ITU-T G.813 규정



(b) 설계된 망동기제어기 결과
그림 16. 단기변화 응답

Fig. 16. Transient response (Short-Term)

② Wander 성능평가

Fig. 17은 외부동기 클럭과 시스템 클럭 사이의 동기가 일치 되었을 때 시간의 흐름에 따른 Wander 특성이 ITU-T 규정에 만족하는지를 실험한다. 표 2에서는 락모드에서 ITU-T G.813에서 규정한 MTIE를 나타내고, 표 3에서는 TEDV를 나타낸다. 설계된 망동기제어기 실험 결과 MTIE와 TDEV가 규정[5]에 만족함을 그림을 통해 확인할 수 있다.

표 2. 원더 생성 MTIE 규정

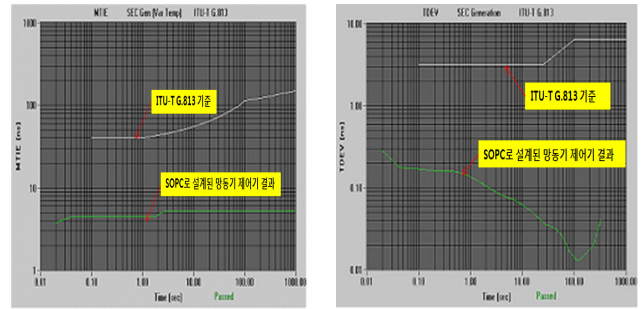
Table 2. Wander generation MTIE recommend

MTIE limit	Observation interval τ
3.2 ns	$0.1 < \tau \leq 25$ s
0.64τ 0.5 ns	$25 < \tau \leq 100$ s
6.4 ns	$100 < \tau \leq 1000$ s

표 3. 원더 생성 TEDV 규정

Table 3. Wander generation TEDV recommend

TDEV limit	Observation interval τ
3.2τ -5 ns	$0.1 < \tau \leq 2.5$ s
2 ns	$2.5 < \tau \leq 40$ s
0.32τ 0.5 ns	$40 < \tau \leq 1000$ s
10 ns	$1000 < \tau \leq 10\,000$ s



(a) MTIE 결과 (b) TDEV 결과
그림 17. 원더 특징

Fig. 17. Wander characteristic(Locking Mode)

③ Wander tolerance 평가

Fig. 18은 외부동기 클럭과 시스템 클럭이 Locking 된 상태에서 일정한 패턴으로 사인파형의 왜란을 인가했을 때 망동기 제어 장치가 장애 없이 안정된 출력을 유지하는지를 판단하는 실험이다. 표 4에서는 ITU-T G.813에서 규정한 Wander tolerance MTIE를 나타내고, 표 5에서는 TEDV를 나타낸다. 설계된 망동기제어기 실험 결과 MTIE와 TDEV 모두 ITU-T 규격[5]을 만족한다.

표 4. 원더 견딤 MTIE 규정

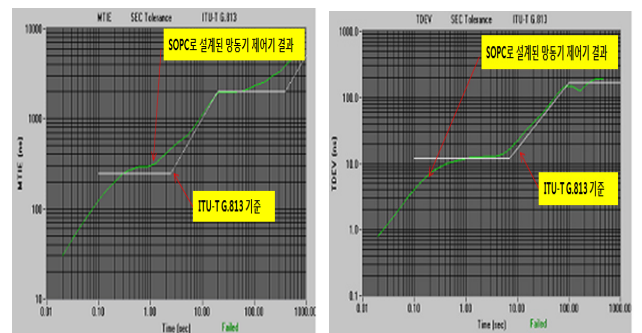
Table 4. wander tolerance MTIE recommend

MTIE limit	Observation interval τ
0.25μ s	$0.1 < \tau \leq 2.5$ s
$0.1 \tau \mu$ s	$2.5 < \tau \leq 20$ s
2μ s	$20 < \tau \leq 400$ s
$0.005 \tau \mu$ s	$400 < \tau \leq 1000$ s

표 5. 원더 견딤 TEDV 규정

Table 5. wander tolerance TDEV recommend

TDEV limit	Observation interval τ
12 ns	$0.1 < \tau \leq 7$ s
1.7τ ns	$7 < \tau \leq 100$ s
170 ns	$100 < \tau \leq 1000$ s



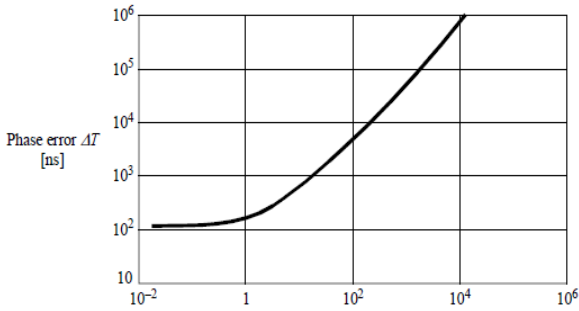
(a) MTIE 결과 (b) TDEV 결과

그림 18. 원더에 견디는 특징

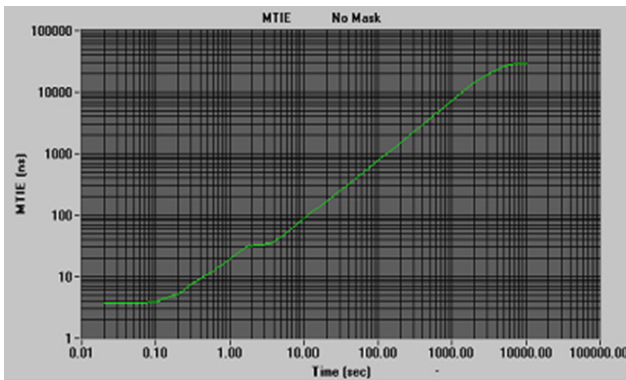
Fig. 18. Wander tolerance characteristic

④ Holdover 평가

Fig. 19는 외부 기준 클럭에 장애가 발생했을 때 24시간동안 NG-SDH 광전송 시스템에 장애가 발생하지 않도록 안정된 클럭을 공급하는지를 평가하는 Holdover 특성 그림이다. 본 논문에서 설계한 위상제어기의 결과를 보면 기준클럭장애 발생 후 10,000시간까지 위상오차가 1000,000ns 이내이므로 ITUT-T G.813 규정보다 제시한 위상오차를 만족한다.



(a) ITU-T G.813 규정



(b) 실험결과

그림 19. 홀드오버 특성

Fig. 19. Holdover characteristics(Long-Term)

III. 결론

본 논문에서는 NG-SDH 광전송시스템에서 심장부와 같은 역할을 하는 망 동기용 클럭을 SOPC(System On a Programmable Chip) 설계기술을 이용하여 설계하였다. 기존 망동기 클럭 발생기는 상용화된 반도체 IC(Micro-Processor, Digital Logic, 주변 I/O, 통신드라이버 (RS232, Ethernet) 등)를 필요로 하나 본 논문에서는 FPGA 내에 이러한 기능을 모두 직접 설계하므로써 제품의 크기감소, 소비전력 감소, 기존 제품 대비 원가에서 우위를 갖는다. 그리고 본 논문에서 설계된 망 동기 클럭 발생기가 국제 표준인 ITU-T 규정을 모두 만족시키는 안정된 시스템을 증명하였다. 또한 본 논문에서는 통신망 동기장치 구성시 핵심이 되는 디지털 PLL 설계에서 주파수 제어값 산출시 루

프이득 즉, 적분상수 및 비례상수의 적정점을 선택해 매우 빠른 추적 특성을 가지도록 하였으며 동기된 상태에서 루프내 왜란에 의한 영향을 보상해 주는 알고리즘을 설정하여 안정된 동기 상태를 유지 할 수 있다. 이와 같은 루프구성방식 및 제어 알고리즘은 통신망 동기장치 구현시 망계위에 따라 파라미터 값을 조정하여 효율적으로 적용할 수 있다.

참고문헌

1. 양충열, “NG-SDH 시스템을 위한 망동기 설계, 구현 및 동기클럭 모델링”, 한국통신학회논문지, 제30권 12호, pp1120-1135, 2005. 11.
2. 이창기, “NG-SDH망에서 측정된 클럭잡음을 이용한 다양한 클럭상태에 따른 동기클럭 성능분석”, 한국정보처리학회논문지, 제16권 5호, pp637-644, 2009. 10.
3. 한국전기통신공사, 디지털 클럭 공급장치(DOTS) 설명서, 1988.
4. ITU-T Recommendation G.812, “Timing requirements of slave clocks suitable for use as node clocks in synchronization networks,” June, 1998.
5. ITU-T Recommendation G.813, “Timing characteristics of SDH equipment slave clocks(SEC),” March. 2003.
6. 황우현, MATLAB을 이용한 자동제어, 복두출판사, 2014. 3. 3.
7. Golnaraghi, Farid, AUTOMATIC CONTROL SYSTEMS, Wiley , 2009. 6. 1.
8. 노승환, VHDL을 이용한 FPGA 디지털 설계, 한빛아카데미, 2014. 1. 27.



선 권 석 (Gwon-Seok Seon)

正會員

~1997. 2 : 기아자동차(주) 연구원

현재 : 한국폴리텍대학 신기술연수센터 교수



박 민 상 (Min-Sang Park)

~ 2002. 2. LG정보통신(주) 연구원

현재 : 한국폴리텍대학 인천캠퍼스 정보통신시스템과 교수

※주관심분야 : 로봇공학, 지능제어, 메카트로닉스