

On-time Production and Delivery Improvements through the Demand-Lot Pegging Framework for a Semiconductor Business

Jeong-Cheol Seo* · June-Young Bang**†

*Samsung Electronics Co., Ltd., Gyeonggi-do, Korea

**Sungkyul University, Gyeonggi-do, Korea

반도체 산업에서 생산용량을 고려한 오더-로트 페깅기반의 납기약속 방법의 정합성 향상에 대한 연구

서정철* · 방준영**†

*삼성전자 DS 경영혁신팀

**성결대학교 산업경영학부

This paper addresses order-lot pegging issues in the supply chain of a semiconductor business. In such a semiconductor business (memory or system LSI) order-lot pegging issues are critical to achieving the goal of ATP (Available to Promise) and on-time production and delivery. However existing pegging system and researches do not consider capacity limit on bottleneck steps. This paper presents an order-lot pegging algorithm for assigning a lot to an order considering quality constraints of each lot and capacity of bottleneck steps along the entire FAB. As a result, a quick and accurate response can be provided to customer order enquiries and pegged lot lists for each promised orders can be shown transparently and short or late orders can be detected before fixing the order.

Keywords : SCM, Demand-Lot Pegging, On-Time Production and Delivery

1. 서론

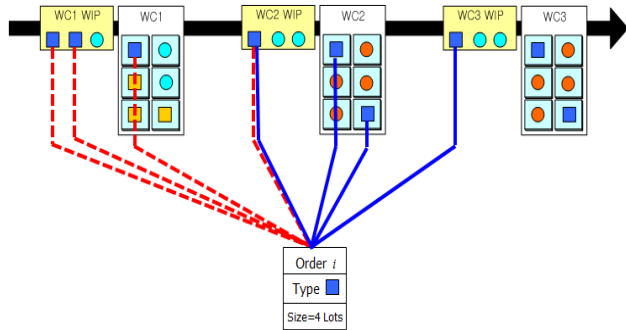
주문-로트 페깅(Order-lot pegging)은 주문의 납기(Due Date)를 만족시키기 위하여, 완성된 재고 로트와 미완성인 상태로 생산 중인 로트(WIP; Work-in-Process)를 주문(Order)에 할당하는 기능이다. 이 주문-로트 페깅을 통하여 로트에 납기를 부여하고, 이 납기 기반의 생산이 가능하다. 혹은 자동차의 도색, 전장 옵션 등을 고객의 주문이 들어오는 시점에 확정하여 생산 프로세스에 변화를 가할 수 있다.

<Figure 1>은 생산 라인에서 주문-로트 페깅의 전형적인 예이다. 생산이 작업셀 WC1에서 WC2를 거쳐 WC3 순으로 진행되고, 각각의 작업셀 앞에는 대기 로트들이 해당 워크센터에서의 작업을 위해 대기하고 있고, 작업셀에는 1대에서 수십 대의 설비에서 로트들의 작업이 진행된다. 주문 i 의 경우 4개의 로트를 필요로 할 때, WC2와 WC3에 있는 로트를 할당하거나(실선), WC1과 WC2에 있는 로트를 할당할 수(점선) 있다. 이 할당의 방법에 따라 주문 i 를 완료할 수 있는 시점이 결정될 수 있다. 실선으로 할당하여 페깅한 경우가 점선으로 할당된 경우보다 더 빨리 생산이 완료되어 고객에게 납품될 수 있다. 따라서, 긴급한 주문에 생산 진도가 앞선 로트를 할당하고, 납기에 여유가 있는 주문에 진도가 늦은 로트를 배정

Received 29 August 2014; Finally Revised 13 November 2014;
Accepted 13 November 2014

† Corresponding Author : jybang@sungkyul.ac.kr

하는 등의 방식을 통해 페깅을 최적화하여 고객 납기 만족도를 높일 수 있다.



<Figure 1> An Example of Lot-Order Pegging

주문-로트 페깅 기능을 적용하는 사례나 시스템들은 많이 있지만 대부분 완성품 재고를 주문에 할당하는 할당 문제로 정의할 수 있다. 그러나 반도체 산업의 경우 30일 이상의 긴 생산 기간(TAT) 과 생산하는 상품의 복잡성으로 인해 주문-로트 페깅의 난이도가 매우 높고 이런 연구 결과를 실제에 적용한 경우는 소수에 불과하다. 또한, 반도체 분야의 페깅 연구들도 대부분의 논문들이 조립 라인(Assembly Line)이나 최종 반도체 모듈 조립생산라인을 대상으로 그 범위가 한정되어 있다. Steiner and Yeomans[11]는 적시 생산 방식(JIT, Just in Time)의 조립 라인을 대상으로 정수계획법을 사용한 방법론을 제안하였고, Knutson et al.[8] 과 Fowler et al.[6]는 반도체 조립 및 테스트 라인을 대상으로 정수계획법을 활용하여 주문-로트 할당의 페깅 문제를 수학적 모뎀링하고 bin packing 문제로 변환하여 해결하는 휴리스틱 알고리즘을 제안하였다. Carlyle et al.[2]은 Knutson et al.[8]과 Fowler et al.[6]의 페깅 알고리즘을 수정 및 확장하여 제안하였다.

Wu[12]는 주문-로트 할당 방법에 대한 상세 절차를 제시하지 않았지만, 반도체 웨이퍼 FAB에서 특정 주문에 대한 페깅된 로트들은 유지하면서 다른 주문들에 페깅된 로트들은 바꿀 수 있는 경우에 대한 소프트 페깅 방법론을 제안하였다. 이와 유사한 방식으로 Bang et al.[1]은 반도체 웨이퍼 FAB에서의 주문들과 로트들의 페깅 관계를 변경할 수 있는 소프트 페깅 알고리즘을 제안하였다.

최근 반도체 FAB에서의 주문-로트 페깅에 관하여 최적 알고리즘 개발에 대한 연구가 진행되고 있다. Ng et al.[10]은 로트 크기가 불확실한 상황에서 Robust optimization 방법론을 적용하여 주문량 미달성과 주문량 초과달성을 최소화하는 모뎀을 제시하고, Branch-and-price와 Benders decomposition 방법을 적용하여 문제를 풀었다. Lim and Kim[7]은 반도체 FAB에서의 주문-로트 페깅 문제의 정수계획법 기반의 수학적 모뎀을 제시하였고, 이 페깅

문제가 제품의 분기가 없는 상황에서 주문의 생산 순서를 결정하는 문제(sequencing problem)로 변환할 수 있음을 증명하였고, 주문-로트 페깅에 적합한 주문의 순서를 결정하는 휴리스틱을 개발하였고, Lim et al.[9]은 실제 상황의 문제 크기에 대해서 최적해를 도출하는 방법론보다 현실적인 시간 내에 우위에 있는 결과를 제시하는 라그랑지안 휴리스틱을 제안하였다.

이러한 기존 연구들은 반도체 전체 공급망 영역에서 일부만을 다루고 있다. 또한 주문-로트 페깅 시 병목공정의 생산 가능 능력(production capacity)을 반영하여 특정 주문에 대하여 제품의 타입이나 속성(발열량, 데이터 처리 속도, 작동 온도 범위 등)은 적합하나 납기를 지킬 수 있는지의 여부를 고려한 경우는 없었다.

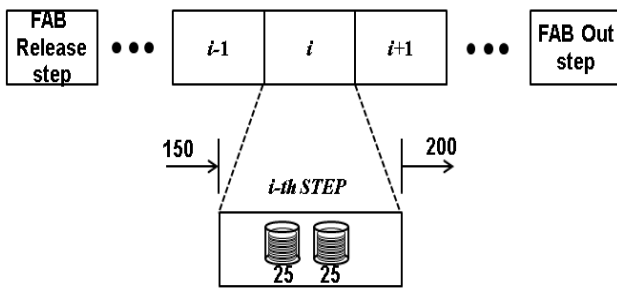
본 논문에서는 반도체 FAB내 병목공정의 생산가능 능력을 고려하여 각 공정별 투입 필요시점을 정확하게 산정하고, 로트의 속성과 주문 간의 품질제약을 고려하여 페깅의 적합성을 높이고 이를 기반으로 납기약속(ATP)의 신뢰도를 높이는 알고리즘을 제안하였다. 이 알고리즘을 실제 반도체 제조 시스템에 적용하여, 신규 주문 입수 후 30분 이내에 고객의 주문에 대해 신속하고 정확한 주문-로트 페깅 목록(Order-lot Pegging List) 생성 및 납기약속이 가능하게 되고 고객의 요청납기에 만족하지 못하는 주문 또한 납기 약속 전에 확인하여 납기 조정이 가능하게 된다. 유사한 방식으로, 주문에 페깅된 로트가 위치하는 생산 step의 투입 필요시점이 현재 시점보다 과거에 있다면 이는 페깅된 로트가 해당 주문의 납기를 만족시키지 못하는 것으로 납기 지연을 예측할 수 있게 된다. 또한, 투입 필요시점을 기준으로 생산 완료될 때까지의 시간인 TAT(Turn-Around-Time)를 더해서 생산 완료 시간을 예측하여 납기를 예측할 수 있다. 이때 납기 요청 또는 약속 시점 이후에 생산완료 되는 경우 납기 지연을 예측할 수 있게 된다.

오더-로트 페깅은 반도체 제조업체의 납기 산정 및 페깅된 로트의 생산 진행 현황 정보를 해당 로트가 할당된 고객에게 전달하여 공급사-고객사 간의 협업 정도를 한 단계 높이는 역할을 할 수 있다. 이런 협업 방식은 Cho and Kim[3]이 제안한 반도체 산업에서의 협업 전략 성숙도에서 Level 4-Best Practice에 해당하는 높은 수준의 협업 체계를 구축할 수 있다.

본 연구에서 제시한 주문-로트 페깅 알고리즘을 MIMAC (Measurement and Improvement of Manufacturing Capacities) dataset 6(Fowler and Robinson, 1995) 데이터를 사용하여 반도체 웨이퍼 FAB을 모뎀링하고 고객 주문을 생성하여 해당 주문-로트 페깅에 알고리즘을 적용하였으며 주문-로트 페깅의 결과를 확인하고 납기 지연이 예측되는 로트들과 예상 납기를 확인할 수 있다.

2. 주문-로트 페깅 절차 및 방법론

본 논문에서 제안하는 알고리즘 프로시저는 한 STEP의 모든 로트가 페깅 되거나, 모든 주문이 로트가 할당되어 마지막 공정부터 첫 번째 공정까지 반복된다. 즉, 아래 제안하는 프로시저 1부터 프로시저 4까지가 반도체 산업의 공급망 전 영역의 마지막 공정부터 첫 번째 공정까지 step 경로 정보를 반영해서 각 공정 별로 반복적으로 적용된다.



<Figure 2> An Example of Lot-Order Pegging in a Processing Step

<Figure 2>에서와 같이 생산의 마지막 단계인 웨이퍼 FAB의 출구 step에서부터 역순으로 웨이퍼 FAB 투입까지 각각의 생산 step마다 주문-로트 페깅을 진행하여 주문에 로트를 할당하게 된다. i 번째 step에서 재공(WIP)이 2개 로트, 총 50매의 wafer가 있고, 주문의 요구량이 200개 웨이퍼라면, i 번째 step에 있는 로트 2개는 이 주문에 페깅 되고, 주문에서 부족한 수량 150매에 대해서는 $i-1$ 번째 step에서 동일한 페깅 방법을 적용하여 주문과 로트를 서로 할당하게 된다. 각각의 주문에 대해서, 주문에서 필요로 하는 수량이 모두 페깅 되거나, 웨이퍼 FAB 출구에서 웨이퍼 FAB 투입까지 모든 로트가 페깅되어 더 이상 페깅 될 재공이 없을 때까지 반복하여 진행하게 된다.

제안하는 주문-로트 페깅 프로시저의 각 프로세스는 세부 내용은 아래와 같다:

Order-lot pegging 알고리즘

본 주문-로트 페깅 알고리즘에 필요한 입력 정보(Input information)와 결과로 도출되는 출력 인자(Output information)는 다음과 같다.

- (1) inputs : WIP, 잔여 주문, 현재 step, step 경로 정보, matching constraints(주문-로트 품질 제약 정보)
- (2) outputs : 주문-로트 페깅 결과, unpegging 로트, 추가 투입 필요량(required release plan)

여기에서, WIP은 각 공정의 로트들의 집합이고, 현재 step은 알고리즘이 적용되고 있는 step, 잔여 주문은 현재까지 로트를 할당 받지 못한 (페깅 되지 않은) 주문들의 집합으로 주문은 납기 및 대상 업체의 우선순위에 따라 우선순위로 정렬되어 있다. step 경로 정보는 마지막 공정부터 투입 공정까지 공정의 전/후 관계가 정의된 생산 기준 정보이다. 고객 주문의 제품별로 한 step에서 이전 step은 2개 이상의 step에서 올 수 있으며, 한 step의 bin 등급(품질 등급)에 따라 두 개 이상의 step으로 분기될 수 있다. Matching constraints는 품질 제약 정보로써 로트의 속성과 주문의 속성 중에서 서로 페깅 할 수 없는 속성 조합 또는 반드시 페깅 해야 하는 속성의 조합을 나타내는 정보이다. 결과로써, 페깅된 현황을 나타내는 주문-로트 페깅 결과와 현재 step 이전 또는 이후에 존재하는 로트들 중에서 어느 주문에도 할당되지 않은 로트 목록인 unpegging 로트 목록을 제시한다. 이 unpegging 로트 목록을 통해서 불필요하게 투입되어 있는 로트를 분류해낼 수 있다. 주문이 없어 생산 라인 내에 장기 정채되는 로트는 웨이퍼 FAB의 내부 공간 부족을 야기하고 최종적으로 폐기하게 되어 대량의 손실을 입을 수 있다. 이 unpegging 로트를 대상으로 추가적인 영업활동을 통해 해당 제품의 판로를 개척하여 로트의 장기 정채로 인한 손실을 줄일 수 있다. 추가 투입 필요량(Required Release Plan)은 고객 주문별로 납기 만족을 위해서 step별 투입 필요 시점 정보를 제시하여 생산의 우선순위에 반영한다.

[Procedure 1] 페깅 대상 주문 선택

현재 step i 에서 주문-로트 페깅을 완료한 후의 잔여 주문들 중에 우선순위가 가장 높은 주문을 선택한다.

[Procedure 2] 최적의 step 경로 검색

현재 step i 로 올 수 있는 그 전 step이 2개 이상인 경우, 이 step들 중 최적의 step을 선택하여 그 step을 따라 투입 step까지 경로를 결정하고 해당 step들에 있는 로트들을 대상으로 페깅한다.

최적 step을 찾는 조건은 다음과 같다:

- (1) 투입 step까지 남은 step이 가장 적은 경로의 step. 즉, 가장 짧은 TAT를 갖는 경로를 찾는다.
- (2) 현재 step으로 분기해서 들어오는 수량의 양이 가장 많은 step. 웨이퍼 테스트 공정과 같이 반도체 웨이퍼를 테스트하여 상위 bin과 하위 bin으로 나뉘어 다음 step을 진행하는 경우, 현재 step으로 더 많은 비율로 분기되는 방향으로 step을 전개하여 최소량의 로트로 최대의 주문을 만족할 수 있도록 한다 (테스트 공정은 과거 테스트 데이터를 기반으로 상위/하위 bin 비율의 분기 정보를 갖고 있음).

[Procedure 3] 주문과 로트들을 할당(패킹)

Procedure 1에서 선택된 주문에 대해서 현재 step의 가공 및 대기 로트들(선택된 이전 step이 종료되어 이동중인 로트들 포함)을 대상으로 품질 제약 정보(Matching Constraint)를 고려해서 주문의 납기가 빠른 수량부터 로트의 수량으로 차감하고, 해당 로트에 주문 정보를 할당하여 패킹한다.

선택된 주문이 현재 step에 존재하는 모든 로트를 패킹한 후에도 주문의 잔량이 남아 있는 경우, 현재 step에서의 투입 필요량은 주문의 패킹 후 잔량이 된다.

[Procedure 4] 투입 필요량에 대한 필요 시점 결정 (Capacity-filtering 프로시저)

투입 필요량에 대한 필요시점은 해당 공정이 병목공정이라면 제품의 해당 공정에서 일별 생산 가능 수량(capacity profile)을 반영하여 capacity-filtering 프로시저[4]에 의해서 결정된다. 병목공정이 아니라면 해당 공정 이후 입고까지의 TAT(Turn Around Time)만큼만 주문의 납기에서 차감하여 구해진다. 다음 장에서 capacity-filtering 프로시저의 적용 방법을 간략하게 서술하였다.

Capacity-filtering 프로시저

병목 공정에서 아직 패킹되지 않은 주문들의 투입 필요량에 대한 투입필요 시점은 잔여 주문의 제품(product)별로 해당 병목공정의 일별 생산 가능 수량과 잔여 주문의 일별 투입 필요량을 비교하여 생산 가능 능력을 반영한 투입 필요시점을 산출할 수 있다[4]. 이 프로시저에서 loading-profile $LP(t)$ 는 잔여 주문의 시간 대별(t 시점) 투입 필요량을 의미하며, capacity-profile $CP(t)$ 이 병목공정의 일별 생산 가능량을 나타낸다. $LP(t)$ 의 초기값은 잔여 주문의 일별 투입필요량을 해당 공정 이후 입고까지의 잔여 생산 기준 시간(잔여 TAT)만큼만 앞으로 당겨서 구해지고, $CP(t)$ 는 해당 공정에서 해당 제품을 생산 가능한 설비들의 하루 중에서 진행 가능 시간(Machine Hours)에 해당 설비의 시간 당 생산량(UPEH, Unit Per Equipment Hour)을 곱하여 구할 수 있다.

따라서 특정한 시점 t 에 $LP(t) > CP(t)$ 이면 생산 가능량을 초과하였으므로 초과한 수량만큼 $t-1$ 시점의 loading-profile $LP(t-1)$ 에 더하여 준다. 이 과정을 반복하여 모든 시점의 loading profile이 각 시점의 capacity-profile보다 작은 값을 가지도록 조정한다. 이렇게 $CP(t)$ 를 초과하는 양을 잘라서 왼쪽으로 밀어내는 과정을 capacity-filtering 프로세스라고 하고, 초기 $LP(t)$ 를 capacity가 반영이 안된 loading profile이라고 하고, capacity-filtering이 완료된 $LP(t)$ 를 capacity가 반영된 loading profile(capacitated loading profile)이라고 한다.

Capacity-filtering 프로시저는 $LP(t)$ 의 마지막 LP-segment부터 왼쪽으로 차례대로 수행된다. 이렇게 오른쪽 마지막부터 왼쪽 방향으로 가능생산률(capacity-rate)을 넘는 부하율(load-rate)은 실행 불가능한 부하율로 볼 수 있고, 이 실행 불가능한 부하율을 이동시켜, 왼쪽 LP-segment에서 수행하여 완료하게 한다. 추가적으로 서로 다른 제품의 시간 당 생산율(UPEH)이 같다면 동일 LP-segment의 수량 내에는 서로 다른 제품의 수량이 섞여 있을 수 있으며, 이를 추가로 나타내려면 제품 조합(product-mix)이 LP-segment 속성에 추가될 수 있다. 두 가지 이상의 제품의 조합으로 이루어진 경우 capacity-filtering에서 밀어내는 경우 동일 비율로 밀어내거나 제품별 우선순위에 따라 밀어낼 수 있으며 이는 선택적으로 가능하다. 본 연구에서 활용한 capacity-filtering 프로시저의 설명과 pseudo code는 Choi and Seo[4]에 상세히 기술되어 있다.

3. 실험 결과 및 응용

본 논문에서 제안된 주문-로트 패킹 알고리즘은 국내 반도체 생산 시스템이 적용되어 운영 중이나 기업의 기밀 유지 및 시스템의 복잡도로 인하여 의도하지 않은 영향을 제거하기 위하여 Fowler and Robinson[5]에 의해 공개되어 있는 FAB model인 MIMAC(Measurement and Improvement of Manufacturing Capacities) dataset #6를 이용하여 시뮬레이션 테스트를 수행하였다. FAB 모델은 104개의 장비 그룹, 228개의 장비로 구성되며, 서로 다른 프로세스를 거치는 9개의 제품을 생산하도록 설계되었다. 각 프로세스의 평균 공정 수는 282개이며, 가장 긴 프로세스의 공정은 355개이다. 하나의 로트는 24개의 wafer로 구성되었으며, 한 해에 총 2,777개의 로트들이 투입된다. 공정 중에서 병목공정은 PHOTO 공정이며, 시뮬레이션 결과 병목공정이 되지 않는 제품은 processing time을 수정해서 병목공정으로 생성하여 실험하였다.

시뮬레이션 테스트는 9개의 제품에 대해서 고객 주문을 생성하여 주문-로트 패킹을 수행하였고, capacity-filtering을 적용한 경우와 적용하지 않은 경우 병목 공정에서 투입 필요시점, 납기 약속 시점의 차이를 확인하였으며 capacity-filtering을 하지 않은 경우는 납기약속을 지키지 못할 수 있음을 보임으로써 capacity-filtering이 정합성 있는 납기약속(ATP)을 위해 필요하다는 것을 확인 할 수 있었다.

<Table 1>은 본 논문의 제 2장에서 제안한 주문-로트 패킹 알고리즘만 적용하여 시뮬레이션 한 결과이며, <Table 2>는 병목 공정(PHOTO)인 17011_F1310, 47011_F1310 두 공정에서 제 3장에서 제안한 capacity filtering 알고리즘을 추가로 적용한 결과이다. 본 결과에서 확인할 수 있듯이

<Table 1> Pegging Result without Capacity-Filtering

Lot	Order#	Step	Due Date	Target Date	APT Date
P1-1001	201411022	17011_F1310	11/10	10/21	11/10
P1-1002	201411022	17011_F1310	11/10	10/21	11/10
...
P1-1010	201411022	17011_F1310	11/10	10/21	11/10
P6-6001	201411022	47011_F1310	11/10	10/31	11/10
P6-6002	201411022	47011_F1310	11/10	10/31	11/10
...
P6-6010	201411022	47011_F1310	11/10	10/31	11/10

<Table 2> Pegging Result with Capacity-Filtering

Lot	Order#	Step	Due Date	Target Date	APT Date
P1-1001	201411022	17011_F1310	11/10	10/20	11/11
P1-1002	201411022	17011_F1310	11/10	10/20	11/11
...
P1-1010	201411022	17011_F1310	11/10	10/19	11/12
P6-6001	201411022	47011_F1310	11/10	10/31	11/10
P6-6002	201411022	47011_F1310	11/10	10/31	11/10
...
P6-6010	201411022	47011_F1310	11/10	10/30	11/11

투입 필요시점(Target Date)이 capacity filtering을 적용하게 되면 17011_F1310공정의 product1은 P1-1010 로트가 2일, 나머지 로트들이 1일씩 지연되게 되고, 47011_F1310 공정의 product6의 P6-6010 로트가 1일 뒤로 지연되게 된다. 따라서 FAB 공정 완성 예상일(APT Date) 또한 각각 2일, 1일씩 지연 되는 것을 확인할 수 있다. 따라서, 각 제품별로 병목공정의 capacity를 반영하면 납기를 만족시키지 못하는 제품과 로트들을 확인할 수 있다. 여기서 확인할 수 있듯이 FAB 투입단 공정(17011_F1310)으로 갈수록 납기 만족을 못 하는 로트들이 많아지게 되고 FAB 출구단 공정(47011_F1310)은 병목 공정이 적게 남아 있어서 납기 만족을 비교적 정확하게 예측 할 수 있다.

<Table 3>에서는 Order# 201411022에 대해서 다음과 같이 주문-로트 페깅 결과를 확인할 수 있다. 매일 생산이 진행됨에 따라, 매일 특정 시간을 기준으로 고객에게 페깅된 로트의 생산 진행 현황을 제공할 수 있다. 이 정보를 기반으로 고객은 자신에게 할당된 로트의 진행 위치 및 생산 이력 등을 확인할 수 있고, 이 데이터를 기반으로 생산자가 제시한 납품 가능 일자를 검증하고 자신의 생산 계획에 반영하거나, 이미 확보한 재고로 간주하여 고객사의 안전 재고를 축소함으로써 전체 공급망의 재고 비용을 절감할 수 있다.

<Table 3> Order-Lot Pegging Result(Order# 201411022)

Order#	Due Date	Product	Step	Pegging	Lot list
201411022	11/6	P1	10301_N9701	48	P1-0811, P1-0814
201411022	11/6	P1	10681_N0101	72	P1-0789, P1-0776, P1-0754
201411022	11/6	P1	10701_O1201	96	P1-0732, P1-0721, P1-0713, P1-0701
201411022	11/6	P1	10702_M2004	48	P1-0688, P1-0676
201411022	11/6	P1	10901_O5502	48	P1-0664, P1-0654
201411022	11/4	P1	10902_M2005	30	P1-0646, P1-0639, P1-0624
201411022	11/4	P1	10903_M6001	30	P1-0633, P1-0623, P1-0610
201411022	11/2	P1	10961_F0101	96	P1-0602, P1-0578, P1-0589, P1-0570
201411022	11/2	P1	11011_F1310	120	P1-0562, P1-0551, P1-0553, P1-0541, P1-0530
201411022	11/2	P1	11061_F2111	96	P1-0519, P1-0506, P1-0494
201411022	11/2	P1	11081_F3120	96	P1-0480, P1-0486, P1-0484
201411022	11/2	P1	11151_F3444	96	P1-0470, P1-0466, P1-0454

<Table 4> Unpegging Lot List

Product	Step	Reason	Unpegging	Lot list
P4	13081_F3120	No Demand	48	P4-2891, P4-2892
P4	13251_T1313	No Demand	72	P4-2709, P4-2726, P4-2724
P4	13252_T9201	No Demand	96	P4-2712, P4-2711, P4-2703, P4-2702
P6	69241_T0420	Over-released	48	P6-4680, P6-4626
P6	69242_T9206	Over-released	96	P6-4549, P6-4556, P6-4544
P6	69341_T6522	Over-released	96	P6-4482, P6-4486, P6-4484
P6	69342_T9301	Over-released	96	P6-4407, P6-4406, P6-4404

<Table 4>에서는 모든 주문에 대해서 페깅이 완료된 후에 어떠한 주문에도 페깅이 되지 않은 unpegging 로트의 목록과 사유를 확인할 수 있다. unpegging 사유는 생산 단종이나 긴급 주문에 대응하기 위한 선행 생산 분량에 해당하는 전략적 비축, 해당 제품에 대한 주문이 최소 16주 동안 전혀 없는 폐기 대상 물량, 해당 제품에 대한 주문은 있지만 필요한 양을 초과하여 투입하여 발생하거나 주문이 생산 중간에 취소되어 초과 투입 물량으로 구분될 수 있다.

Unpegging 데이터를 생성하기 위해서 P4는 주문이 없는 제품을 투입하고, P6는 추가 투입하여 폐기와 초과투입 상황을 생성하였다. 이와 같이 주문에 페깅되지 않은 unpegging 로트의 목록을 관리하여 영업활동을 통해 주문을 찾는 활동을 통하여, 해당 로트가 장기간 정체되어 FAB 공간을 차지하거나, 폐기되어 손실로 이어지는 문제를 최소화 할 수 있다.

추가 타당성 검토를 위해서 고객 주문을 30% 증가시킨 추가 실험을 수행했으며 [부록]에 그 결과를 수록했다. 결과는 위 결과와 유사하게 병목공정의 생산 가능 수량 정보를 반영하면 납기를 만족시키지 못하는 제품과 로트들을 확인할 수 있다.

4. 결론

본 논문에서는 반도체 산업의 공급사슬 문제에서 납기 약속의 정합성 향상을 위해서 주문-로트 페깅을 수행할 때, 병목공정의 생산 가능 수량 정보를 고려해서 신속하고 정확한 납기약속을 할 수 있는 체계를 제안하였다. 이를 통해서 각 공정의 투입 필요시점을 정확하게 산정하고, 생산 과정에서 발생한 로트의 품질 속성과 주문 간 품질 제약을 고려하여 페깅의 정합성을 높이고 이를 기반으로 납기약속의 신뢰도를 높이는 알고리즘을 제안하였다.

제안하는 알고리즘의 타당성 검토를 위해 MIMAC 데이터로 반도체 웨이퍼 FAB을 모델링하고 고객 주문을 생성하여 본 논문에서 제안하는 알고리즘을 적용하여 실험하였다. 그 결과 공정 별 주문-로트 페깅 목록과 더불어 공정의 생산능력 정보가 반영된 경우와 그렇지 않은 경우의 납기약속 결과를 비교하여 공정의 생산 능력 정보가 반영된 경우 실제로는 고객의 요청납기에 만족하지 못하는 주문이 발생함을 확인할 수 있었으며, 실제로는 납기약속 전에 확인하여 납기 조정이 가능하게 된다. 본 논문에서 소개된 주문-로트 페깅 알고리즘을 기반으로 실제 반도체 제조업체의 납기 산정 및 페깅된 로트의 생산 진행 현황 정보를 해당 로트가 할당된 고객에게 전달

하여 공급사-고객사 간의 협업 정도를 한 단계 높이는 역할을 하였다.

본 연구는 병목공정의 생산 가능 수량 정보를 반영하는 경우로 한정하였지만, batch processing 및 정체관리 등의 제약이 실제로는 존재하므로 보다 정확한 납기 약속을 위해서 이를 반영하는 연구를 추가로 진행할 필요가 있다.

Acknowledgement

This study has been partially supported by a Research Fund of Sungkyul University, Korea.

References

- [1] Bang, J.-Y., An, K.-Y., Kim, Y.-D., and Lim, S.-K., A due-date based algorithm for order-lot pegging in a semiconductor wafer fabrication facility. *IEEE Trans. Semicond. Manuf.*, 2008, Vol. 21, p 209-216.
- [2] Carlyle, M., Knutson, K., and Fowler, J., Bin covering algorithms in the second stage of the lot to order matching problem. *J. Oper. Res. Soc.*, 2001, Vol. 52, p 1232-1243.
- [3] Cho, N.W. and Kim, T.S., A Study on Collaboration Strategy Planning of Semiconductor Industry. *Journal of the Society of Korea Industrial and Systems Engineering*, 2005, Vol. 28, p 139-145.
- [4] Choi, B.K. and Seo, J.C., Capacity-filtering algorithms for finite-capacity planning of a flexible flow Line. *Int. J. Prod. Res.*, 2009, Vol. 47, No. 12, p 3363-3386.
- [5] Fowler, J. and Robinson, J., Measurement and improvement of manufacturing capacities(MIMAC) : Final report. Technical Report 95062861A-TR, SEMATECH, Austin, TX., 1995.
- [6] Fowler, J., Knutson, K., and Carlyle, M., Comparison and evaluation of lot-to-order matching policies for a semiconductor assembly and test facility. *Int. J. Prod. Res.*, 2000, Vol. 38, p 1841-1853.
- [7] Kim, J.-G. and Lim, S.-K., Order-lot pegging for minimizing total tardiness in semiconductor wafer fabrication process. *J. Oper. Res. Soc.*, 2012, Vol. 63, p 1258-1270.
- [8] Knutson, K., Kempf, K., and Fowler, J., Lot-to-order matching for a semiconductor assembly and test facility. *IIE Trans.*, 1999, Vol. 31, p 1103-1111.
- [9] Lim, S.-K., Kim, J.-G., and Kim, H.-J., Simultaneous

- order-lot pegging and wafer release planning for semiconductor wafer fabrication facilities, *Int. J. Prod. Res.*, 2004, Vol. 52, p 3710-3724.
- [10] Ng, T.S., Sun, Y., and Fowler, J., Semiconductor lot allocation using robust optimization. *Eur. J. Oper. Res.*, 2010, Vol. 205, p 557-570.
- [11] Steiner, G. and Yeomans, J.S., Optimal level schedules in mixed-model, multi-level JIT assembly systems with pegging. *Eur. J. Oper. Res.*, 1996, Vol. 95, p 38-52.
- [12] Wu, T.W., Modular demand and supply pegging mechanism for semiconductor foundry. in *Proc. IEEE Int. Symposium on Semicond. Manuf.*, 2003, p 325-328.

〈부 록〉

추가 실험을 통해 제안하는 알고리즘의 추가 타당성 검토를 수행하였다. 전체 고객주문을 30% 증가시켜 한 해에 총 3,610개의 로트가 투입되는 경우로 수정하였다. 병목공정은 PHOTO 공정이며, 9개의 제품에 대해서 고객 주문을 각각 30% 추가 생성하여 주문-로트 폐경을 동일하게 수행하였다.

capacity-filtering을 적용한 경우와 적용하지 않은 경우 병목 공정에서 투입 필요시점, 납기 약속 시점의 차이를 확인하였으며 capacity-filtering을 하지 않은 경우는 납기약속을 지키지 못할 수 있음을 보임으로써 capacity-filtering이 정합성 있는 납기약속(ATP)을 위해 필요하다는 것을 확인 할 수 있었다.

<Table 5> Pegging Result without Capacity-Filtering

Lot	Order#	Step	Due Date	Target Date	APT Date
P1-1301	201411022	17011_F1310	11/10	10/21	11/10
P1-1302	201411022	17011_F1310	11/10	10/21	11/10
...
P1-1310	201411022	17011_F1310	11/10	10/21	11/10
P6-6301	201411022	47011_F1310	11/10	10/31	11/10
P6-6302	201411022	47011_F1310	11/10	10/31	11/10
...
P6-6310	201411022	47011_F1310	11/10	10/31	11/10

<Table 6> Pegging Result with Capacity-Filtering

Lot	Order#	Step	Due Date	Target Date	APT Date
P1-1301	201411022	17011_F1310	11/10	10/18	11/13
P1-1302	201411022	17011_F1310	11/10	10/18	11/13
...
P1-1310	201411022	17011_F1310	11/10	10/17	11/14
P6-6301	201411022	47011_F1310	11/10	10/29	11/12
P6-6302	201411022	47011_F1310	11/10	10/29	11/12
...
P6-6310	201411022	47011_F1310	11/10	10/28	11/13

<Table 5>는 주문-로트 폐경 알고리즘만 적용하여 시뮬레이션 한 결과이며, <Table 6>은 반도체 FAB 공정 중 대표적인 병목 공정(Photolithography 공정) 인 17011_F1310, 47011_F1310 두 공정에서 제안한 capacity filtering 알고리즘을 추가로 위와 동일하게 적용한 결과이다. 본 결과에서 확인할 수 있듯이 위 결과와 동일하게 투입 필요시점(Target Date)이 capacity-filtering을 적용하게 되면 17011_F1310 공정에서 product 1은 P1-1310 로트의 공정 완성일이 4일, 나머지 로트들의 공정 완성일이 3일씩 지연되게 되고, 47011_F1310 공정에서 product 6의 P6-6310 로트의 공정 완성일이 3일, 나머지 로트들의 공정 완성일이 2일 뒤로 지연되는 것을 확인할 수 있다. 따라서 FAB 공정 완성 예상일 (APT Date) 또한 product 1은 3일, 4일씩, product 3은 2일, 3일 늦어지게 되는 것을 확인할 수 있다. <Table 7>에서는 Order# 201411022에 대해서 다음과 같이 주문-로트 폐경 결과를 확인할 수 있다.

<Table 7> Order-Lot Pegging Result(Order# 201411022)

Order#	Due Date	Product	Step	Pegging	Lot list
201411022	11/6	P1	10301_N9701	72	P1-1021, P1-1014, P1-1054
201411022	11/6	P1	10681_N0101	96	P1-1089, P1-1116, P1-1134, P1-1154
201411022	11/6	P1	10701_O1201	96	P1-1162, P1-1171, P1-1173, P1-1181
201411022	11/6	P1	10702_M2004	72	P1-1188, P1-1196, P1-1214
201411022	11/6	P1	10901_O5502	72	P1-1234, P1-1254, P1-1264
201411022	11/4	P1	10902_M2005	96	P1-1266, P1-1269, P1-1274, P1-1279
201411022	11/4	P1	10903_M6001	120	P1-1303, P1-1313, P1-1310, P1-1321, P1-1330
201411022	11/2	P1	10961_F0101	96	P1-1312, P1-1318, P1-1329, P1-1330
201411022	11/2	P1	11011_F1310	120	P1-1342, P1-1344, P1-1353, P1-1361, P1-1365
201411022	11/2	P1	11061_F2111	96	P1-1369, P1-1376, P1-1374, P1-1379
201411022	11/2	P1	11081_F3120	96	P1-1380, P1-1386, P1-1394, P1-1397
201411022	11/2	P1	11151_F3444	96	P1-1410, P1-1416, P1-1424, P1-1427