

고조파 정합 기법을 이용한 고효율 GaN HEMT 전력 증폭기

High Efficiency GaN HEMT Power Amplifier Using Harmonic Matching Technique

진 태 훈 · 권 태 엽 · 정 진 호

Tae-Hoon Jin · Tae-Yeop Kwon · Jinho Jeong

요 약

본 논문에서는 고조파 정합 기법을 이용하여 고효율 GaN HEMT 전력 증폭기를 설계 및 제작하고, 그 특성을 측정하였다. 고효율 특성을 얻기 위해 고조파 로드풀 시뮬레이션을 활용하였다. 즉, 기본 주파수뿐만 아니라 2차, 3차 등의 고조파에서 최적의 부하 임피던스를 찾아내었다. 이러한 고조파 로드풀 시뮬레이션 결과를 바탕으로 출력 정합 회로를 설계하였다. 제작한 전력 증폭기는 중심 주파수 1.85 GHz에서 선형 전력 이득 20 dB 및 33.7 dBm의 P_{1dB} (1 dB gain compression point) 특성을 보였다. 그리고, 출력 전력 38.6 dBm에서 80.9 %의 최대 전력 부가 효율(Power Added Efficiency: PAE)을 나타냈으며, 이는 기존에 설계된 고효율 전력 증폭기와 비교했을 때 아주 우수한 효율 특성이다. 또한, W-CDMA 신호 입력에 대한 측정 결과, 28.4 dBm의 평균 출력 전력에서 27.8 %의 PAE와 5 MHz offset 주파수에서 -38.8 dBc의 ACLR (Adjacent Channel Leakage Ratio)을 보였다. 그리고, 다항식 맞춤 방식의 디지털 전치 왜곡(Digital Predistortion: DPD) 선형화 알고리즘을 구현하여 제작된 전력 증폭기의 ACLR을 6.2 dB 정도 향상시킬 수 있었다.

Abstract

In this paper, we present the design, fabrication and measurement of high efficiency GaN HEMT power amplifier using harmonic matching technique. In order to achieve high efficiency, harmonic load-pull simulation is performed, that is, the optimum load impedances are determined at 2nd and 3rd harmonic frequencies as well as at the fundamental. Then, the output matching circuit is designed based on harmonic load-pull simulation. The measurement of the fabricated power amplifier shows the linear gain of 20 dB and P_{1dB} (1 dB gain compression point) of 33.7 dBm at 1.85 GHz. The maximum power added efficiency(PAE) of 80.9 % is achieved at the output power of 38.6 dBm, which belongs to best efficiency performance among the reported high efficiency power amplifiers. For W-CDMA input signal, the power amplifier shows a PAE of 27.8 % at the average output power of 28.4 dBm, where an ACLR (Adjacent Channel Leakage Ratio) is measured to be -38.8 dBc. Digital predistortion using polynomial fitting was implemented to linearize the power amplifiers, which allowed about 6.2 dB improvement of an ACLR performance.

Key words: GaN HEMT, Load-Pull, Power Amplifier, W-CDMA, Digital Predistortion

「이 논문은 2012년도 정부(교육부)의 재원으로 한국연구재단의 지원을 받아 수행된 연구임(No.2012R1A1B3000836).」

「본 연구는 미래부가 지원한 2013년 정보통신·방송(ICT) 연구개발사업의 연구결과로 수행되었음.」

서강대학교 전자공학과(Department of Electronic Engineering, Sogang University)

· Manuscript received August 23, 2013 ; Revised October 28, 2013 ; Accepted November 25, 2013. (ID No. 20130823-14S)

· Corresponding Author: Jinho Jeong (e-mail: jjeong@sogang.ac.kr)

I. 서 론

통신 시스템에서의 전력 증폭기는 송신 시스템에서 매우 중요한 역할을 담당한다. 특히 전력 증폭기는 많은 전력을 소모하기 때문에, 전력 증폭기의 효율은 시스템 전체의 성능을 좌우하는 중요한 요소이다. GaN HEMT(Gallium Nitride High Electron Mobility Transistor)는 높은 전자이동도와 넓은 밴드갭, 그리고, 높은 항복 전압 특성을 가지고 있어 고출력, 고효율 전력 증폭기에 적합하다^{[1],[2]}. 기존의 고효율 전력 증폭기 설계 기술에는 class-E, E⁻¹, F, F⁻¹와 같은 스위치 모드 전력 증폭기^{[3]~[5]}와 고조파 정합 기법을 이용한 전력 증폭기^{[6]~[8]}가 있다.

스위치 모드 전력 증폭기의 경우, 트랜지스터가 스위치로 동작하여 전류가 흐를 때 드레인에 걸리는 전압이 최소화되며, ZVS(Zero Voltage Switching) 조건을 만족하면 이론적으로는 100 %의 효율을 갖는다. 그러나, 실제로는 트랜지스터 내부의 기생 성분과 드레인에서의 전류와 전압 파형의 중첩으로 인해 100 %의 효율을 얻는 것은 불가능하다. 특히 GHz 이상의 높은 주파수에서는 효율 저하가 심각하게 발생한다. 이러한 문제를 해결할 수 있는 방법이 고조파 정합 기법을 이용한 전력 증폭기이다. 이는 우수한 효율 특성을 가지도록 하는 트랜지스터의 최적 부하 임피던스를 고조파별로 찾아내어 출력 정합 회로를 설계하는 것이다.

본 논문에서는 1.85 GHz에서 고조파 정합 기법을 이용한 GaN HEMT 고효율 전력 증폭기를 설계 및 제작하여 측정 결과를 분석하였다. 또한, 10.3 dB의 PAR(Peak to Average Ratio)을 가지는 W-CDMA 신호를 만들어 제작된 전력 증폭기의 성능을 분석하였다. 추가로 다항식 맞춤 방식을 활용한 디지털 전치 왜곡 기법(digital predistortion: DPD)을 적용하여 제작된 전력 증폭기의 선형성을 향상시켰다.

II. 고효율 전력 증폭기 설계

2-1 GaN HEMT 전력 증폭기

전력 증폭기 설계에 사용한 트랜지스터는 GaN HEMT 로써 Cree사의 CGH40006P 모델을 활용하였다. 표 1은 데

표 1. 사용한 트랜지스터(Cree CGH40006P) 특성
Table 1. Characteristic of the used transistor(Cree CGH40006P).

특성	값
동작 주파수	~6 GHz
드레인 전압	28 V
최대 출력 전력(2 GHz)	39.5 dBm(9 W)
이득(2 GHz)	13 dB

이터 시트를 요약한 트랜지스터의 전기적 특성이 다^[9].

설계는 Agilent사의 ADS(Advanced Design System)를 이용하였다. 선형적인 동작과 높은 효율을 만족하도록 Class-AB($V_{DD}=28$ V, $V_{GG}=-2.9$ V, $I_{DQ}=50$ mA) 바이어스를 선택하였다.

그림 1은 로드풀과 소스풀 시뮬레이션의 기본 개념을 나타낸 것이다. 로드풀과 소스풀은 트랜지스터의 드레인 단과 게이트단에 각각 임피던스 튜너를 연결하여 부하 임피던스 Z_L 과 소스 임피던스 Z_S 의 변화에 따른 효율과 출력 전력을 확인하는 시뮬레이션이다. 즉, 트랜지스터가 고출력, 고효율을 가지는 최적의 Z_L 과 Z_S 을 결정할 수 있다.

본 연구에서 적용한 고조파 정합 기법은 중심 주파수 뿐만 아니라 2, 3차 고조파 주파수에서도 최적의 부하 임피던스가 보이도록 전력 증폭기를 설계하였다.

2-2 최적의 고조파 임피던스 추출

로드풀 시뮬레이션을 이용하면 최대 출력을 만족하는 부하 임피던스 영역과 최대 효율을 만족하는 부하 임피던스의 영역을 찾아낼 수 있다. 본 논문에서는 최적의 부하 임피던스 $Z_{L,opt}$ 를 38 dBm 이상의 출력 전력을 만족하

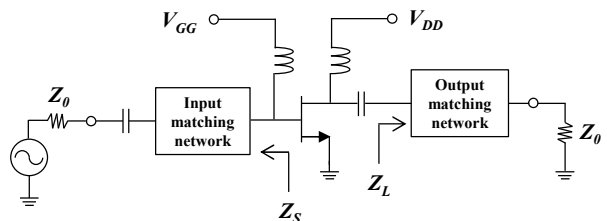


그림 1. 로드풀과 소스풀 시뮬레이션
Fig. 1. Load-pull and source-pull simulation.

표 2. 로드풀 시뮬레이션 결과
Table 2. Load-pull simulation result.

주파수(GHz)	최적 부하 임피던스(Ω)
$1.85(f_0)$	$Z_{L1,opt}=22+j27$
$3.70(2f_0)$	$Z_{L2,opt}=j46$
$5.55(3f_0)$	$Z_{L3,opt}=j76$

면서 최대 효율을 보이는 지점으로 결정하였다. 각 고조파에서 최적의 부하 임피던스를 찾는 방법은 아래와 같다.

로드풀 시뮬레이션을 통하여 먼저, 중심 주파수 $f_0=1.85$ GHz에서 최적의 부하 임피던스 $Z_{L1,opt}$ 를 찾는다. 이때, 2차, 3차 고조파 부하 임피던스는 50Ω 으로 고정하고, 소스 임피던스는 중심 주파수에서 복소 정합이 되도록 결정한다. 그 다음, 중심 주파수에서의 임피던스는 $Z_{L1,opt}$, 3차 고조파 임피던스는 50Ω 으로 고정하였고, 2차 고조파에 대한 로드풀 시뮬레이션을 수행하여, 최적의 2차 고조파 부하 임피던스 $Z_{L2,opt}$ 를 결정한다. 마지막으로, 결정된 $Z_{L1,opt}$ 와 $Z_{L2,opt}$ 를 사용하여, 3차 고조파에서의 로드풀 시뮬레이션을 수행하고, 최적의 3차 고조파 부하 임피던스 $Z_{L3,opt}$ 를 결정하였다.

높은 주파수에서는 부하 임피던스뿐만 아니라, 소스 임피던스도 전력 증폭기의 성능에 영향을 미친다. 따라서, 위에서 찾은 고조파별 최적의 부하 임피던스로 출력 정합 회로를 고정한 다음, 소스풀 시뮬레이션을 수행하여 중심 주파수에서의 최적의 소스 임피던스($Z_{S1,opt}=8+j8$)를 결정하였다. 또한, 2, 3차 고조파 소스 임피던스(Z_{S2}, Z_{S3})는 전력 증폭기 성능에 큰 영향이 없었으며, 50Ω 으로 고정하였다.

표 2는 최대 효율을 보이는 입력 전력(25 dBm)일 때, 로드풀 시뮬레이션 결과를 통해 찾은 고조파별 최적의 부하 임피던스 값이다. 시뮬레이션 결과, 39.5 dBm의 출력 전력 지점에서 81 %의 전력 부가 효율(Power Added Efficiency: PAE)과 21 dB의 전력 이득을 보였다.

위의 소스풀 및 로드풀 시뮬레이션에서 찾아낸 최적의 소스 임피던스와 부하 임피던스 값을 이용하여 입출력 정합 회로를 설계하였다. 그림 2는 설계된 전력 증폭기의 회로도이다.

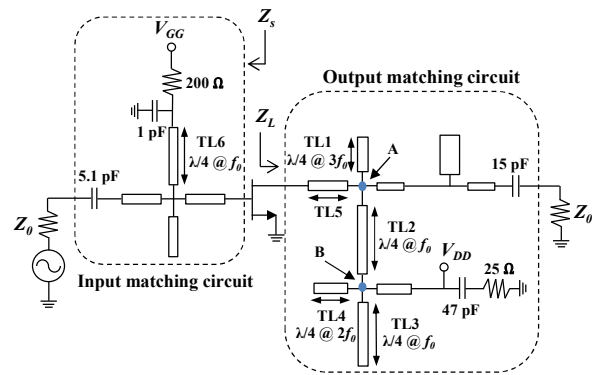


그림 2. 설계된 전력 증폭기의 회로도
Fig. 2. Schematic of the designed power amplifier.

2-3 입력 정합 회로 설계

입력 정합 회로는 개방 스테브와 단락 스테브를 이용하여 중심 주파수에서 $Z_{S1,opt}$ 가 보이도록 간단하게 설계하였다. 게이트 바이어스 회로는 중심 주파수에서 $\lambda/4$ 길이의 라인(TL6)과 1 pF의 캐패시터를 이용하여 설계하였으며, 저주파 발진 방지를 위해 200Ω 의 저항을 연결하였다.

2-4 출력 정합 회로 설계

출력 정합 회로는 전력 증폭기의 효율에 직접적인 영향을 미치는 것으로, 고조파별로 최적의 부하 임피던스가 보이도록 설계해야 한다. 이를 위해 각 고조파 주파수에서 $\lambda/4$ 길이를 가지는 개방 스테브를 적절히 활용하였다.

표 2의 시뮬레이션 결과에 따라 $Z_{L2,opt}$ 및 $Z_{L3,opt}$ 가 인덕턴스 성분만으로 이루어져 있는 것을 확인하였다. 이를 만족하기 위하여 그림 2에서처럼 TL4와 TL2를 이용하여 2차 고조파 주파수에서 노드 A가 접지가 되도록 하였다. 또한, TL1은 3차 고조파 주파수에서 노드 A를 접지로 만들어 주는 개방 스테브로 사용하였다. 이와 같이 노드 A가 2차, 3차 고조파 주파수에서 접지가 되게 한 다음, TL5 길이를 적절히 선택하여 $Z_{L2}=j46 \Omega$, $Z_{L3}=j76 \Omega$ 이 되도록 하였다. 그러나, TL5를 이용하여 2차, 3차 고조파 부하 임피던스를 동시에 정합하는데 어려움이 있었고, 전력 증폭기의 특성이 크게 차이를 보이지 않는 지점에서 3차 고조파 임피던스를 결정하여 설계하였다. TL5의 길이는 Z_{L2} 와 Z_{L3} 의 인덕턴스 성분을 결정하며, TL2와 TL3는 중심

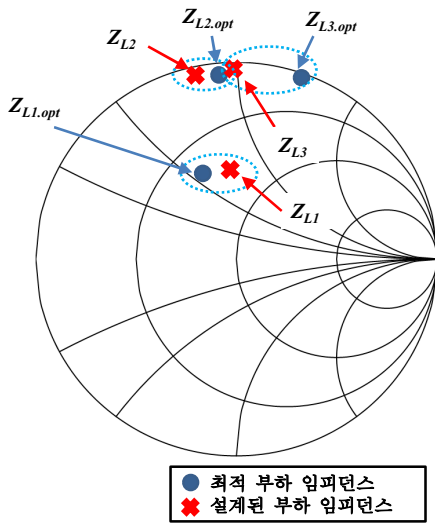


그림 3. 고조파별 최적의 부하 임피던스
Fig. 3. Optimum load impedance at each harmonic.

주파수에서 $\lambda/4$ 길이이며, 바이어스 회로로 사용되었다. TL7과 TL8의 치수는 중심 주파수에서 부하 임피던스가 $Z_{L1.opt}$ 가 되도록 설계하였다.

고조파 정합 기법을 이용한 기존의 전력 증폭기의 경우, 추가적인 고조파 정합회로가 필요하다^{[7],[8]}. 이에 비하여 제안하는 회로는 드레인 바이어스 회로를 고조파 정합에 활용하여 회로의 크기를 줄일 수 있는 장점이 있다.

그림 3은 설계한 출력 정합 회로의 부하 임피던스를 스미스 차트 상에 고조파 주파수 별로 나타낸 것이다. 설계한 출력 정합 회로는 중심 주파수와 2차 고조파 주파수에서 로드풀 결과와 거의 일치하였고, 3차 고조파 주파수에서는 약간 차이가 나지만, 효율과 출력 전력에는 큰 영향을 미치지 않았다.

표 3은 설계한 전력 증폭기의 시뮬레이션 결과와 로드풀 시뮬레이션 결과를 비교한 것이다. 로드풀 결과에 비해 설계한 전력 증폭기는 0.5 dB 낮은 출력과 0.5 % 낮은 PAE를 보였으나, 고조파 정합 기법을 적용하여 80.5 %의 최대 PAE와 39 dBm의 최대 출력 전력을 보였다.

그림 4는 설계한 전력 증폭기의 최대 효율 지점(입력 전력 25 dBm)에서 드레인-소스의 전류와 전압 파형이다. Class-AB의 이상적인 전압, 전류 파형과 달리 왜곡된 형태로 보이는 것을 확인할 수 있다. 이는 소자 내부의 기생

표 3. 로드풀과 설계한 전력 증폭기의 시뮬레이션 특성 비교

Table 3. Comparison between load-pull data and the designed power amplifier.

특성	로드풀 시뮬레이션	설계한 전력 증폭기
최대 출력 전력(dBm)	39.5	39.0
최대 전력 부가 효율(%)	81.0	80.5
전력 이득(dB)	21.0	20.8

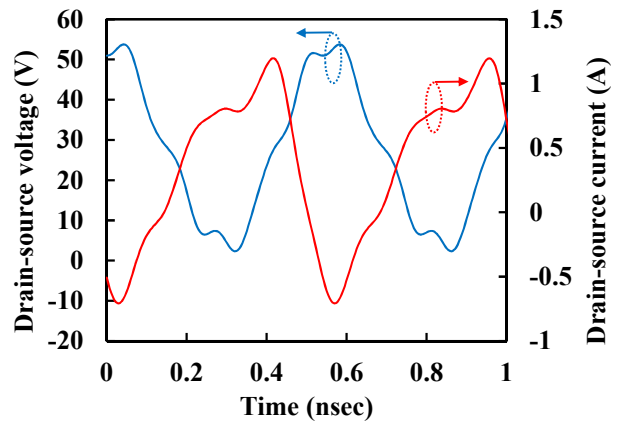


그림 4. 입력 전력 25 dBm에서의 설계한 전력 증폭기의 드레인-소스 전류와 전압 파형

Fig. 4. Simulated drain-to-source current and voltage waveforms of the designed PA at input power of 25 dBm.

성분들로 인해 발생한다.

III. 제작 및 측정 결과

3-1 전력 증폭기 제작 및 CW 신호 측정

설계된 전력 증폭기는 유전율 2.2, 두께 0.504 mm의 유전체 기판(Taconic TLY-5)과 마이크로스트립 라인을 이용하여 제작되었다.

그림 5는 제작된 전력 증폭기의 사진으로 크기는 63 mm×109 mm이며, 사용된 마이크로스트립 라인의 치수는 표 4에 나타내었다.

그림 6은 제작한 전력 증폭기의 S-파라미터 특성을 보여준다. 중심 주파수 1.85 GHz에서 20.2 dB의 S_{21} (gain)과

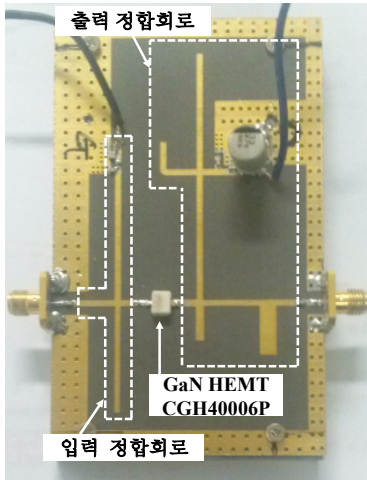


그림 5. 제작된 전력 증폭기 사진
Fig. 5. Photograph of the fabricated power amplifier.

표 4. 전력 증폭기에 사용된 마이크로스트립 라인의 치수
Table 4. Dimension of microstrip lines used in the power amplifier.

전송선로	TL1	TL2	TL3	TL4	TL5	TL6	TL7	TL8	TL9
너비(mm)	1.9	1.5	1.5	1.5	1.7	1.4	3.9	1.5	1.5
길이(mm)	8.0	29.3	27.5	13.5	5.8	12.7	11.5	9.5	29.8

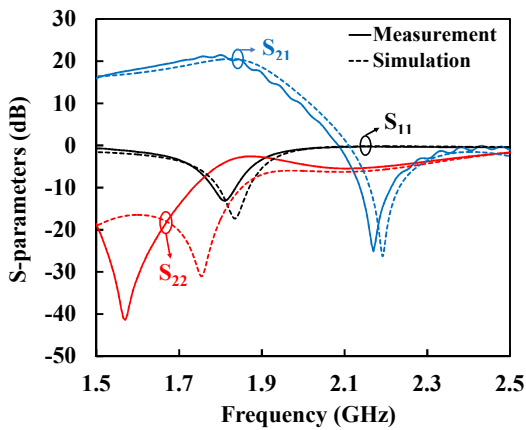


그림 6. 측정과 시뮬레이션 간의 S-파라미터 비교
Fig. 6. Comparison between the simulated and measured S-parameters of the power amplifier.

-7.9 dB의 S_{11} (return loss)을 보였으며, S_{22} 는 -2.7 dB이다. S_{11} 과 S_{21} 은 시뮬레이션과 비슷한 결과를 보였고, S_{22} 는

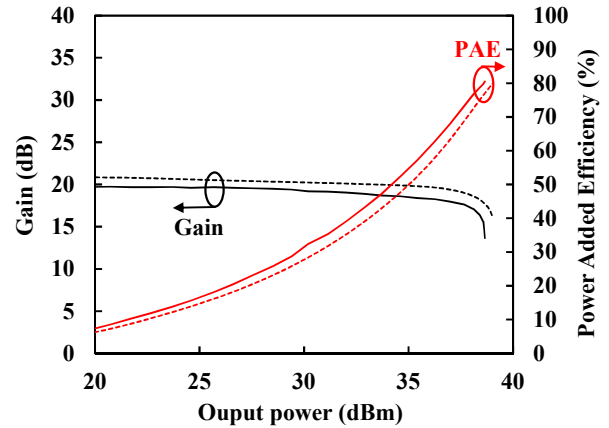


그림 7. 1.85 GHz에서 측정된 전력 증폭기 특성
Fig. 7. Measurement performance of the power amplifier at 1.85 GHz.

중심 주파수에서 대략 200 MHz 정도 낮은 주파수로 이동하였다.

그리고, 제작한 전력 증폭기의 CW(Continuous Wave) 신호 입력에 대한 특성을 측정하였다. 그림 7은 중심 주파수 1.85 GHz에서 측정된 출력 전력에 따른 이득과 PAE 특성을 보여준다. 1.85 GHz에서 38.6 dBm의 최대 출력 전력과 80.9%의 PAE를 보였다. 또한, 33.7 dBm의 P_{1dB} (1 dB gain compression point)를 보였으며, 그 지점에서의 PAE는 47.1%를 만족하였다.

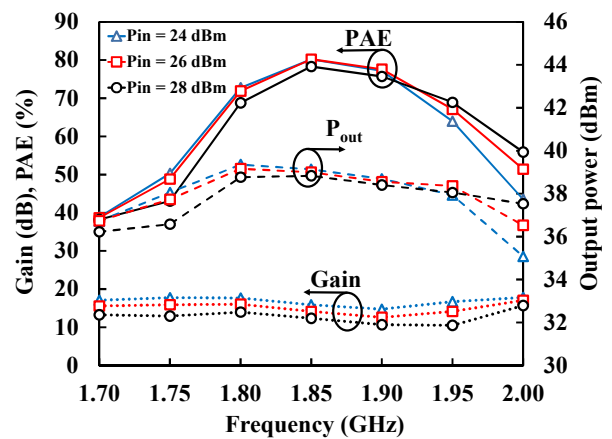


그림 8. 전력 증폭기의 측정된 주파수 특성
Fig. 8. Measured frequency performance of the fabricated power amplifier.

표 5. 보고된 GaN 전력 증폭기의 특성 비교
Table 5. Comparison of the reported GaN power amplifiers.

참고문헌	주파수 (GHz)	출력 전력 (W)	PAE (%)	동작 모드 (Class)
[5]	1.90	5.2	57.0	Class-E
[10]	2.13	9.3	64.5	Class-J
[11]	2.14	7.2	68.0	Class-AB
[12]	2.45	7.9	72.0	Class-F ⁻¹
본 논문	1.85	7.2	80.9	Class-AB

제작된 전력 증폭기의 주파수 특성을 확인하기 위해 300 MHz의 주파수 대역폭에서 CW 실험을 하였다. 그림 8은 입력 전력이 24, 26, 28 dBm일 때, 1.7~2.0 GHz의 주파수에 따른 측정 결과이다. 측정 결과, 1.8~1.9 GHz에서 70 % 이상의 PAE와 38 dBm 이상의 출력 전력을 만족하였다.

선행 연구된 GaN HEMT를 이용한 전력 증폭기의 특성을 본 논문과 비교하기 위해 표 5에 나타내었다. 비교 논문은 10 W 이하의 출력 전력을 가지며, 스위치 모드와 class-AB로 동작하는 전력 증폭기를 선정하였다. 기존의 GaN HEMT 전력 증폭기와 비교하여 본 논문에서 제작된 전력 증폭기의 PAE는 단일 주파수에서 우수한 것을 확인할 수 있다.

3-2 W-CDMA 신호에 대한 전력 증폭기 특성 측정 및 디지털 전치 왜곡 기법 구현

제작된 전력 증폭기의 선형성 측정을 위해 그림 9와 같은 셋업을 구성하였으며, 전체 구조는 크게 DSP 부분과 아날로그 부분으로 나눌 수 있다.

DSP 부분에서는 W-CDMA 신호를 발생시키며, 측정을 통해 얻은 신호를 저장 및 처리한다. Matlab을 통해 생성된 I(in-phase)와 Q(quadrature) 신호는 AWG(arbitrary waveform generator)를 통해 아날로그 신호로 변환되고, up-converter를 통해 중심 주파수 1.85 GHz의 RF 신호가 된다. Up-converter의 출력 전력이 작기 때문에 선형성이 좋은 구동 증폭기(drive amplifier)로 신호를 증폭시켜 제작된 전력 증폭기의 입력으로 인가한다. 전력 증폭기의 출력 신호는 감쇠기를 거쳐 down-converter를 통해 기저대역 신호로 변환되며, DAQ(data acquisition) 보드를 통해

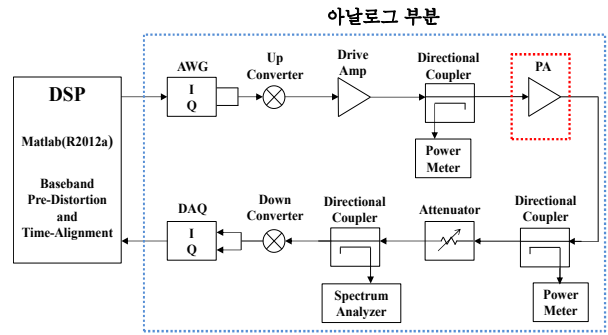


그림 9. W-CDMA 신호에 대한 전력 증폭기 측정 셋업
Fig. 9. Measurement setup of the power amplifier for W-CDMA signal.

디지털 신호로 바뀌어 메모리에 저장된다. 저장된 출력 신호는 입력 신호와 비교하여 시간 정렬, 디지털 전치 왜곡 기법 등에 활용된다.

그림 9와 같은 측정 셋업을 이용하여 PAR이 10.3 dB인 W-CDMA 신호를 생성하였다. 신호의 대역폭은 3.84 MHz이며, 약 32.55 nsec의 샘플 간격을 갖는 2¹⁶(65,536)개의 데이터를 사용하였다. 측정 결과, 최대 출력 전력에서 10 dB back-off된 지점인 28.4 dBm의 평균 출력 전력에서 27.8 %의 PAE와 5 MHz offset 주파수에서 -38.8 dBc의 ACLR(Adjacent Channel Leakage Ratio)을 보였다. 측정된 선형성은 구동 증폭기의 왜곡 특성도 포함하며, 구동 증폭기는 5 MHz offset 주파수에서 -50 dBc의 ACLR 특성을 보인다.

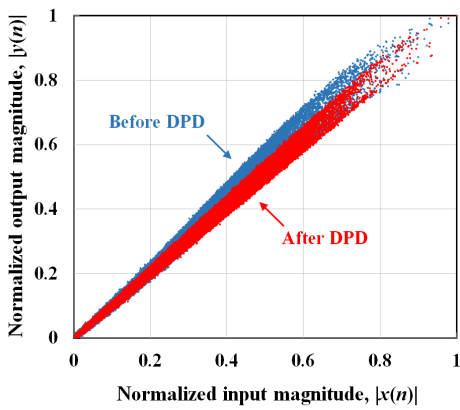
제작된 고효율 전력 증폭기의 선형성 개선을 위해 다음과 같은 디지털 전치 왜곡 기법을 구현하였다. 먼저, 제안된 전력 증폭기의 특성을 파악하기 위해 입력 신호 $x(n)$ 과 출력 신호 $y(n)$ 의 시간 정렬(time-alignment)이 필요하다. 두 신호는 크기와 위상을 갖는 기저대역 복소수 신호(complex baseband signal)이며, 크기의 최댓값으로 정규화된 값이다. 우선, $x(n)$ 과 $y(n)$ 의 상호상관(cross-correlation)이 최대가 되는 지점을 찾아 이를 보상한다. 추가로 sub-sampling 기법을 이용하여, 하나의 샘플 간격 내에서 보다 정확한 시간 정렬을 하였다. 그 다음, 전력 증폭기의 비선형 특성인 AM-AM 및 AM-PM 특성을 식 (1)과 같이 모델링하였다.

$$\tilde{y}(n) = x(n) \sum_{k=1}^K a_k |x(n)|^{k-1} \tag{1}$$

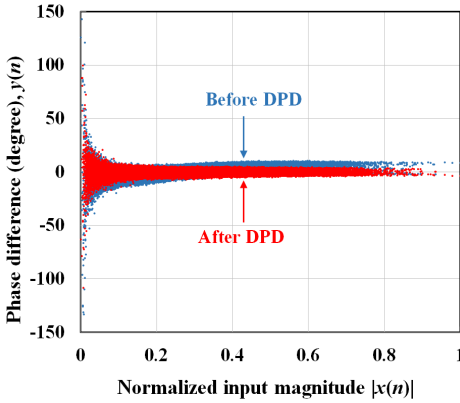
표 6. 계산된 다항식 계수

Table 6. Calculated coefficients of the polynomials.

계수	값
a_1	$0.800+j0.130$
a_2	$0.220-j1.02$
a_3	$-3.48+j2.34$
a_4	$13.2-j2.66$
a_5	$-21.8 + j3.60$
a_6	$17.7-j4.38$
a_7	$-5.79 + j2.09$



(a) AM-AM 특성
(a) AM-AM characteristic



(b) AM-PM 특성
(b) AM-PM characteristic

그림 10. 제작된 전력 증폭기의 AM-AM 및 AM-PM 특성
Fig. 10. AM-AM and AM-PM characteristics of the fabricated power amplifier.

$\tilde{y}(n)$ 은 모델링된 출력 신호이며, K 는 다항식의 차수로서 본 논문에서는 7로 설정하였다. a_k 는 구하고자 하는 다항식 계수이며, 측정된 데이터 $x(n)$ 과 $y(n)$ 을 최소자승법에 의한 다항식 맞춤을 통하여 계산한다.

표 6은 다항식 맞춤 방식으로 구한 계수이며, 이렇게 구한 다항식의 역함수를 이용하여 전치 왜곡된 신호를 결정하였다. 이 신호를 제작된 전력 증폭기의 입력으로 다시 사용하였다.

그림 10은 전력 증폭기의 AM-AM 및 AM-PM 특성을 측정하여 디지털 전치 왜곡 기법 전과 후를 비교하여 나타낸 것이다. 그림 10 (a)는 정규화된 입력 신호 $|x(n)|$ 에 따른 정규화된 출력 신호 $|y(n)|$ 의 특성을 나타내며, 그림 10 (b)는 $|x(n)|$ 에 따른 $y(n)$ 의 위상 차이를 보여준다. 구현된 디지털 전치 왜곡 기법을 적용하면 AM-AM 및 AM-PM 특성이 개선되는 것을 보여주고 있다.

그림 11은 디지털 전치 왜곡 기법 전과 후의 평균 출력 전력에 따른 ACLR과 PAE의 측정 결과이다. 28.4 dBm의 평균 출력 전력에서, -45 dBc의 ACLR을 만족하면서 27.8%의 가장 높은 PAE를 보였다. 다항식 맞춤 방식의 디지털 전치 왜곡 기법을 통하여, 6.2 dB의 ACLR이 개선되었음을 확인하였다.

디지털 전치 왜곡 기법을 적용하면 스펙트럼 재성장 (spectral regrowth) 현상이 감소하게 된다. 그림 12는 제작된 전력 증폭기의 디지털 전치 왜곡 전과 후의 스펙트럼

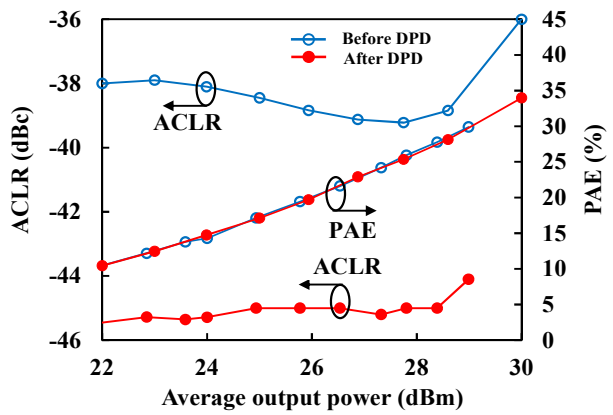


그림 11. 평균 출력 전력에 따른 ACLR 및 PAE 측정
Fig. 11. Measured ACLR and PAE versus average output power.

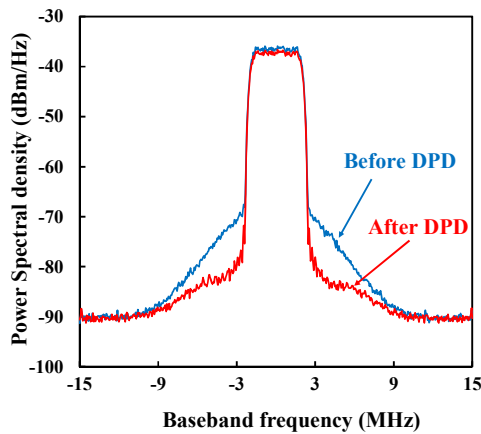


그림 12. 평균 출력 전력 28.4 dBm에서 측정된 출력 스펙트럼

Fig. 12. Measured output spectra at an average output power of 28.4 dBm.

을 비교한 것이다. 출력 전력 28.4 dBm일 때, 제작한 전력 증폭기에서 발생한 스펙트럼 재성장(Regrowth)이 디지털 전치 왜곡을 통해 감소하였음을 확인했다.

IV. 결 론

본 논문에서는 GaN HEMT를 이용하여 중심 주파수 1.85 GHz에서 동작하는 고효율 전력 증폭기를 설계 및 제작하였다. 로드풀 시뮬레이션을 이용하여 중심 주파수에서 최적의 부하 임피던스뿐만 아니라 2, 3차 고조파 주파수에서의 최적의 부하 임피던스를 고려하여 출력 정합 회로를 구현하였다. 제작된 전력 증폭기는 CW 신호 측정에서 80.9%의 최대 PAE를 얻었으며, 그때 출력 전력은 38.6 dBm이다.

10.3 dB의 PAR을 가지는 W-CDMA 신호를 Matlab을 이용하여 생성한 후 제작된 전력 증폭기의 특성을 측정하였다. 측정 결과, 28.4 dBm의 평균 출력 전력에서 27.8%의 PAE와 -38.8 dBc의 ACLR을 보였다. 또한, 구현된 디지털 전치 왜곡 기법을 적용하여 ACLR을 6.2 dB 향상시킬 수 있었다.

References

[1] Y. -S. Lee, Y. -H. Jeong, "A high-efficiency class-E GaN HEMT power amplifier for W-CDMA applications", *IE-*

EE Microw. Wireless Compon. Lett., vol. 17, no. 8, pp. 622-624, Aug. 2007.

[2] M. van der Heijden, M. Acar, and J. Vromans, "A compact 12-watt high-efficiency 2.1-2.7 GHz class-E GaN HEMT power amplifier for base stations", in *IEEE MTT-S Int. Microw. Symp. Dig.*, pp. 657-660, Jun. 2009.

[3] Y. Y. Woo, Y. Yang, and B. Kim, "Analysis and experiments for high-efficiency class-F and inverse class-F power amplifiers", *IEEE Trans. Microw. Theory Tech.*, vol. 54, no. 5, pp. 1969-1974, May 2006.

[4] F. H. Raab, "Maximum efficiency and output of class-F power amplifiers", *IEEE Trans. Microw. Theory Tech.*, vol. 49, no. 6, pp. 1162-1166, Jun. 2001.

[5] H. Xu, S. Gao, S. Heikman, S. I. Long, U. K. Mishra, and R. A. York, "A high-efficiency class-E GaN HEMT power amplifier at 1.9 GHz", *IEEE Microw. Wireless Compon. Lett.*, vol. 16, no. 1, pp. 22-24, Jan. 2006.

[6] P. Colantonio, A. Ferrero, F. Giannini, E. Limiti, and V. Teppati, "An approach to harmonic load-pull and source-pull measurements for high efficiency PA design", *IEEE Trans. Microw. Theory Tech.*, vol. 52, no. 1, pp. 191-198, Jan. 2004.

[7] H. G. Bae, R. Negra, S. Boumaiza, and F. Ghannouchi, "High-efficiency GaN class-E power amplifier with compact harmonic-suppression network", *Microwave Conference, 2007. European*, pp. 1093-1096, Oct. 2007.

[8] T. Mury, V. F. Fusco, and H. Cantu, "2.4 GHz Class-E power amplifier with transmission-line harmonic terminations", *IET Microwaves, Antennas & Propagation*, vol. 1, no. 2, pp. 267-272, Apr. 2007.

[9] CGH40006P, 6 W, 28 V, GaN HEMT, Cree, [Online] Available: <http://www.cree.com/>

[10] K. Mimis, K. Morris, and J. McGeehan, "A 2 GHz GaN Class-J power amplifier for base station application", in *IEEE Symp. for Radio and Wireless (RWS)*, Phoenix, USA, pp. 5-8, Jan. 2011.

[11] S. Bensmida, O. Hammi, and F. M. Ghannouchi, "High efficiency digitally linearized GaN based power ampli-

fier for 3G applications", *IEEE Radio and Wireless Symp.*, pp. 419-422, Jan. 2008.

[12] M. M. Ebrahimi, M. Helaoui, and F. Ghannouchi, "Trading-off stability for efficiency in designing switching-

mode GaN PAs for WiMAX applications", in *IEEE 2009 Asia Pacific Microwave Conference*, pp. 2348-2351, Dec. 2009.

진 태 훈



2012년 2월: 광운대학교 전자공학과 (공학사)
2012년 3월~현재: 서강대학교 전자공학과 석사과정
[주 관심분야] 초고주파 회로 설계, 수동 회로 설계

정 진 호



1997년 2월: 서울대학교 전기공학부 (공학사)
1999년 2월: 서울대학교 전기공학부 (공학석사)
2004년 8월: 서울대학교 전기컴퓨터공학부 (공학박사)
2004년 10월~2007년 2월: UC San Diego,

Post-doctoral Researcher

2007년 3월~2010년 2월: 광운대학교 전자통신공학과 조교수
2010년 3월~현재: 서강대학교 전자공학과 부교수
[주 관심분야] 마이크로파/밀리미터파/THz 집적회로, RF Power Amplifiers, 무선전력전송

권 태 엽



2013년 2월: 서강대학교 전자공학과 (공학사)
2013년 3월~현재: 서강대학교 전자공학과 석사과정
[주 관심분야] 초고주파 능동회로, 전력 증폭기 선형화 기법