

핀 폭에 따른 문턱전압 변화를 줄이기 위한 무접합 MuGFET 소자설계 가이드라인

이승민 · 박종태*

Device Design Guideline to Reduce the Threshold Voltage Variation with Fin Width in Junctionless MuGFETs

Seung-min Lee · Jong-tae Park*

Department of Electronics Engineering, Incheon National University, Incheon 406-772, Korea

요 약

본 연구에서는 무접합 MuGFET의 핀 폭에 따른 문턱전압의 변화를 줄이기 위한 소자 설계 가이드라인을 제시하였다. 제작된 무접합 MuGFET으로부터 핀 폭이 증가할수록 문턱전압의 변화가 증가하는 것을 알 수 있었다. 무접합 MuGFET의 핀 폭에 따른 문턱전압의 변화를 줄이기 위한 소자 설계 가이드라인으로 게이트 유전체, 실리콘박막의 두께, 핀 수를 최적화 하는 연구를 3차원 소자 시뮬레이션을 통해 수행하였다. 고 유전율을 갖는 La_2O_3 유전체를 게이트 절연층으로 사용하거나 실리콘 박막을 최대한 얇게 하므로 핀 폭이 증가해도 문턱전압의 변화율을 줄일 수 있음을 알 수 있었다. 특히 유효 채널 폭을 같게 하면서 핀 수를 많게 하므로 문턱전압 변화율과 문턱전압 아래 기울기를 작게 하는 것이 무접합 MuGFET의 최적의 소자 설계 가이드라인임을 알 수 있었다.

ABSTRACT

In this paper, the device design guideline to reduce the threshold voltage variation with fin width in junctionless MuGFET has been suggested. It has been observed that the threshold voltage variation was increased with increase of fin width in junctionless MuGFETs. To reduce the threshold voltage variation with fin width in junctionless MuGFETs, 3-dimensional device simulation with different gate dielectric materials, silicon film thickness, and an optimized fin number has been performed. The simulation results showed that the threshold voltage variation can be reduced by the gate dielectric materials with a high dielectric constant such as La_2O_3 and the silicon film with ultra-thin thickness even though the fin width is increased. Particularly, the reduction of the threshold voltage variation and the subthreshold slope by reducing the fin width and increasing the fin numbers is known the optimized device design guideline in junctionless MuGFETs.

키워드 : 무접합 MuGFET, 문턱전압 변화, 문턱전압 이하 기울기, 핀 폭, 고 유전체

Key word : Junctionless MuGFET, threshold voltage variation, subthreshold slope, fin width, high-K dielectrics

접수일자 : 2013. 10. 10 심사완료일자 : 2013. 10. 31 게재확정일자 : 2013. 11. 13

* **Corresponding Author** Jong-Tae Park(E-mail:jtpark@incheon.ackr, Tel:+82-32-835-8445)

Department of Electronics Engineering, Incheon National University, Incheon 406-772, Korea

Open Access <http://dx.doi.org/10.6109/jkice.2014.18.1.135>

print ISSN: 2234-4772 online ISSN: 2288-4165

©This is an Open Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License(<http://creativecommons.org/licenses/by-nc/3.0/>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.
Copyright © The Korea Institute of Information and Communication Engineering.

I. 서 론

최근에 나노미터 CMOS 소자의 단채널 현상을 줄이기 위해 무접합 소자가 제안되었다[1]. 무접합 트랜지스터는 기존의 벌크 MOSFET와 달리 채널과 소스/드레인의 불순물 종류와 농도가 같은 구조로 소스와 기판 사이에 접합이 없는 구조이다. 무접합 소자는 소스/드레인과 기판 사이의 접합에서 불순물 농도 분포에 의한 단채널 현상과 기생 저항 성분을 줄일 수 있고 공정이 간단하므로 나노미터 레벨 CMOS 소자로서 유망한 것으로 보고되고 있다. 무접합 트랜지스터는 SOI (Silicon-On-Insulator) 기술을 이용한 소자로 게이트 전압이 인가되지 않아도 실리콘 박막이 완전히 공핍상태가 되도록 하려면 제작 시 실리콘 박막 두께를 얇게 해야 한다. 트랜지스터가 오프 상태일 때 게이트와 실리콘의 일함수 차이로 박막을 완전히 공핍시키므로 드레인 전류가 흐르지 않게 된다. n-채널 무접합 트랜지스터는 게이트에 낮은 양의 전압을 인가하면 실리콘 박막이 부분적으로 공핍 상태가 되고 소스와 드레인의 전자가 실리콘 박막을 연결하면서 채널이 형성되는 즉 벌크 전도대역이 생성되어 전류가 흐르게 된다. 전류가 흐를 때의 게이트 전압을 문턱전압으로 정의하며 게이트에 문턱전압보다 더 큰 전압이 인가되면 Si 박막의 전체가 전자의 채널이 되는 평탄 전압 조건이 된다. 게이트에 평탄 전압보다 더 큰 전압이 인가되면 마치 축적 모드의 트랜지스터와 같은 동작을 보이게 된다. 그 결과로 드레인 구동전류는 축적 모드 소자와 유사한 것으로 보고되고 있다[2].

무접합 MuGFET (Multiple Gate MOSFET)에서 Si 박막의 두께, 산화층 두께, 채널의 불순물 농도, 핀 폭에 따른 문턱전압의 변화에 대한 많은 연구들이 진행되어 왔다 [3-5]. 무접합 트랜지스터는 벌크 전도대역에 의해 전류가 흐르게 되므로 표면에 채널이 형성되는 반전 모드 트랜지스터에 비해 표면 산란에 의한 이동도 감소는 적지만 채널의 불순물 농도가 매우 높으므로 실제 유효 이동도는 반전 모드보다 작게 된다[6]. 그리고 소스/드레인의 불순물 농도가 반전 모드 소자보다 작으므로 직렬저항이 상대적으로 크다는 단점이 있다[7]. 이를 해소하기 위해 소스/드레인에 한 번 더 불순물을 이온주입하여 소스/드레인의 불순물 농도를 높이기도 한다. 무접합 소자에는 채널 불순물 농도가 높으므로 나노미터

소자에서 불순물 농도의 변화에 따른 문턱전압 변화가 문제 될 것으로 제기 되었으나 심하지 않는 것으로 알려졌다[8]. 무접합 MuGFET를 집적회로에 응용한데 있어서 가장 큰 문제는 핀 폭에 따라 문턱전압의 변화 크다는 것이다. 핀 폭에 따라 문턱전압의 변화가 크면 집적회로 설계 시 어려움이 많으므로 가능한 문턱전압의 변화를 줄여야 한다. 최근에 32nm노드에서 15nm 노드로 소자의 크기가 축소되면 핀 폭에 따른 문턱전압의 변화가 디지털회로 레벨에서는 큰 문제가 되지 않는다는 연구도 발표되었다[9].

본 연구에서는 핀 폭에 따른 문턱전압의 변화를 줄이기 위한 무접합 트랜지스터의 소자 설계 가이드라인을 제시한다. 게이트 유전체, 실리콘박막의 두께, 핀 수를 최적화 하므로 핀 폭에 따른 문턱전압의 변화를 줄이는 소자 설계에 대한 연구를 수행하였다.

II. 소자 측정 및 시뮬레이션

n-채널 무접합 MuGFET의 핀 폭에 따른 문턱전압변화를 측정하는 데 사용된 소자의 사양은 다음과 같다. 그림 1은 측정에 사용된 무접합 MuGFET의 도식도이다. 무접합 및 반전모드 MuGFET는 실리콘 박막의 두께가 340nm이며 저항이 10-20Ω-cm이고 매물 산화층 두께가 400nm인 p-형 SOI 웨이퍼에 제작되었다. 자세한 공정과정은 참고문헌 [1] 에 자세히 서술되어 있다. 열산화 공정으로 실리콘 박막 두께를 10nm 되게 하였고 건식 산화 공정을 이용하여 게이트 산화층 두께가 약 10nm 되게 하였다. 무접합 소자의 채널 및 소스/드레인 농도가 약 $N_b=1 \times 10^{19} \text{cm}^{-3}$ 이고 반전모드 소자의 채널 농도 $N_A=2 \times 10^{18} \text{cm}^{-3}$ 이다. 무접합 소자의 게이트는 P⁺⁺로 도핑된 50nm 두께의 다결정 실리콘을 사용하였고, 반전모드 소자는 인을 이온주입하여 N⁺⁺로 도핑하였다. 반전모드 소자는 비소를 각각 소스와 드레인 영역에 이온 주입하여 형성되었다. 최종적으로 제작된 소자는 게이트 확장 길이가 10nm인 Pi-gate 구조의 MuGFET이며 실리콘 박막 두께는 약 10nm이다. 측정에 사용된 모든 소자의 게이트 길이는 1μm이고 핀 폭은 20nm, 30nm와 40nm이다. 그리고 핀 수는 1이다.

핀 폭에 따른 문턱전압의 변화를 줄이기 위한 무접합 MuGFET소자 설계는 3차원 소자 시뮬레이터인

Silvaco사의 ATLAS를 이용하였다. 소자 시뮬레이션에 사용된 소자 변수로는 게이트 산화층 두께가 3nm, 게이트 길이는 200nm 이다. 무접합 소자의 채널농도는 $N_D=1 \times 10^{19} \text{cm}^{-3}$ 되게 균일하게 도핑 하였다. 소자 시뮬레이션에 사용된 물리적인 모델은 전계에 따라 변하는 이동도 모델, 속도포화 현상을 고려한 모델, SRH 재결합 및 생성 모델, 에너지 밴드갭 좁아짐 현상 모델 등을 포함하였다. 핀 폭, 게이트 유전체, 실리콘 박막의 두께, 핀 개수를 변수로 하여 소자 시뮬레이션을 수행하였다.

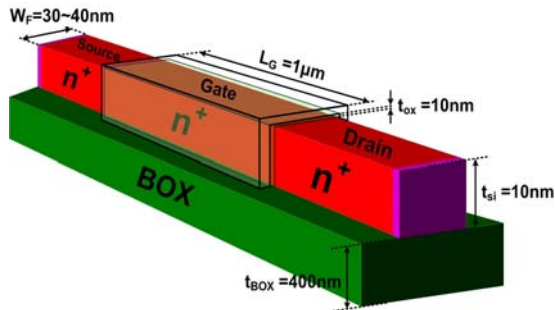


그림 1. 무접합 MuGFET의 3차원 소자 도식도
Fig. 1 3-dimensional schematic diagram of junctionless MuGFET

III. 결과 및 고찰

그림2는 n-채널 무접합 및 반전모드 MuGFET의 핀 폭에 따라 측정된 문턱전압 변화를 나타낸 것이다. 반전모드 소자는 핀의 채널 폭이 증가하더라도 문턱전압의 변화가 거의 없으나 무접합 소자는 핀의 채널 폭이 증가하면 문턱전압이 크게 감소하는 것을 알 수 있다. 이런 결과는 기존에 발표된 타 연구 결과와 일치하는 것으로 무접합 소자를 집적회로에 응용하기 위해서는 문턱전압의 변화를 줄이는 연구가 필요하다 [5,10]. 무접합 MuGFET는 게이트 전압이 인가되지 않아도 게이트와 실리콘 박막의 일함수차이로 실리콘 박막이 완전히 공핍상태로 되어야 하는데 핀 폭이 증가할수록 측면 게이트에 의한 전계가 작게 되어 실리콘 박막을 완전히 공핍시키지 못하므로 실리콘 박막의 전자농도가 증가하게 된다.

그 결과로 핀 폭이 증가할수록 무접합 MuGFET의 문턱전압은 감소하는 것으로 사료된다. 참고문헌에 의하면 이중게이트 무접합 소자에서 핀 폭의 변화율(ΔW)에 따른 문턱전압의 변화율(ΔV_{TH})은 다음과 같은 식으로 표시할 수 있다 [5].

$$\Delta V_{TH} \propto \frac{q \times N_D \times \Delta W}{C_{OX}} \quad (1)$$

여기서 C_{OX} 는 게이트 커패시턴스이며 N_D 는 채널의 농도이다. 식 (1)로부터 핀 폭의 변화율과 채널의 불순물 농도가 증가하면 문턱전압의 변화율이 크게 됨을 알 수 있다. 그러나 식 (1)로부터 C_{OX} 가 크면 문턱전압 변화율이 감소하는 것을 알 수 있다. 본 연구에서는 3차원 소자 시뮬레이션으로 C_{OX} 를 크게 하기 위해서 고 유전율을 갖는 게이트 유전체를 게이트 절연층으로 사용한 경우와 실리콘 박막의 두께에 따른 문턱전압의 변화율을 분석하므로 소자설계 가이드라인을 제공하였다.

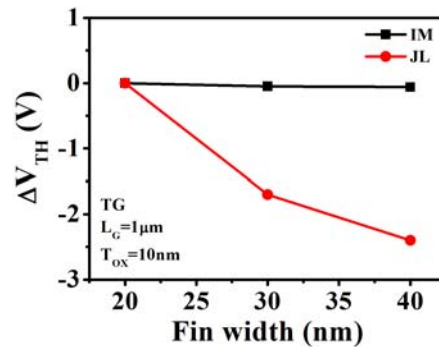
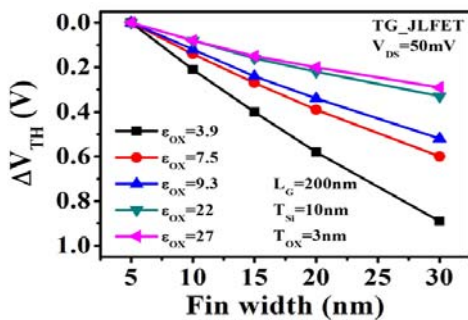


그림 2. 반전모드 및 무접합 MuGFET의 핀 폭에 따른 문턱전압 변화
Fig. 2 Threshold voltage variation as a function of fin width in JL and inversion mode MuGFETs

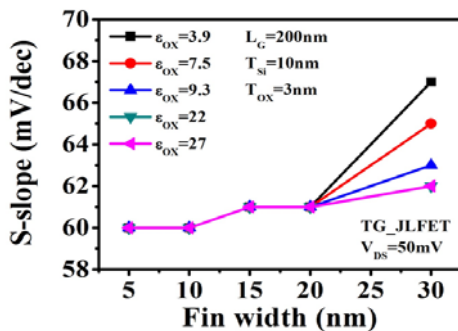
3.1. 게이트 산화층 두께에 따른 문턱전압 변화

그림 3은 소자시뮬레이션에 의한 게이트 절연층의 유전상수가 다를 때 핀 폭에 따른 문턱전압 변화율과 문턱전압 아래 기울기(S)를 나타낸 것이다. 그림3으로부터 게이트 산화층으로 SiO_2 를 사용했을 때보다 고 유전율을 갖는 유전체를 게이트 절연층으로 사용할 때가 문턱전압의 변화가 작은 것을 알 수 있다.

이것은 식(1)에서와 같이 고 유전율을 갖는 유전체를 사용하면 C_{ox} 가 증가하기 때문이다. 그림 3으로부터 유전율이 22 이상이면 핀 폭이 6배 증가해도 문턱전압의 감소가 0.3V 정도이므로 집적회로 응용에 문제가 없을 것으로 사료된다. 유전율이 27인 La_2O_3 유전체는 Si와 유전체 사이에 계면상태를 줄이기 위한 완충 게이트 산화층이 필요 없을 것으로 사료되므로 차세대 게이트 절연층으로 기대된다 [11]. 흥미로운 것은 핀 폭이 20nm 이상으로 증가하면 유전율에 상관없이 모든 소자에서 S가 갑자기 증가하는 것이다. 이는 게이트 유전체를 SiO_2 를 사용하여 측정한다 연구결과와 일치하는 것으로 무접합 MuGFET 소자 설계 시 핀 폭의 변화에 따른 문턱전압의 변화도 중요하지만 S도 중요한 변수임을 보여준다[10]. 무접합 MuGFET의 이상적인 소자 특성을 위해서는 핀 폭을 너무 크게 하면 안 된다는 것이다.



(a)

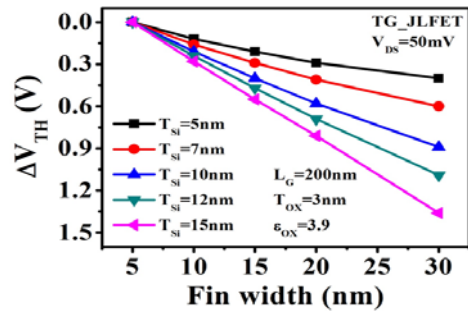


(b)

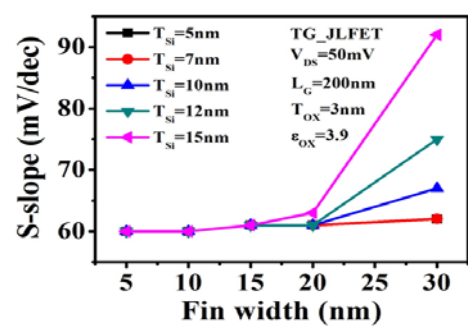
그림 3. 게이트 절연층의 유전상수가 다를 때 핀 폭에 따른 문턱전압 변화율(a)과 문턱전압 아래 기울기 변화(b)
 Fig. 3 The variation of threshold voltage (a) and subthreshold slope (b) as a function of fin width and dielectric constant

3.2. 실리콘 박막 두께에 따른 문턱전압 변화

그림 4는 소자시뮬레이션에서 실리콘 박막 두께가 다를 때 핀 폭에 따른 문턱전압 변화율과 문턱전압 아래 기울기를 나타낸 것이다. 실리콘 박막의 두께가 증가할수록 핀 폭에 따른 문턱전압의 변화율이 큰 것을 알 수 있다. 이런 결과는 실리콘 박막의 두께가 증가할수록 게이트와 실리콘 박막의 일함수 차이로 실리콘 박막을 완전히 공핍시키기 어렵기 때문이다. 즉 실리콘 박막의 두께가 증가하면 실리콘 박막의 전자 농도가 증가하기 때문에 문턱전압이 감소하게 된다. 그림3의 결과에서와 같이 실리콘 박막의 두께에 상관없이 핀 폭이 20nm 이상이 되면 S가 급격히 증가하는 것을 알 수 있다. 실리콘 핀 폭이 20nm 이상이면 실리콘 박막이 상부 게이트에 의해 완전히 공핍상태가 되지 않으므로 낮은 드레인 전압에서도 일부 벌크 전도대역이 형성되어 S가 급격히 증가하는 것으로 사료된다.



(a)



(b)

그림 4. 실리콘 박막 두께가 다를 때 핀 폭에 따른 문턱전압 변화율(a)과 문턱전압 아래 기울기 변화(b)
 Fig. 4 The variation of threshold voltage (a) and subthreshold slope (b) as a function of fin width and Si film thickness

3.3. 핀 폭에 따른 문턱전압 변화율을 줄이기 위한 소자설계 가이드라인

MuGFET를 사용한 집적회로 설계 시 구동전류를 크게 하기 위해서는 핀 폭을 크게 하거나 핀 수를 많게 하면 된다. 그림 3과 4의 결과로부터 핀 폭이 증가하면 문턱전압의 변화율과 S 특성이 좋지 않으므로 MuGFET 소자 설계 시 핀 폭을 작게 하면서 핀 수를 증가시키는 것이 바람직하다. 본 연구에서는 MuG-FET의 유효 채널 폭(W_{EFF})을 일정하게 하고 핀 수를 다르게 하므로 문턱전압과 S의 특성을 비교 분석하였다. 그림 5는 유효 채널 폭이 60nm로 동일하면서 핀 수를 1로 하였을 때와 2로 하였을 때의 레이아웃 도식도이다. 소자의 특성을 비교 분석하기 위해 유효채널 폭이 30nm인 소자를 기준으로 하였다.

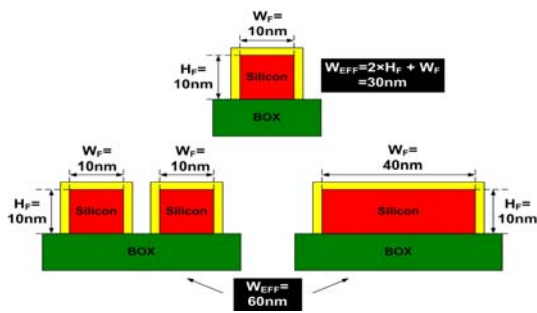


그림 5. 유효 채널 폭이 60nm로 동일하며 핀 수를 다르게 레이아웃한 도식도

Fig. 5 Schematic diagram of layout with fin number at constant effective channel width 60nm

그림 6은 기준 소자, 핀 수가 1인 소자 및 핀 수가 2인 소자의 문턱전압 아래 특성을 나타낸 것이다. 그림으로부터 핀 수를 2로 하였을 때는 기준 소자와 같은 문턱전압 아래 특성을 보이나 핀 수를 1로 하였을 때는 누설전류 및 S 값이 증가하는 것을 알 수 있다. 그러나 드레인 구동전류는 핀 수와 상관없이 거의 동일한 것을 알 수 있다. 그림에서와 같이 핀 수가 1일 때 누설전류가 증가하고 S가 큰 것은 무접합 소자에서 핀 폭이 증가할수록 실리콘 박막이 완전히 공핍되지 않고 잔류 전자의 농도가 높기 때문이다. 잔류 전자를 게이트 전압으로 완전히 제어할 수 있으면 누설전류나 S값이 감소하게 되지만 핀 폭이 증가하면 측면 게이트의 제어 능력이 떨어지므로 잔류 전자의 농도가 증가하게 된다.

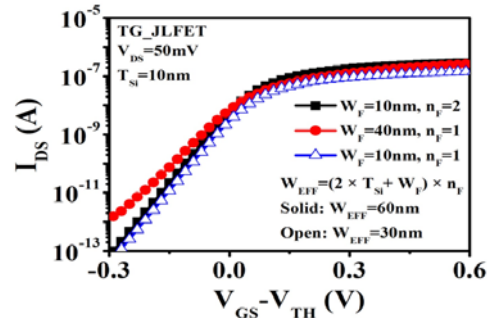


그림 6. 핀 수에 따른 문턱전압 아래 특성

Fig. 6 Subthreshold characteristics with different fin number

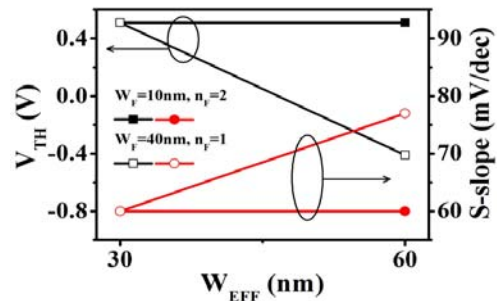


그림 7. 핀 수가 다를 때 핀 폭에 따른 문턱전압 변화율과 문턱전압 아래 기울기 변화

Fig. 7 The variation of threshold voltage (a) and subthreshold slope (b) as a function of fin number

그림 7은 유효 채널 폭이 60nm로 동일한 조건에서 핀 수를 1과 2로 하였을 때의 문턱전압 변화율과 문턱전압 아래 특성을 나타낸 것이다. 핀 수를 1로 하였을 때는 문턱전압의 변화율이 크지만 핀 수를 2로 하였을 때는 문턱전압의 크기가 기준 소자와 동일하게 된다. 그리고 핀 수가 1인 소자는 S가 크지만 핀 수가 2인 소자는 기준 소자와 S 값이 같게 된다.

그림 6과 7의 결과로부터 무접합 MuGFET 소자를 설계 시 핀 폭의 증가에 따른 문턱전압 변화율을 줄이고 문턱전압 아래 기울기를 작게 하기 위해서는 핀 하나의 폭을 작게 하면서 핀 수를 증가시키는 것이 바람직한 설계 방법임을 알 수 있었다. 무접합 소자는 소자의 공정에서 발생하는 물리적 크기의 편차에 따른 문턱전압 변화율이 크므로 집적회로 응용에 어려울 것으로 주장하는 연구도 있으나 고 유전율을 갖는 게이트 유전체를 사용하고 핀 수를 많게 하면 핀 폭에 따른 문턱전

압 변화를 줄일 수 있으므로 15nm노드 공정에서는 문체가 없을 것으로 사료된다.

IV. 결 론

무접합 MuGFET 소자의 핀 폭 증가에 따른 문턱전압의 변화율을 줄이기 위한 소자 설계 가이드라인을 제시하였다. 고 유전율을 갖는 La₂O₃ 유전체를 게이트 절연층으로 사용하거나 실리콘 박막을 최대한 얇게 하므로 핀 폭이 증가해도 문턱전압 및 문턱전압 아래 기율기 변화율을 줄일 수 있음을 알 수 있었다. 그리고 무접합 MuGFET 소자 설계에서 문턱전압 변화율 못지않게 문턱전압 아래 기율기를 고려하여 핀 폭을 결정해야 함을 알 수 있었다. 특히 유효 채널 폭을 같을 때 넓은 핀 폭 대신 핀 수를 많게 하므로 문턱전압 변화율과 문턱전압 아래 기율기를 작게 하는 것이 최적의 소자 설계 가이드라인임을 알 수 있었다.

REFERENCES

[1] J. P. Colinge, C. W. Lee, A. Afzalian, N. Kelleher, B. McCarthy, and R. Murphy, "Nanowire transistors without junction," *Nature Nano-technology*, vol. 5, no. 3, pp. 225-229, 2010.

[2] C.W. Lee, I. Ferrain, A. Afzalian, R. Yan, N.D. Akhavan, P. Razzavi, and J.P. Colinge, "Performance estimation of junctionless multigate transistors," *Solid-State Electronics*, vol.54, pp.97-103, 2010.

[3] A. Gnudi, S. Reggiani, E. Gnani, and G. Baccarani, "Analysis of threshold voltage variation due to random dopant fluctuation in junctionless FETs," *IEEE Electron Device Lett.*, vol. 33, no.3, pp.336-338, 2012.

[4] R. D. Trevisoli, R. T. Doria, M. Souza, M.A. Pavanello, "A physically-based threshold voltage definition, extraction and analytical model for junctionless nanowire transistors," *Solid-State Electronics*, to be published in 2013.

[5] S. Choi, D. Moon, S. Kim, J.P. Duarte, and Y. Choi, "Sensitivity of threshold voltage to nanowire width variation in junctionless transistors," *IEEE Electron Device Lett.*, vol. 32, no.2, pp.125-127, 2011.

[6] J.P. Colinge, C.W. Lee, I Ferrain, N. Akhavan, R. Yan, P. Razavi, R. Yu, A. Nazarov, and R.T. Doriac, "Reduced electric field in junctionless transistors," *Applied Physics Letters*, vol. 96, p.0773510, 2010.

[7] D.Y. Jeon, S. Park, M. Mouis, M. Berthome, S. Barrud, G.T Kim, and G. Ghibaud, Revisited parameter extraction methodology for electrical characterization of junctionless transistors," *Solid-State Electronics*, to be published in 2013.

[8] G. Leung, and C. Chui, "Variability impact of random dopant fluctuation on nanoscale junctionless FinFETs," *IEEE Electron Device Lett.*, vol. 33, no.6, pp.767-769, 2012.

[9] A.N. Nazarov, V.S. Lysenko, I. Ferrain, S. Das, R. Yu, A. Kranti, N. D. Akhavan, P. Razavi, and J.P. Colinge, "Floating body effects in junctionless MuGFETs," *Proceeding of ULSI*, 2012, pp.93-94.

[10] D. Moon, S. Choi, J.P. Durate, and Y. Choi, "Investigation of silicon nanowire gate-all-around junctionless transistors built on a bulk substrate," *IEEE Trans. on Electron Device*, vol. 60, no. 4, pp.1355-1360, 2013.

[11] S Ohmi, C. Kobayashi, K Aizawa, S Yamamoto, E Tokomitsu, H Ishiwara. and H Iwai, "High quality ultrathin La₂O₃ for high-K gate insulator," *Solid State Device Research Conference*, 2001, pp.235-238.



이승민(Seung-Min Lee)

2012년 인천대학교 전자공학과 학사
2012년 3월- 현재 인천대학교 전자공학과 공학석사
※관심분야 : CMOS Reliability, Nano-scale CMOS



박종태(Jong-Tae Park)

1981년 경북대학교 전자공학과 학사
1983년 연세대학교 전자공학과 공학석사
1987년 연세대학교 전자공학과 공학박사
1983년 8월 ~ 1985년 8월 금성반도체(주)연구소 연구원
1991년 1월 ~ 1991년 12월 MIT Post Doc.
2000년 7월 ~ 2001년 8월 UC Davis 방문교수
1987년 3월 ~ 현재 인천대학교 전자공학과 교수
※관심분야 : CMOS Reliability, Nano-scale CMOS, SOI/MOSFET, RF-CMOS