

MOM 커패시터를 사용한 디지털-아날로그 변환기를 가진 10-bit 10-MS/s 비동기 축차근사형 아날로그-디지털 변환기

정연호 · 장영찬*

A 10-bit 10-MS/s Asynchronous SAR analog-to-digital converter with digital-to-analog converter using MOM capacitor

Yeon-Ho Jeong · Young-Chan Jang*

Department of Electronic Engineering, Kumoh National Institute of Technology, Gumi, Gyeongbuk 730-701, Korea

요 약

본 논문은 디지털-아날로그 변환기(DAC: digital-to-analog converter), SAR 로직, 그리고 비교기로 구성된 10-bit 10-MS/s 비동기 축차근사형(SAR: successive approximation register) 아날로그-디지털 변환기(ADC: analog-to-digital converter)를 제안한다. Rail-to-rail의 입력 범위를 가지는 설계된 비동기 축차근사형 아날로그-디지털 변환기는 샘플링 속도를 향상시키기 위해 MOM(metal-oxide-metal) 커패시터를 이용한 바이너리 가중치 기반의 디지털-아날로그 변환기를 사용하여 구현한다. 제안하는 10-bit 10-MS/s 비동기 축차근사형 아날로그-디지털 변환기는 0.18- μ m CMOS 공정에서 제작되고 면적은 0.103 mm²를 차지한다. 1.1 V의 공급전압에서 전력소모는 0.37 mW를 나타낸다. 101.12 kHz와 5.12 MHz의 아날로그 입력 신호에 대해 측정된 SNDR은 각각 54.19 dB와 51.59 dB이다.

ABSTRACT

This paper presents a 10-bit 10-MS/s asynchronous successive approximation register (SAR) analog-to-digital converter (ADC) which consists of a digital-to-analog converter (DAC), a SAR logic, and a comparator. The designed asynchronous SAR ADC with a rail-to-rail input range uses a binary weighted DAC using metal-oxide-metal (MOM) capacitor to improve sampling rate. The proposed 10-bit 10-MS/s asynchronous SAR ADC is fabricated using a 0.18- μ m CMOS process and its active area is 0.103 mm². The power consumption is 0.37 mW when the voltage of supply is 1.1 V. The measured SNDR are 54.19 dB and 51.59 dB at the analog input frequency of 101.12 kHz and 5.12 MHz, respectively.

키워드 : 축차근사형, 아날로그-디지털 변환기, 디지털-아날로그 변환기, MOM

Key word : successive approximation, analog-to-digital converter, digital-to-analog converter, metal-oxide-metal

접수일자 : 2013. 11. 13 심사완료일자 : 2013. 12. 11 게재확정일자 : 2013. 12. 23

* **Corresponding Author** Young-Chan Jang(E-mail:ycjang@kumoh.ac.kr, Tel:+82-54-478-7434)

Department of Electronic Engineering, Kumoh National Institute of Technology, Gumi, Gyeongbuk 730-701, Korea

Open Access <http://dx.doi.org/10.6109/jkiice.2014.18.1.129>

print ISSN: 2234-4772 online ISSN: 2288-4165

©This is an Open Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License(<http://creativecommons.org/licenses/by-nc/3.0/>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.
Copyright © The Korea Institute of Information and Communication Engineering.

I. 서 론

최근 모바일 분야에서 SoC 구현에 있어 소면적 및 저전력의 요구가 높아짐에 따라 이에 적합한 축차근사형(SAR: successive approximation register) 아날로그-디지털 변환기(ADC: analog-to-digital converter)가 주목받고 있다. 일반적으로 동기식 방식의 축차근사형 ADC는 낮은 샘플링 속도 때문에 바이오 응용 분야 혹은 센서 인터페이스 등에 주로 이용되었다. [1-4] 하지만 최근에는 비동기 방식의 축차근사형 ADC가 연구되면서 샘플링 속도를 향상시킬 수 있게 되었다[5].

동기식으로 동작하는 일반적인 축차근사형 ADC는 N -bit을 구현하기 위해 리셋 구간, 샘플 구간, 그리고 N 번의 데이터 변환 주기를 포함하여 총 $N+2$ 의 클록 주기가 필요하게 된다. 또한 디지털-아날로그 변환기(DAC: digital-to-analog converter)의 정착(settling) 시간, 비교기의 비교 시간, 그리고 SAR 로직의 디지털 지연 시간의 합에 의해 클록 주파수가 결정된다. 이에 따라 샘플링 주파수의 N 배 이상의 높은 클록 주파수가 요구되어 시스템에서 전력소모를 증가시키고 클록 공급에 제한을 발생시킬 수 있다. 이에 반해 비동기 방식의 축차근사형 ADC는 외부 클록에 의해 내부 클록을 생성하고 그 내부 클록으로 ADC를 동작시킨다. 또한 외부 클록 한 주기에 리셋, 샘플, 그리고 N 번의 데이터 변환 과정이 모두 진행된다. 그러므로 외부 클록의 속도와 샘플링 속도가 동일하게 되어 샘플링 속도를 향상시킬 수 있고, 외부 클록의 공급에 있어 부담을 완화시키고 전력소모를 줄일 수 있다[6]. 이에 따라 비동기 축차근사형 ADC는 수십 MHz의 샘플링 속도를 갖는 파이프라인 ADC의 영역이었던 통신 및 비디오 응용 분야에 적용하게 되었다.

높은 해상도를 가진 축차근사형 ADC의 설계에 있어 샘플링 속도를 향상시키기 위한 연구는 지속되어 왔다. 가장 큰 영향을 미치는 것은 축차근사형 ADC의 구성 블록 중 하나인 디지털-아날로그 변환기 (DAC: digital-to-analog converter)의 정착 시간이다. 커패시터로 구성된 DAC의 정착 시간을 줄이기 위해 다양한 연구가 진행되고 있다. 그 예로 분할-커패시터 방식의 DAC[7]을 이용하여 전체 커패시턴스를 줄이고 정착 속도를 향상시킨다. 또한 이진 여분 축차근사형 ADC[8]와 비이진 여분 축차근사형 ADC[9] 등의 구조 및 스위칭 방식을

변환하여 정착 시간을 줄이는 연구도 발표되었다. 하지만 이진 여분 방식은 추가적인 디지털 회로가 많이 요구되어 전체 변환속도가 낮아지고 면적도 증가된다. 비이진 여분 방식은 디지털 코드로 에러를 보정하는 기법으로 추가적인 디지털 회로를 요구하지 않지만 두 개의 축차근사형 ADC가 요구되어 전력소모 및 면적에서 비효율적이다.

본 논문에서는 DAC의 커패시턴스를 줄이기 위해 MOM (metal-oxide-metal) 방식의 커패시터를 이용한다. 커패시턴스가 작아짐에 따라 열잡음이 증가하게 되는 부분은 선형성이 좋은 바이너리 방식의 커패시터 어레이를 사용하여 보완한다.

II. 비동기 축차근사형 ADC

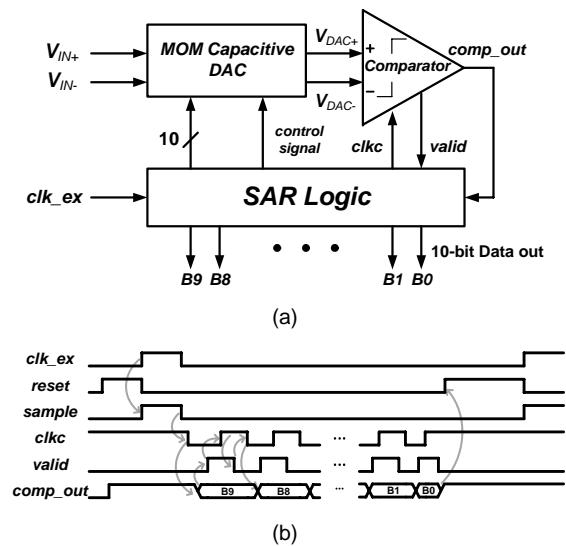


그림 1. 비동기 축차근사형 아날로그-디지털 변환기의 (a) 블록도와 (b) 타이밍도
Fig. 1 (a) Block diagram and (b) timing diagram of Asynchronous SAR ADC

그림 1(a)는 설계된 10-bit 10-MS/s 비동기 축차근사형 ADC의 블록도로 MOM 커패시터를 이용한 DAC, 비교기, SAR 로직으로 구성된다. DAC는 차동 입력을 샘플하고 바이너리 알고리즘을 위한 기준전압을 생성한다. 비교기는 DAC의 출력전압의 차이를 비교한다. SAR 로직은 비교기의 출력을 순차적으로 저장하는 역

할과 비교기의 출력 값으로부터 DAC의 스위치를 제어하는 신호를 생성한다. 비동기 축차근사형 ADC는 외부 클럭인 clk_{ex} 으로 부터 SAR 로직과 비교기에 의해 생성된 내부 클럭인 clk 와 $valid$ 에 의해 동작한다. 그림 1(b)는 비동기 축차근사형 ADC의 타이밍도로 외부 클럭에 의해 샘플 신호와 내부 클럭이 생성되는 과정을 보여준다. 내부 클럭인 clk 는 비교기의 클럭이며 low 일 때 DAC의 출력 전압을 비교한다. 비교가 끝난 후 0 혹은 1로 정해진 디지털 값은 SAR 로직에 저장되고 비교동작이 끝났음을 알리는 $valid$ 신호가 high가 된다. $valid$ 신호가 high가 되면 $comp_out$ 값에 따라 DAC의 기준 전압이 변화하고 다음 비교를 위해 clk 는 high가 되어 비교기가 pre-charge하게 된다. 비교기가 pre-charge되면 $valid$ 신호는 low가 된다. 이러한 과정으로 DAC는 아날로그 입력 값을 바이너리 search 알고리즘으로 찾아가고 10 번의 데이터 변환이 끝나면 $reset$ 신호가 활성화된다.

그림 2(a)는 전압 비교기의 회로도로서 clk 신호가 high 일 때 pre-charge, low 일 때 비교 동작을 수행한다. clk 신호가 low가 되면 입력전압 차에 따라 V_{OUTP} , V_{OUTM} 전압이 출력되고, 그림 2(b)의 SR 래치에 의해 디지털 값으로 출력된다. 비교가 완료된 두 출력(V_{OUTP} , V_{OUTM})은 high와 low 혹은 low로 high의 값을 가지기 때문에 $valid$ 신호를 high로 변화시킨다. clk 신호가 high가 되면 pre-charge 구간으로 V_{OUTP} , V_{OUTM} 노드가 모두 high로 충전된다. 이에 따라 SR 래치는 이전 값을 유지하게 되고 $valid$ 신호는 low가 된다. 일반적인 전압 비교기에서 Q1, Q2 노드는 $V_{DD}-V_{TH}$ 로 pre-charge된다. 하지만 공정 변화에 따라 트랜지스터의 부정합 (mismatch)이 발생하여 V_{TH} 레벨이 다르게 될 수 있다. 이러한 결과는 1 mV 이하의 LSB(least significant bit)를 가지는 설계에서는 큰 오차를 생성하여 ADC의 성능을 저하시킨다. 이를 방지하기 위해 Q1, Q2 노드를 V_{DD} 전압으로 pre-charge 한다.

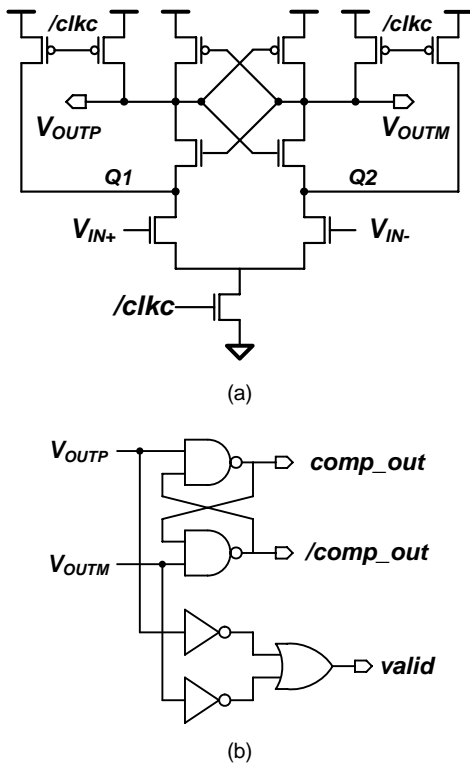


그림 2. (a) 비교기와 (b) 래치의 회로도
Fig. 2 Circuit diagram of (a) comparator and (b) latch

III. MOM 커패시터를 이용한 디지털-아날로그 변환기

그림 3(a)는 MIM (metal-insulator-metal) 커패시터의 구조를 나타낸다. N 번째 메탈과 $N+1$ 번째 메탈 사이에 커패시터가 위치하며 두 평판사이의 거리가 가까워서 면적 대비 커패시턴스 높아서 효율적이다. 하지만 디자인 룰에 의해 1 ~ 2 fF의 작은 커패시턴스의 구현이 어렵다. 그림 3(b)는 MOM (metal-oxide-metal) 커패시터의 구조로 같은 층의 두 메탈 사이에 기생 커패시터를 이용한다. 이 때문에 MOM 방식은 작은 커패시턴스 값으로 구현이 가능하다.

그림 4는 MOM 커패시터를 이용한 레이아웃을 나타낸다. MOM 커패시터의 좌우 대칭을 이루게 레이아웃하여 DAC의 부정합을 줄인다. 기생성분으로 커패시턴스를 생성하기 때문에 높은 값을 얻기가 어렵다. 본 논문에서는 최소의 메탈 간격으로 설계하여 2 fF의 유닛 커패시턴스를 가진다. 또한 여러 층의 MOM을 병렬로 연결할 경우 그 연결로 인한 부정합이 발생될 수 있으므로 단일 층의 MOM만 이용한다.

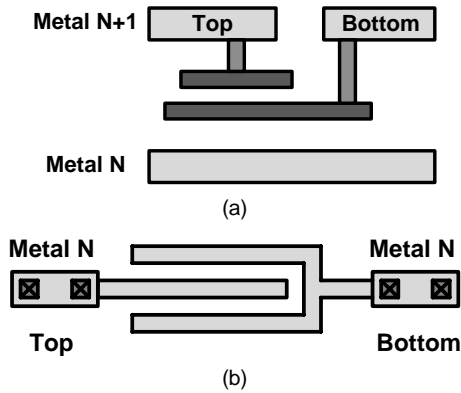


그림 3. (a) MIM 커패시터 (b) MOM 커패시터
Fig. 3 (a) MIM capacitor (b) MOM capacitor

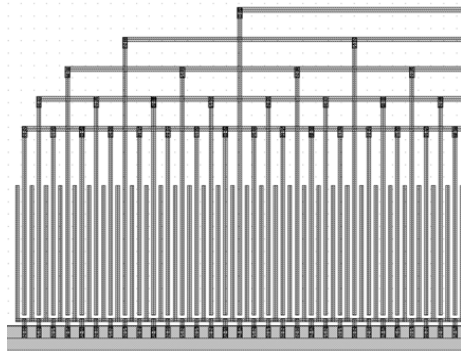


그림 4. MOM 커패시터를 이용한 레이아웃
Fig. 4 Layout using MOM capacitor

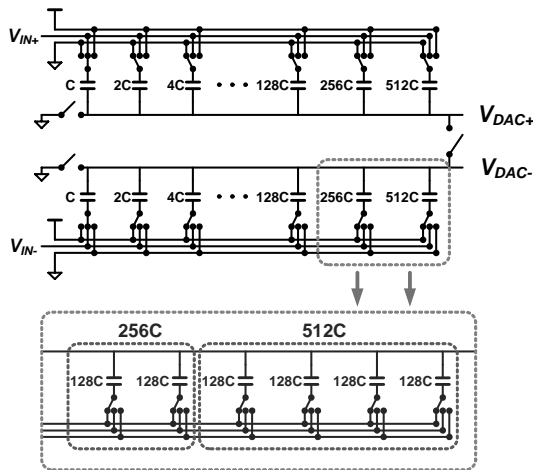


그림 5. MOM 커패시터를 이용한 DAC의 구조
Fig. 5 Structure of DAC using MOM capacitor

그림 5는 MOM 커패시터를 이용한 DAC의 회로도이다. 선형성이 좋은 바이너리 기반의 구조를 사용하고 MSB와 MSB-1을 결정하는 커패시터인 512C와 256C를 각각 4개와 2개의 128C로 분리함으로써 RC 지연시간을 줄여 DAC의 정착을 빠르게 한다.

IV. 칩 제작 및 측정 결과

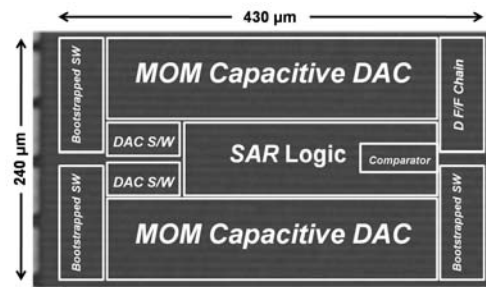
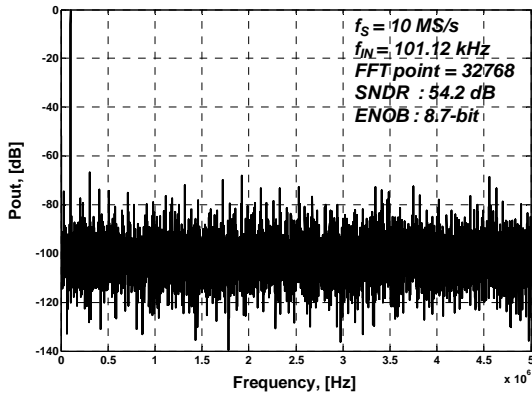


그림 6. 비동기 축차근사형 아날로그-디지털 변환기 칩 사진
Fig. 6 Photograph of asynchronous SAR ADC

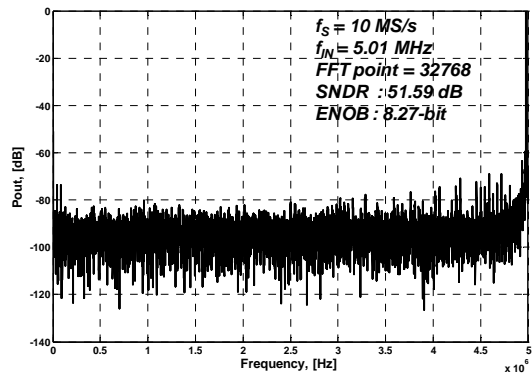
그림 6은 설계된 10-bit 10-MS/s 비동기 축차근사형 ADC의 칩 사진이다. 1.1V 0.18- μm 1-poly 6-metal CMOS 공정에서 제작되었고 면적은 0.103 mm^2 이다. 전력소모는 0.37 mW이다.

그림 7은 10 MS/s에서 101.12 kHz와 나이퀴스트(Nyquist) 입력 주파수인 5.01 MHz의 아날로그 입력 신호에 대해 측정된 ADC 출력의 FFT 결과이다. 측정된 SNDR (signal-to-noise distortion ratio)은 각각 54.2 dB와 51.6 dB이고, 그에 따른 유효비트는 각각 8.7비트와 8.3비트이다.

그림 8은 10 MS/s의 샘플링 속도에서 입력 주파수에 따른 SNDR을 측정한 결과이다. 낮은 주파수의 입력에 대해 약 54 dB 정도를 나타냈고 나이퀴스트 입력 주파수에 근접할수록 SNDR은 감소되어 7 MHz의 입력 신호에는 50 dB의 SNDR이 측정되었다. 그림 9는 101.12 kHz의 아날로그 입력에서 샘플링 주파수의 변화에 따른 측정된 SNDR의 그래프이다. 측정된 SNDR은 13 MHz부터 서서히 감소하였다. 14 MHz의 샘플링 주파수까지 8.5비트 이상의 유효비트를 유지하였다. 설계된 비동기 축차근사형 ADC의 요약 및 비교가 표 1에 나타난다.



(a)



(b)

그림 7. (a) 101.3 kHz와 (b) 5.01 MHz(나이퀴스트)의 아날로그 입력에 대한 FFT 결과

Fig. 7 FFT result for input frequency of (a) 101.12 kHz and (b) 5.01 MHz

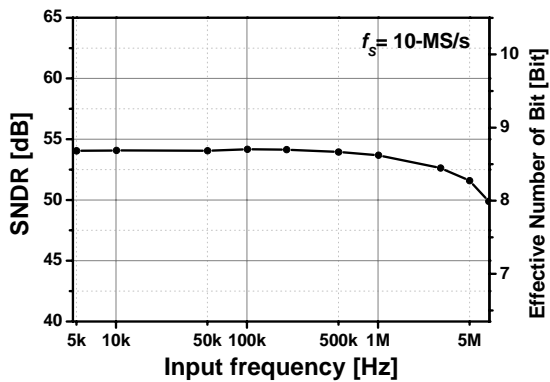


그림 8. 입력 주파수에 따라 측정된 SNDR
Fig. 8 The measured SNDR versus input frequency

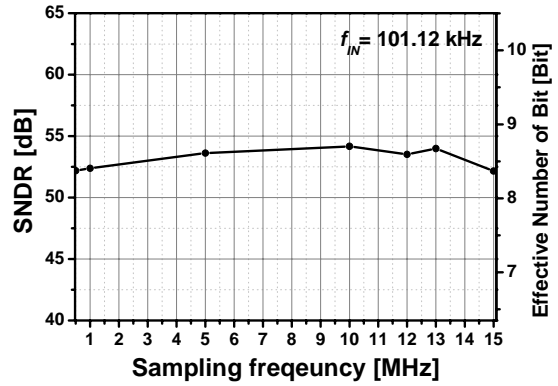


그림 9. 101.12 kHz의 아날로그 입력 주파수에서 샘플링 속도에 따른 측정된 SNDR

Fig. 9 The measured SNDR versus sampling frequency at input frequency of 101.12 kHz

표 1. 축차근사형 ADC의 비교

Table. 1 Comparison of SAR ADCs

Specification	ASSCC'09 [10]	ISSCC'10 [11]	ISOC'12 [12]	본 연구
구조	SAR	SAR	SAR	SAR
공정 [μm]	0.13	0.09	0.11	0.18
공급 전압 [V]	1	1	1.2	1.1
해상도 [bit]	12	8	10	10
샘플링 속도 [MS/s]	10	10.24	10	10
ENOB [bit]	9.62	7.74	8.74	8.71
전력소모 [mW]	3.0	0.069	2.3	0.37
면적 [mm^2]	0.096	0.054	0.25	0.103
FoM [fJ/c.s.]	380	31.5	538	120

V. 결론

제안하는 10비트 10-MS/s 비동기 축차근사형 ADC는 rail-to-rail의 입력 범위를 가지고 0.18- μm 1-poly 6-metal CMOS 공정을 사용하여 제작되었다. 축차근사형 ADC의 샘플링 속도를 향상시키기 위해 MOM 커패시터를 이용한 DAC를 사용하였고 MSB의 RC 지연시간을 줄이기 위해 MSB를 결정하는 커패시터를 병렬로 분리하여 설계하였다. 설계된 비동기 축차근사형 ADC는 101.12 kHz와 나이퀴스트 주파수인 5.01 MHz의 아날로그 입력 신호에 대해 측정된 SNDR은 각각 54.2 dB

와 51.6 dB로 나타났다. 1.1 V의 공급 전압에서 전력소모는 0.37 mW이고 면적은 0.103 mm²이다. 설계된 ADC의 FoM은 120 fJ/conversion-step이다.

REFERENCES

- [1] N. Verma, A. P. Chandrakasan, "An ultra low energy 12-bit rate-resolution scalable SAR ADC for wireless sensor nodes," *IEEE J. Solid-State Circuits*, vol.42, no.42, pp.1196-1205, Jun. 2007.
- [2] H.-C. Hong, G.-M. Lee, "A 65-fJ/Conversion-Step 0.9-V 200-kS/s Rail-to-Rail 8-bit Successive Approximation ADC," *IEEE J. Solid-State Circuits*, vol. 42, no. 10, pp. 2161-2168, Oct. 2007.
- [3] J.-H. Eo, S.-H. Kim, and Y.-C. Jang, "A 1V 200 kS/s 10-bit Successive Approximation ADC for a Sensor Interface," *IEICE transaction on Electronics*, vol. E94-C, no. 11, pp. 1798-1801, Nov., 2011.
- [4] J.-H. Eo, S.-H. Kim, and Y.-C. Jang, "A Time-Domain Comparator for Micro-Powered Successive Approximation ADC," *Journal of the Korea Institute of Information and Communication Engineering*, vol. 16, no. 6, pp. 1250-1259, Jun., 2012.
- [5] S. H. Cho, C. K. Lee and J. K. Kwon, "A 550-uW 10-b 40-MS/s SAR ADC With Multistep Addition-Only Digital Error Corrections," *IEEE J. Solid-State Circuits*, vol. 46, no. 8, pp.1881-1892, Aug. 2011.
- [6] S. W. M. Chen and R. W. Brodersen, "A 6b 600MS/s 5.3mW Asynchronous ADC in 0.13- μ m CMOS," *IEEE J. Solid-State Circuits*, vol. 41, no. 12, pp. 2669-2680, Dec. 2006.
- [7] S. K. Lee, S. J. Park, and Y. Suh, "A 1.3uW 0.6V 8.7-ENOB Successive Approximation ADC in a 0.18 μ m CMOS," *IEEE VLSI Circuit Symp*, Kyoto, pp. 242-243, Jun. 2009.
- [8] M. Hotta, A. Hayakawa, and N. Zhao, "SAR ADC Architecture with Digital Error Correction" *IEEJ International Analog VLSI Workshop*, Hangzhou, Nov. 2006.
- [9] F. Kuttner, "1.2V 10b 20MSample/s Non-Binary Successive Approximation ADC in 0.13 μ m CMOS" *IEEE ISSCC Dig. Tech. Papers*, San Francisco, CA, pp. 176-177, Feb. 2002.
- [10] H. W. Chen, Y. H. Liu, and Y. H. Lin, "A 3mW 12b 10MS/s sub-range SAR ADC," *IEEE ASSCC*, Taipei, pp. 153-156, Nov. 2009.
- [11] P. Harpe, C. Zhou, and X. Wang, "A 30fJ/Conversion-Step 8b 0-to-10MS/s Asynchronous SAR ADC in 90nm CMOS," *IEEE ISSCC Dig. Tech. Papers*, San Francisco, CA, pp. 388-389, Feb. 2010.
- [12] S. P. Nam, Y. M. Kim and D. H. Hwang, "A 10b 1MS/s -to-10MS/s 0.11um CMOS SAR ADC for analog TV applications," *IEEE ISOCC*, pp. 124-127, Nov. 2012.



정연호 (Yeon-Ho Jeong)

2012년 2월 금오공과대학교 전자공학부 (공학사)
 2012년 3월 ~ 현재 금오공과대학교 대학원 석사과정
 ※관심분야 : Data converter, Mixed-mode circuit design



장영찬 (Young-Chan Jang)

1995년 2월 경북대학교 전자전기공학부 (공학사)
 2001년 2월 포항공과대학교 전자전기공학과 (공학석사)
 2005년 2월 포항공과대학교 전자전기공학과 (공학박사)
 2005년 3월 ~ 2009년 8월 삼성전자 반도체총괄 책임연구원
 2009년 8월 ~ 현재 금오공과대학교 전자공학부 교수
 ※관심분야 : High-speed I/O interface, A/D 및 D/A converters