

## PMIC용 넓은 동작전압 영역을 갖는 eFuse OTP 설계

정우영 · 학문초 · 하관봉 · 김영희\*

### Design of eFuse OTP Memory with Wide Operating Voltage Range for PMICs

Woo-young Jeong · Wen-Chao Hao · Pan-Bong Ha · Young-Hee Kim\*

Department of Electronic Engineering, Changwon National University, Changwon 641-773, Korea

#### 요 약

본 논문에서는 eFuse OTP 메모리가 넓은 동작전압 영역을 갖도록 하기 위해서  $V2V(=2V\pm 10\%)$ 의 regulation된 전압을 이용한 RWL 구동회로와 BL 풀-업 부하회로를 제안하므로 수 십 k $\Omega$ 의 post-program 저항을 센싱하면서 OTP 셀의 blowing되지 않은 eFuse를 통해 흐르는 읽기 전류를 100 $\mu$ A 이내로 억제하여 신뢰성을 확보하였다. 그리고 OTP 셀 어레이 사이즈를 1행  $\times$  32열과 4행  $\times$  8열의 경우에 대해 OTP IP 크기를 비교한 결과 32비트 eFuse OTP의 레이아웃 면적은 각각  $735.96\mu\text{m} \times 61.605\mu\text{m} (=0.04534\text{mm}^2)$ ,  $187.065\mu\text{m} \times 94.525\mu\text{m} (=0.01768\text{mm}^2)$ 로 4행  $\times$  8열의 32비트 eFuse OTP 사이즈가 1행  $\times$  32열의 32비트 eFuse OTP 사이즈보다 더 작은 것을 확인하였다.

#### ABSTRACT

In this paper, reliability is secured by sensing a post-program resistance of several tens of kilo ohms and restricting a read current flowing over an unblown eFuse within 100 $\mu$ A since RWL driver and BL pull-up load circuits using a regulated voltage of  $V2V(=2V\pm 10\%)$  are proposed to have a wide operating voltage range for eFuse OTP memory. Also, when a comparison of a cell array of 1 row  $\times$  32 columns with that of 4 rows  $\times$  8 columns is done, the layout size of 4 rows  $\times$  8 columns is smaller with  $187.065\mu\text{m} \times 94.525\mu\text{m} (=0.01768\text{mm}^2)$  than that of 1 row  $\times$  32 columns with  $735.96\mu\text{m} \times 61.605\mu\text{m} (=0.04534\text{mm}^2)$ .

**키워드** : PMIC, analog trimming, eFuse, wide operating voltage, 고신뢰성

**Key word** : PMIC, analog trimming, eFuse, wide operating voltage, High-reliability

접수일자 : 2013. 11. 25 심사완료일자 : 2013. 12. 20 게재확정일자 : 2013. 12. 31

\* **Corresponding Author** Young-hee Kim(E-mail: youngkim@changwon.ac.kr, Tel: +82-55-285-1023)

Department of Electronic Engineering, Changwon National University, Changwon 641-773, Korea

**Open Access** <http://dx.doi.org/10.6109/jkiice.2014.18.1.115>

print ISSN: 2234-4772 online ISSN: 2288-4165

©This is an Open Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License(<http://creativecommons.org/licenses/by-nc/3.0/>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.  
Copyright © The Korea Institute of Information and Communication Engineering.

## I. 서 론

Power IC는 아날로그 트리밍 기능을 수행하기 위해 소용량의 비휘발성 메모리를 필요로 한다. 내장되는 비휘발성 메모리는 추가 공정이 필요 없는 로직 공정 기반 설계가 가능한 eFuse OTP(electrical Fuse One-Time Programmable) 메모리가 많이 사용되고 있다[1]. eFuse OTP 메모리는 eFuse에 수 십 mA의 과전류를 흘려 blowing하여 프로그램 한다[2-3]. eFuse의 프로그램 이전 저항은 50~100Ω 정도이고, eFuse 링크를 통해 프로그램 과전류가 흐르면서 eFuse의 프로그램 후 저항은 대개 수 십 kΩ 이상이 된다. 이와 같이 eFuse는 한 비트의 디지털 데이터를 전도 상태와 고저항 상태 중 하나로 프로그램한다.

PMIC(Power Management Integrated Circuit)의 아날로그 트리밍으로 사용되는 eFuse OTP 메모리는 파워업 시 2.3V 정도의 전압에서 OTP 데이터를 읽어내어 밴드갭 기준전압 발생기 회로를 포함한 아날로그 회로를 트리밍해야 한다. 그리고 넓은 동작전압 영역을 갖는 eFuse OTP 메모리는 노트북 PC, 휴대폰, 모니터 등의 다양한 응용기기에 대응이 가능하다[4]. 그래서 PMIC용 eFuse OTP 메모리는 2.3V~5.5V의 넓은 동작전압 영역을 갖는 회로 설계가 요구되어진다.

그런데 넓은 동작전압 영역을 갖는 eFuse OTP를 설계하는 경우 2.3V의 low VDD 조건에서 post-program 저항이 수 십 kΩ 정도인 eFuse를 데이터 '1'로 센싱하도록 BL(Bit-Line) 풀업 부하(pull-up load)를 사용하게 되면 5.5V의 VDD에서 프로그램되지 않은 eFuse 셀을 읽을 때 RWL(Read Word-Line)을 0V에서 VDD로 활성화(activation)되면서 blowing되지 않은 eFuse를 통해 큰 전류가 흐르게 된다. 이 때 전류밀도(current density)가 큰 전류에 의해 blowing 되지 않은 eFuse는 EM(Electro-Migration) 현상에 의해 blowing되는 현상이 일어날 수 있다[5].

본 논문에서는 0.18μm BCD 공정의 백본(backbone) 공정인 0.18μm GF-ACL 공정을 이용하여 넓은 동작전압 영역을 갖는 32비트 eFuse OTP를 설계하였다. eFuse OTP 메모리가 넓은 동작전압 영역을 갖도록 하기 위해서 V2V(=2V±10%)의 regulation된 전압을 이용하여 RWL 구동회로와 BL 풀업 부하회로를 제안하였다. 제안된 RWL 구동회로와 BL 풀업 부하회로를 사용하지

로 수 십 kΩ의 post-program 저항을 센싱하면서 OTP 셀의 blowing되지 않은 eFuse를 통해 흐르는 read 전류를 100μA 이내로 억제하여 신뢰성을 확보하였다. 그리고 OTP 셀 어레이 사이즈를 1행 × 32열과 4행 × 8열의 경우에 대해 OTP IP 사이즈를 비교하였다.

## II. 회로설계

매그나칩반도체 0.18μm GF-ACL 공정을 이용하여 설계된 32비트 eFuse OTP 메모리의 주요 특징은 표 1과 같다. 셀 어레이는 4행 × 8열로 구성되어 있다. eFuse OTP 셀은 OTP 메모리의 레이아웃 면적을 줄이기 위해 differential paired eFuse OTP 셀에 비해 셀 면적이 작은 듀얼 포트(dual port) eFuse OTP 셀을 사용하였으며, eFuse 링크는 p-polysilicon을 사용하였다. 동작모드는 프로그램 모드, 읽기 모드(read mode)와 program-verify-read 모드가 있다. 그리고 eFuse OTP 메모리의 프로그램 비트와 읽기 비트(read bit)는 각각 1비트, 8비트이고 프로그램 시간은 200μs이다. 사용되는 전원전압은 VDD와 V2V(=2V±10%)의 듀얼 전원(Dual Supply Voltage)을 사용하였다. VDD 전압은 프로그램 모드인 경우 eFuse 링크에 충분한 프로그램 파워를 공급하기 위해 5.5V가 사용되며, 읽기 모드인 경우 2.3~5.5V가 사용된다. 설계에 사용된 소자는 공정 비용을 줄이기 위해 1.8V의 로직 트랜지스터는 사용하지 않고 5V MOS 트랜지스터만 사용하였다.

표 1. 32b eFuse OTP의 주요 특징

Table. 1 Major specification of a 32-bit eFuse OTP memory

Items	Main Features
Process	MX 0.18μm GF-ACL Process
OTP Cell Array Size	4R × 8C
Fuse Type	P-poly (Coi-silicide)
Supply Voltage (VDD)	2.3V~5.5V
Temperature Range	-40℃ ~ 150℃
Operating Mode	Program / Program-Verify-Read / Normal Read
Program bit/Read bit	1bit/8bit
Program Voltage	VDD = 5.5V
Program Time	20 μs

32비트 eFuse OTP 메모리 설계에 사용된 듀얼 포트 eFuse OTP 셀의 회로도에는 그림 1에서 보는 바와 같으며, 큰 프로그램 전류를 흘릴 수 있는 프로그램용 NMOS 트랜지스터(MN1)와 읽기 모드 전류를 줄일 수 있는 읽기용 NMOS 트랜지스터(MN2)가 각각 사용되고 있다.

동작 모드별 eFuse 셀의 바이어스 전압 표 2에서 보는바와 같다. 프로그램 모드에서 '1'로 프로그램되는 eFuse 셀의 SL(source line)과 WWL(Write Word-Line) 신호는 모두 VDD(=5.5V)로 구동된다. 이와 같이 eFuse에 과전류가 흐르면 eFuse는 thermal rupture에 의해 blowing된다.

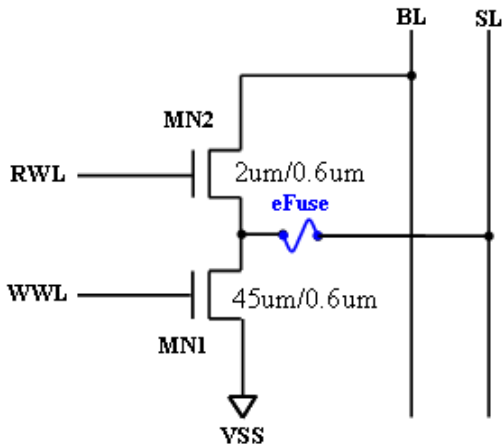


그림 1. 듀얼 포트 eFuse 셀 회로도  
Fig. 1 Dual-port eFuse OTP memory cell

표 2. 동작 모드에 따른 셀 바이어스 조건  
Table. 2 Cell bias conditions according to operational modes

	PROGRAM MODE		READ MODE	
	0	1	0	1
DIN	0	1	0	1
RWL	0V	0V	V2V	V2V
WWL	Unselected	0V	0V	0V
	Selected	VDD	VDD	0V
SL	Unselected	0V	0V	0V
	Selected	0V	VDD	0V
BL	Floating	Floating	0	V2V
DOUT	X	X	0	1
eFuse	Unblown	Blown	Unblown	Blown

그리고 읽기 모드에서 RWL은 V2V(=2V ±10%)를 구동하며, SL은 0V를 구동한다. '0'로 프로그램된 셀은 eFuse는 전도 상태이므로 BL에 0V를 출력하는 반면, '1'로 프로그램된 셀은 고저항 상태이므로 BL에 V2V를 출력한다.

0.18μm GF-ACL 공정을 이용하여 설계한 32비트 eFuse OTP 메모리의 블록도는 그림 2에서 보는 바와 같이 4행 × 8열의 OTP 셀 어레이, 제어 신호(RD, PGM, TM\_EN)에 따라 동작 모드에 적합한 내부 제어신호를 공급하는 제어 로직, 행 어드레스 A[4:3]를 디코딩하여 4개의 행(row) 중 하나를 선택해주는 행 디코더(row decoder), WL 구동 회로, 열 어드레스 A[2:0]를 디코딩하여 프로그램되는 8개의 열(column) 중 한 열을 선택해주는 SL 구동회로, 프로그램 데이터를 저장하는 프로그램 데이터 래치(PD latch) 회로, BL의 데이터를 읽어내기 위한 DOUT 버퍼, 그리고 데이터 래치에 저장된 프로그램 데이터 PD[7:0]와 DOUT 버퍼의 읽어낸 데이터 DOUT[7:0]이 일치하는지 비교해주는 비교회로로 구성되어 있다. PD[7:0]와 DOUT[7:0]를 해당 비트끼리 비교하였을 때 모든 비트가 일치하는 경우는 정상적으로 프로그램 되었으므로 Pfb 신호는 '1'을 출력하고, 8비트 중 한 비트 이상이 불일치하면 '0'을 출력한다. TM\_EN(Test Mode ENable) 신호는 program-verify-read 모드와 읽기 모드를 구분해 준다.

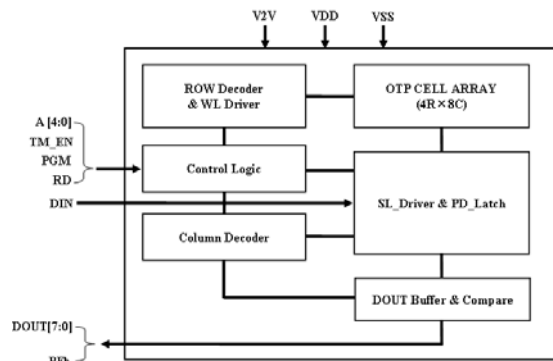


그림 2. 32비트 eFuse OTP 메모리의 블록도  
Fig. 2 Block diagram of 32-bit eFuse OTP memory

그림 3(a)는 eFuse OTP 메모리 셀의 레이아웃 사진을 보여주고 있다. eFuse OTP 메모리 셀의 레이아웃 크기는 20.555μm × 5.09μm이다. 그리고 그림 3(b)는 4행

× 8열 셀 어레이 회로도들을 보여주고 있다. RWL[3:0], WWL[3:0]와 VSS는 행 방향이고, SL[7:0]과 BL[7:0]는 열 방향으로 라우팅되어 있다.

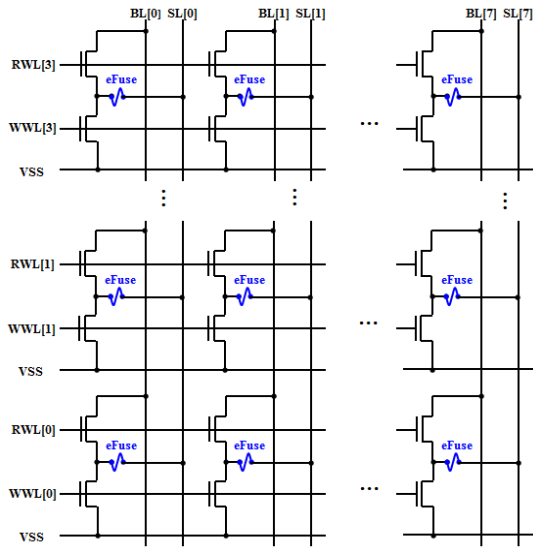


그림 3. (a) eFuse OTP 셀 레이아웃 이미지 (b) 4행 × 8열의 eFuse OTP 셀 어레이 회로도

Fig. 3 eFuse OTP memory: (a) cell layout image and (b) cell array of 4 rows × 8 columns

eFuse OTP의 프로그램 동작은 어드레스 A[4:0]와 입력 데이터 DIN을 먼저 인가한 상태에서 PGM 신호가 low에서 high로 활성화 되면 선택되는 OTP 메모리 셀은 프로그램 된다. 그리고 프로그램 모드에서 프로그램 입력 데이터 DIN은 eFuse OTP 메모리를 프로그램하는데 사용할 뿐만 아니라 프로그램 데이터 래치 회로에 래치된다. 읽기 동작은 RD 신호를 high로 활성화시키면 8비트의 출력 데이터가 액세스 시간이 지난 이후 DOUT[7:0] 포트에 출력된다. 이때 PGM 신호는 low 상태를 유지해야 된다. 한편 eFuse OTP 메모리는 패키지 상태에서 정상적으로 프로그램 되었는지 테스트가 가능하도록 설계가 되어야 한다. 그런데 PMIC 칩은 사용 핀(pin) 수가 몇 개 되지 않으므로 8비트 이상의 OTP 읽기 데이터를 패키지 핀에서 읽어볼 수 없는 문제점이 있다. 이 문제점을 해결하기 위해 프로그램 모드를 수행한 이후 연속으로 program-verify-read 모드를 수행하면 dynamic pseudo NMOS 로직회로를 이용한 프로그

램 데이터 비교회로는 프로그램 데이터 래치 회로에 래치된 프로그램 데이터와 읽기 모드에서 읽혀진 읽기 데이터를 비교하여 PFb(Pass Fail bar) 핀으로 비교 결과를 확인할 수 있다[6]. 그래서 본 논문에서는 program-verify-read 모드에서 프로그램 데이터와 읽기 데이터를 비교하여 PFb 핀으로 비교 결과를 출력하도록 설계하였다.

그림 4의 제안된 WL 구동회로는 프로그램 모드로 진입하게 되면 행 어드레스인 A[4:3]을 디코딩하여 선택되는 WWL만 VDD(=5.5V)로 구동되고 선택되지 않은 WWL은 0V를 유지하도록 한다. 그리고 읽기 모드와 program-verify-read 모드에서 선택된 RWL은 V2V(=2V±10%)로 구동되고 선택되지 않은 RWL은 0V를 유지한다. 넓은 동작전압 영역을 갖는 eFuse OTP를 설계하는 경우 2.3V의 low VDD 조건에서 post-program 저항이 수 십 kΩ 정도인 eFuse를 데이터 '1'로 센싱하도록 BL 풀-업 부하를 사용하게 되면 5.5V의 VDD에서 프로그램되지 않은 eFuse 셀을 읽을 때 RWL을 0V에서 VDD로 활성화되면서 blowing되지 않은 eFuse를 통해 큰 전류가 흐른다. 그래서 blowing 되지 않은 eFuse는 EM 현상에 의해 blowing되는 현상이 일어날 수 있다. 그래서 WWL과 BL 풀-업 부하는 넓은 동작전압 영역을 갖는 VDD를 사용하는 대신 전압 변동이 작은 V2V를 사용하여 blowing 되지 않은 eFuse에 흐르는 전류는 줄여 eFuse OTP의 신뢰성을 확보하였다.

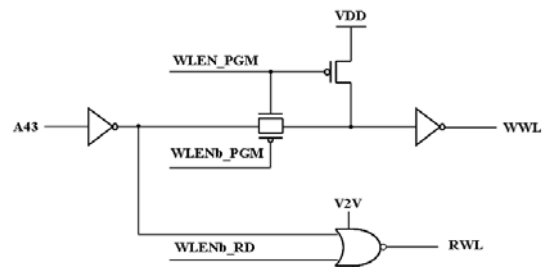


그림 4. 제안된 WL 구동회로  
Fig. 4 Proposed WL driving circuit

그림 5(a)의 SL 구동 회로는 프로그램 모드에서 행 어드레스인 A[4:0]을 디코딩하여 프로그램 되는 열의 DL(Data Latch) 신호만 VDD 전압을 공급한다. 선택되는 열의 SL은 DIN이 로직 '1'인 경우 VDD 전압을 공급

하고, DIN이 로직 '0'인 경우 0V로 구동한다. 한편 프로그램 되지 않는 SL 신호는 0V를 유지하도록 한다. 그리고 읽기 모드에서는 IPGM 신호가 로직 '0' 상태이므로 SL은 0V를 구동하도록 한다. 그림 5(b)는 positive level-sensitive D 래치 형태인 프로그램 데이터 래치 회로이다. 프로그램 모드에서 프로그램 데이터인 DIN은 프로그램 데이터 래치 회로에 저장된다.

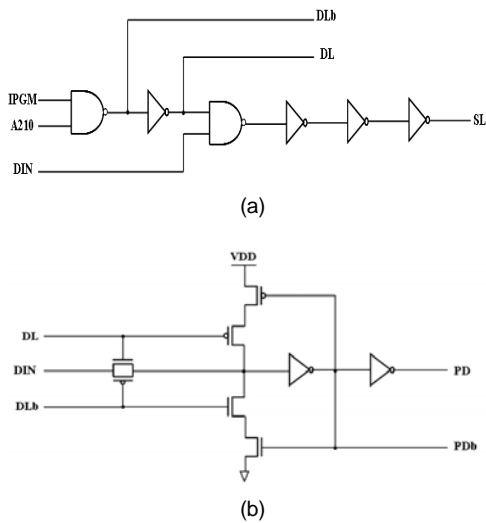


그림 5. (a) SL 구동회로 (b) 프로그램 데이터 래치 회로  
**Fig. 5** (a) SL driving circuit and (b) program data latch circuit

그림 6은 제안된 DOUT 버퍼 회로로 읽기 모드와 program-verify-read 모드에서 BL 프리차지 신호인 BL\_PCG 신호에 의해 BL은 0V로 프리차지 된다. OTP 셀의 RWL 신호가 V2V로 활성화되면 풀-업 부하 트랜지스터(MP1 또는 MP2)에 의해 BL은 V2V로 풀-업 된다. eFuse OTP 메모리 셀의 데이터가 BL에 충분히 전달되면 DOUT 버퍼는 SAENb(Sense Amplifier ENable bar) 신호가 0V로 활성화된 뒤 V2V 또는 0V인 BL 전압을 센싱하여 DOUT 포트에 읽은 데이터를 출력한다. 그런데 eFuse OTP 셀은 데이터 retention 시간동안 프로그램된 eFuse 링크의 저항이 줄어드는 경우를 고려한 가변 풀-업 부하 회로[5]를 사용하였다. eFuse를 프로그램한 후 program-verify-read 모드에서는 그림 6의 가변 풀-업 부하 트랜지스터 중 MP1만 ON시켜 eFuse 저항이 정상적으로 프로그램 되었는지 테스트한다. 그리고

read 모드에서는 MP1보다 풀-업 저항이 작은 MP2만 ON시켜 프로그램된 eFuse 저항이 낮게 변동하더라도 BL을 풀-업시켜 정상적인 '1' 데이터로 센싱하도록 한다. 그래서 program-verify-read 모드와 읽기 모드에서 센싱 가능한 eFuse 저항의 차이 값이 데이터 retention 시간동안 DOUT 버퍼에서의 BL 센싱 마진 저항이 된다. 한편 프로그램된 eFuse 저항이 높게 변하는 경우는 BL 센싱 마진이 증가하는 경우이므로 문제가 되지 않는다. VDD\_PD 신호는 파워-업(power-up) 시 그림 6의 V2V-to-VDD level translator 회로에서 V2V가 voltage regulator에서 만들어지기 이전에 level translator에서 단락 회로 전류(short-circuit current)가 흐르는 것을 방지하기 위한 것이다.

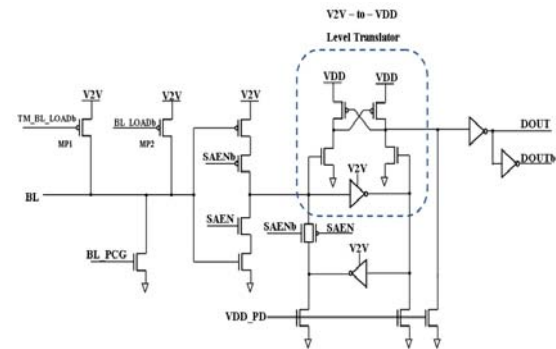


그림 6. 제안된 DOUT 버퍼 회로  
**Fig. 6** Proposed DOUT buffer circuit

한편 그림 7의 dynamic pseudo NMOS 로직회로를 이용한 프로그램 데이터 비교회로[6]는 프로그램 모드 이후 program-verify-read 모드를 수행하면 프로그램 데이터 래치 회로에 래치된 프로그램 데이터인 PD[7:0]와 읽혀진 데이터인 DOUT[7:0]가 일치하는지 해당되는 비트끼리 데이터를 비교한다. 프로그램 데이터 비교 결과는 PFb 핀으로 출력한다. COMP\_EN 신호가 0V인 경우는 MATCH 신호가 VDD로 프리차지 상태를 유지하고 PFb는 VDD를 출력한다. program-verify-read 모드에서 DOUT[7:0]가 먼저 셋-업된 상태에서 COMP\_EN이 high로 활성화된다. 만약 8-비트의 PD[7:0]와 DOUT[7:0]가 비트끼리 모두 일치하면 MATCH 신호는 VDD를 유지하며, PFb 신호는 VDD로 출력한다. 만약 8비트의 데이터 중 한 비트이상 다르다면 MATCH 신호는 0V로 방전되어 PFb 신호는 0V를 출력한다. 그림 7의 MP1

은 래치-백(latch-back) 트랜지스터로 8비트 데이터가 모두 일치하는 경우 누설전류에 의해 MATCH 신호가 low로 떨어지는 것을 방지하기 위해 사용하였다.

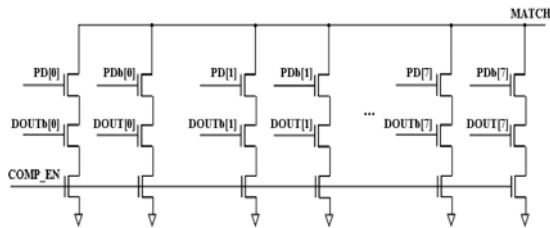


그림 7. Dynamic pseudo NMOS 로직을 이용한 8비트 프로그램 데이터 비교회로

Fig. 7 Comparison circuit of 8-bit program data with a dynamic pseudo NMOS logic circuit

### III. 모의실험 결과

0.18 $\mu$ m GF-ACL 공정 기반의 32비트 eFuse OTP 메모리를 설계하였다. 표 3은 프로그램된 eFuse 링크의 센싱 저항에 대한 모의실험 결과이다. 가변 풀업 부하 회로를 사용하므로 VDD=2.3V, V2V=1.8V, FS(Fast NMOS, Slow PMOS) 모델 파라미터, -40 $^{\circ}$ C의 program-verify-read 모드와 읽기 모드에서의 eFuse 센싱 저항은 각각 61k $\Omega$ , 21k $\Omega$ 으로 모의실험되었다. 이 경우 프로그램된 eFuse 저항이 10년 동안 40k $\Omega$  정도 떨어지지 않는 이상 정상적으로 센싱이 가능하다. 그리고 RWL 구동 회로와 BL 풀업 부하회로에 V2V의 regulation된 전압을 이용하므로 표 4에서 보는바와 같이 OTP 셀의 blowing되지 않은 eFuse를 통해 흐르는 read 전류를 100 $\mu$ A 이내로 억제하여 신뢰성을 확보하였다.

표 3. 프로그램된 eFuse 링크의 센싱 저항에 대한 모의실험 결과  
Table. 3 Simulation result of sensed resistances of programmed eFuse links

VDD	V2V	Temp	Program-Verify-Read Mode					Read Mode				
			SS model	SF model	TT model	FS model	FF model	SS model	SF model	TT model	FS model	FF model
2.3V	1.8V	-40 $^{\circ}$ C	53K	26K	40K	61K	31K	18K	8K	13K	21K	9K
		25 $^{\circ}$ C	52K	27K	41K	58K	31K	17K	8K	13K	20K	9K
		150 $^{\circ}$ C	50K	28K	39K	50K	30K	16K	7K	12K	17K	8K
5.5V	2.2V	-40 $^{\circ}$ C	36K	21K	29K	38K	22K	13K	7K	10K	14K	7K
		25 $^{\circ}$ C	38K	23K	30K	38K	23K	13K	7K	10K	14K	7K
		150 $^{\circ}$ C	39K	24K	30K	35K	22K	13K	6K	9K	12K	7K

표 4. 프로그램되지 않은 eFuse 링크의 읽기 전류에 대한 모의실험 결과

Table. 4 Simulation result of read currents of non-programmed eFuse links

VDD	V2V	Temp	Program-Verify-Read Mode					Read Mode				
			SS model	SF model	TT model	FS model	FF model	SS model	SF model	TT model	FS model	FF model
2.3V	1.8V	-40 $^{\circ}$ C	9.50 $\mu$ A	17.8 $\mu$ A	13.8 $\mu$ A	18.5 $\mu$ A	19.8 $\mu$ A	23.6 $\mu$ A	47.4 $\mu$ A	35.8 $\mu$ A	26.5 $\mu$ A	53.4 $\mu$ A
		25 $^{\circ}$ C	10.1 $\mu$ A	18.1 $\mu$ A	14.3 $\mu$ A	11.2 $\mu$ A	20.1 $\mu$ A	24.8 $\mu$ A	47.4 $\mu$ A	36.7 $\mu$ A	27.8 $\mu$ A	53.8 $\mu$ A
		150 $^{\circ}$ C	11.5 $\mu$ A	19.3 $\mu$ A	15.7 $\mu$ A	12.7 $\mu$ A	21.6 $\mu$ A	27.8 $\mu$ A	50.0 $\mu$ A	39.9 $\mu$ A	31.3 $\mu$ A	56.9 $\mu$ A
5.5V	2.2V	-40 $^{\circ}$ C	20.4 $\mu$ A	33.9 $\mu$ A	27.7 $\mu$ A	22.4 $\mu$ A	37.5 $\mu$ A	49.1 $\mu$ A	81.4 $\mu$ A	69.0 $\mu$ A	54.7 $\mu$ A	97.2 $\mu$ A
		25 $^{\circ}$ C	19.8 $\mu$ A	32.2 $\mu$ A	26.6 $\mu$ A	21.8 $\mu$ A	35.8 $\mu$ A	47.5 $\mu$ A	82.2 $\mu$ A	66.3 $\mu$ A	53.0 $\mu$ A	92.7 $\mu$ A
		150 $^{\circ}$ C	19.8 $\mu$ A	31.4 $\mu$ A	26.2 $\mu$ A	21.9 $\mu$ A	35.0 $\mu$ A	47.5 $\mu$ A	79.7 $\mu$ A	65.4 $\mu$ A	53.1 $\mu$ A	90.2 $\mu$ A

그림 8은 32비트 eFuse OTP 메모리에 대한 program-verify-read 모드에서의 모의실험 결과이다. RD 신호가 활성화 되면 액세스 시간이 지난 후 DOUT이 출력된다. 그 이후 COMP\_EN 신호가 high로 활성화되면서 Pfb는 PD와 DOUT의 비교 결과를 출력한다.

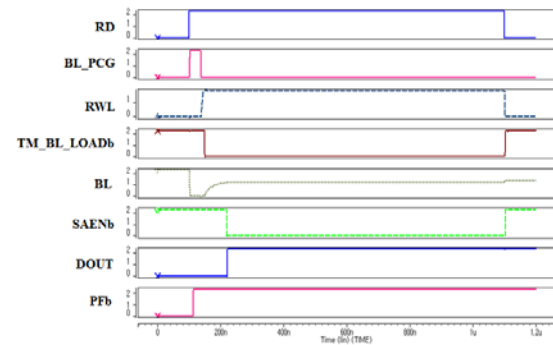


그림 8. Program-verify-read 모드에서 '1'로 프로그램된 경우의 모의실험 결과

Fig. 8 Simulation result in case of being programmed with '1' in the program-verify-read mode.

OTP 셀 어레이 사이즈를 1행  $\times$  32열과 4행  $\times$  8열의 경우에 대해 OTP IP Size를 비교하였다. 그림 9에서 보는바와 같이 설계된 1행  $\times$  32열의 32비트 eFuse OTP와 4행  $\times$  8열의 32비트 eFuse OTP의 레이아웃 면적은 각각 735.96 $\mu$ m  $\times$  61.605 $\mu$ m (=0.04534mm<sup>2</sup>), 187.065 $\mu$ m  $\times$  94.525 $\mu$ m (=0.01768mm<sup>2</sup>)로 4행  $\times$  8열의 32비트 eFuse OTP 사이즈가 1행  $\times$  32열의 32비트 eFuse OTP 사이즈보다 더 작은 것을 볼 수 있다.



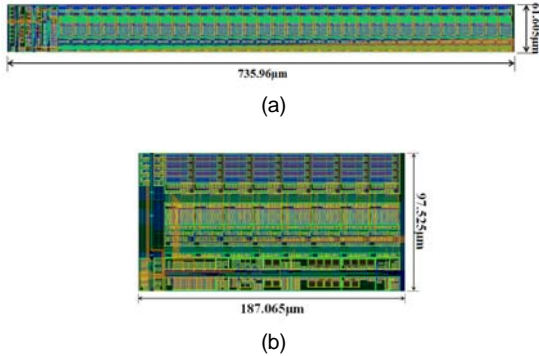


그림 9. 설계된 32비트 eFuse OTP 메모리의 레이아웃 이미지 (a) 1행 x 32열의 32비트 eFuse OTP (b) 4행 x 8열의 32비트 eFuse OTP

Fig. 9 Layout images of the designed 32-bit eFuse OTP memories: (a) 1 row x 32 columns and (b) 4 rows x 8 columns

#### IV. 결 론

PMIC용 eFuse OTP 메모리는 2.3V~5.5V의 넓은 동작전압 영역을 갖는 회로 설계가 요구되어진다. 넓은 동작전압 영역을 갖는 eFuse OTP를 설계하는 경우 2.3V의 low VDD 조건에서 post-program 저항이 수 십 kΩ 정도인 eFuse를 데이터 ‘1’로 센싱하도록 BL 풀-업 부하를 사용하게 되면 5.5V의 VDD에서 프로그램되지 않은 eFuse 셀을 읽을 때 RWL을 0V에서 VDD로 활성화되면서 큰 전류에 의해 blowing 되지 않은 eFuse는 EM 현상에 의해 blowing될 수 있다.

본 논문에서는 eFuse OTP 메모리가 넓은 동작전압 영역을 갖도록 하기 위해서 V2V의 regulation된 전압을 이용한 RWL 구동회로와 BL 풀-업 부하회로를 제안하므로 수 십 kΩ의 post-program 저항을 센싱하면서 OTP 셀의 blowing되지 않은 eFuse를 통해 흐르는 읽기 전류를 100µA 이내로 억제하여 신뢰성을 확보하였다. 그리고 OTP 셀 어레이 사이즈를 1행 x 32열과 4행 x 8열의 경우에 대해 OTP IP 사이즈를 비교한 결과 32비트 eFuse OTP의 레이아웃 면적은 각각 735.96µm x 61.605µm (=0.04534mm<sup>2</sup>), 187.065µm x 94.525µm (=0.01768mm<sup>2</sup>)로 4행 x 8열의 32비트 eFuse OTP 사이즈가 1행 x 32열의 32비트 eFuse OTP 사이즈보다 더 작은 것을 확인하였다.

#### 감사의 글

This work was supported by Industrial Strategic Technology Development Program funded by the Ministry of Knowledge Economy(MKE, Korea) (10039239, Development of Power Management System SoC Supporting Multi-Battery-Cells and Multi-Energy-Sources for Smart Phones and Smart Devices)

#### REFERENCES

- [1] S. H. Kulkarni et al., "A 4kb metal-fuse OTP-ROM macro featuring a 2V programmable 1.37µm<sup>2</sup> 1T1R bit cell in 32 nm high-k metal-gate CMOS," *IEEE Solid-State Circuits*, vol. 45, no. 4, pp. 863-868, April 2010.
- [2] J. Safran, A. Leslie, et al., "A compact eFuse programmable array memory for SOI CMOS," *Symposium on VLSI Circuits*, pp. 72-73, June 2007.
- [3] N. Robson et al., "Electrically programmable fuse (eFuse): From memory redundancy to autonomic chip," *Proceedings of Custom Integrated Circuits Conference*, pp. 799-804, Sep. 2007.
- [4] K. I. Kim et al., "Design of 256-Bit Single-Poly MTP Memory Based on the BCD Process", *Journal of Central South University*, pp.3460~3467, Dec. 2012.
- [5] J. H. Kim et al., "Design of 1-Kb eFuse OTP Memory IP with Reliability Considered", *JSTS*, pp.88-94, June 2010.
- [6] Y. H. Yang et al, "Design of High-Reliability eFuse OTP Memory for PMICs," *J. Korea Inst. Inf. Commun. Eng.*, pp. 1455-1462, July 2012.



**정우영(Woo-young Jeong)**

2012.2 창원대학교 전자공학과 공학사  
2012.3 창원대학교 전자공학과 석사과정  
※관심분야 : PMIC, Non-Volatile memory 설계



**학문초(Wenchao Hao)**

2012.8 연변대학교 전자공학과 공학사  
2012.9 ~ 현재 창원대학교 전자공학과 석사과정  
※관심분야 : Non-Volatile memory 설계



**하판봉(Pan-Bong Ha)**

1981.2 부산대학교 전기공학과 공학사  
1983.2 서울대학교 전자공학과 공학석사  
1993.2 서울대학교 전자공학과 공학박사  
1987.3 ~ 현재 창원대학교 전자공학과 교수  
※관심분야 : 임베디드 시스템, SoC 설계



**김영희(Young-Hee Kim)**

1989.2 경북대학교 전자공학과 공학사  
1997.2 포항공과대학교 전자전기공학과 공학석사  
2000.8 포항공과대학교 전자전기공학과 공학박사  
1989.1 ~ 2001.2 현대전자 책임연구원  
2001.3 ~ 현재 창원대학교 전자공학과 교수  
※관심분야 : CMOS Image Sensor 설계, 메모리 IP 설계, SoC 설계