

# IC 보호회로를 갖는 저면적 Dual mode DC-DC Buck Converter Low-area Dual mode DC-DC Buck Converter with IC Protection Circuit

이 주 영\*

Joo-young Lee\*

## Abstract

In this paper, high efficiency power management IC(PMIC) with DT-CMOS(Dynamic threshold voltage Complementary MOSFET) switching device is presented. PMIC is controlled PWM control method in order to have high power efficiency at high current level. The DT-CMOS switch with low on-resistance is designed to decrease conduction loss. The control parts in Buck converter, that is, PWM control circuit consist of a saw-tooth generator, a band-gap reference(BGR) circuit, an error amplifier, comparator circuit, compensation circuit, and control block. The saw-tooth generator is made to have 1.2MHz oscillation frequency and full range of output swing from supply voltage(3.3V) to ground. The comparator is designed with two stage OP amplifier. And the error amplifier has 70dB DC gain and 64° phase margin. DC-DC converter, based on current mode PWM control circuits and low on-resistance switching device, achieved the high efficiency nearly 96% at 100mA output current. And Buck converter is designed along LDO in standby mode which fewer than 1mA for high efficiency. Also, this paper proposes two protection circuit in order to ensure the reliability.

## 요 약

본 논문에서는 DT-CMOS(Dynamic Threshold voltage Complementary MOSFET) 스위칭 소자를 사용한 DC-DC Buck 컨버터를 제안하였다. 높은 효율을 얻기 위하여 PWM 제어방식을 사용하였으며, 낮은 온 저항을 갖는 DT-CMOS 스위치 소자를 설계하여 도통 손실을 감소시켰다. 제안한 Buck 컨버터는 밴드갭 기준 전압 회로, 삼각파 발생기, 오차 증폭기, 비교기, 보상 회로, PWM 제어 블록으로 구성되어 있다. 삼각파 발생기는 전원전압(3.3V)부터 접지까지 출력 진폭의 범위를 갖는 1.2MHz의 주파수를 생성하며, 비교기는 2단 증폭기로 설계되었다. 그리고 오차 증폭기는 70dB의 이득과 64°의 위상여유를 갖도록 설계하였다. 또한 제안한 Buck 컨버터는 current-mode PWM 제어회로와 낮은 온 저항을 갖는 스위치를 사용하여 100mA의 출력 전류에서 최대 95%의 효율을 구현하였으며, 1mA 이하의 대기모드에도 높은 효율을 구현하기 위하여 LDO 레귤레이터를 설계하였으며, 또한 2개의 IC 보호 회로를 내장하여 신뢰성을 확보하였다.

*Key words : Buck, Current-mode, DT-CMOS, DC-DC Converter, Switching device*

## 1. 서론

최근의 휴대전화, PDA, MP3등과 같은 휴대용 멀티미디어의 사용이 급증함에 따라 고효율, 소형화를

위해 기존의 Linear 방식의 전원장치에서 SMPS 방식으로 대체되고 있는 추세이다.[1]

SMPS(Switching Mode Power Supply)는 스위칭 주파수를 이용해 에너지 축적용 소자의 소형화를 이룰 수 있으나, 스위칭 주파수의 고주파화로 인해 생기는 스위칭 손실, 인덕터 손실, 전도 손실 등에 대한 대책을 강구하여야 한다.[1]-[2]

기존의 저전압 DC-DC 컨버터는 스위칭 소자로서 일반적인 CMOS 소자를 사용해 왔다. 그러나 CMOS

\* Dept. of Electronics Engineering, Seokyeong University, [jylee@skuniv.ac.kr](mailto:jylee@skuniv.ac.kr), 02-940-7735  
Manuscript received Dec. 8, 2014; revised Dec. 11, 2014  
; accepted Dec 12, 2014

스위칭 소자는 매우 작은 온 저항을 얻기 위해서 매우 큰 면적을 필요로 하기 때문에 본 연구에서는 이러한 스위칭 소자의 면적 문제를 개선 하고자 문턱전압을 낮추어 온 저항을 줄일 수 있는 DT-CMOS를 사용한 스위칭 소자를 제안하였다. 제안된 소자는 기존의 일반적인 CMOS 공정을 이용하고, 기존의 CMOS 소자 보다 더 적은 면적을 갖고, 더 작은 온 저항을 갖는다.[3]

따라서 본 논문에서는 DT-CMOS 스위칭 소자를 이용하여 동일 면적에서 기존의 CMOS 스위칭 소자를 사용한 SMPS 보다 더 높은 효율을 갖는 DC-DC Buck 컨버터를 설계하였다. 본론 1절에서는 DT-CMOS 스위칭 소자의 기본적인 개념과 구현 방법 그리고 동작 특성에 대해 설명하였으며, 2절에서는 DC-DC Buck 컨버터 설계에 대해 설명하였다. 3절에서는 낮은 출력 전류에서 효율이 급격히 감소하는 PWM 방식을 보완하는 LDO 레귤레이터에 대해 설명하였으며, 4절에서는 IC를 보호하기 위한 회로에 대해 설명하였다.

## II. 본론

### 2.1 DT-CMOS(Dynamic Threshold voltage Complementary MOS)

SMPS의 스위치는 On,Off 동작을 반복하면서 기생 커패시턴스에 의해 스위칭 손실이 발생하며, 스위치가 켜졌을 때 스위치의 온 저항에 의해 도통 손실이 발생한다. 스위치의 기생성분 커패시턴스에 의해 발생하는 스위칭 손실은 스위치의 기생성분 커패시턴스와 스위칭 주파수에 비례한다. 한편 스위치의 면적은 최대일 때의 출력 전류에 의해 결정되고, 스위칭 주파수는 SMPS를 PWM(Pulse Frequency Modulation) 방식으로 제어했을 때 고정된다. 언급한 것과 같이

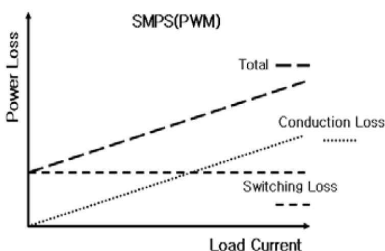


Fig. 1. Switching & Conduction loss of SMPS  
그림 1. SMPS의 스위칭 & 도통 손실

스위칭 손실은 고정적인 요인이지만, 스위치의 온 저항에 의한 전도 손실은 출력 전류가 커질수록 증가하게 된다.[1]-[5]

그림 1에서와 같이 출력 전류가 증가할수록 도통 손실은 증가하며, 출력 전류가 일정 부분을 넘어서는 순간 스위칭 손실보다 커지게 된다. 결국 SMPS의 효율을 높이기 위해서는 낮은 온 저항을 지니는 스위치의 개발이 필수적이다.

성능의 손실 없이 저전력을 구현하기 위해서는 공급전압의 감소에 따라 문턱전압도 감소시켜야 한다. 이것은 대기상태에서 누설전류(Leakage current)로 인해 한계가 있으며, 이를 해결하기 위해선 동적 문턱전압의 제어기술이 필요하다. 동적 문턱전압 기술은 로직 천이(logic transition)때에 낮은 문턱전압을 갖고, 대기상태에서는 높은 문턱전압을 갖도록 하여 빠른 스위치의 Turn-on 속도를 유지하고, 대기상태에서의 전력 소모를 줄이는 기술이다.

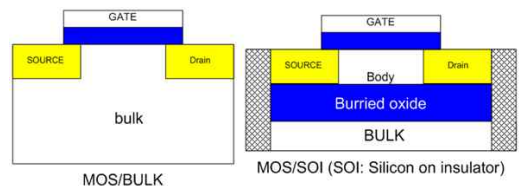


Fig. 2. NMOS and NMOS with SOI wafer  
그림 2. NMOS와 SOI 기판의 NMOS

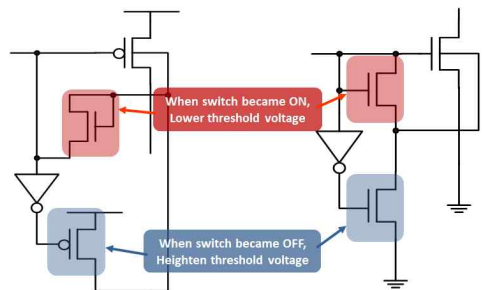


Fig. 3. Proposed DT-CMOS  
그림 3. 제안하는 DT-CMOS

그림 2는 SOI를 기반으로 사용한 NMOS의 단면도이다. SOI기판을 사용한 NMOS처럼 DTMOS는 gate와 body를 연결시켜 문턱전압이 낮아지도록 하였으며, 낮아진 문턱전압은 동일한 면적과,  $V_{gs}$ 에서 더 많은 전류를 흘릴 수 있게 되어 스위칭 소자에서 향상된 효율을 기대할 수 있게 된다. 하지만 이러한 경

우에 body로의 누설 전류가 커지게 되는 단점이 있다. 이 문제를 해결하기 위하여 그림 3과 같은 구조의 스위치를 통해 body로 흐르는 전류를 제어하였다.

제안된 DT-CMOS는 스위치가 켜졌을 때, diode connection nMOS에 의해 스위치의 body 전압을 제어하여 문턱전압을 낮추고, 스위치가 꺼졌을 때, 각각 pMOS와 nMOS의 body 전압을 입력전압과 ground로 만들어 문턱전압을 높인다. 또한, 스위치가 On 상태에서 낮은 문턱전압으로 인해 기존의 CMOS 스위치보다 낮은 온 저항을 가진다. 또한, 다이오드로 연결된 MOS의 사이즈를 조절하여 높은 입력전압에서도 body 쪽 누설전류를 최소화 하여, 기존 DT-CMOS의 단점인 누설 전류에 의한 전원전압의 제한을 극복하였다.

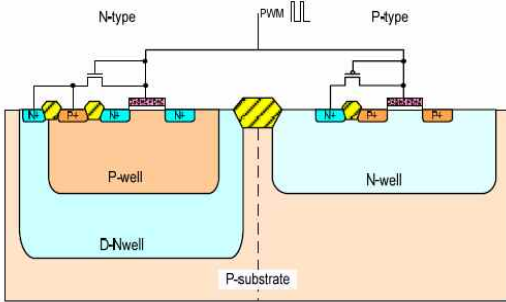


Fig. 4 The design of DT-CMOS in CMOS  
그림 4 CMOS에서 DT-CMOS의 구현

한편 본 논문에서는 SOI 기판을 사용하는 DT-CMOS를 PWM 제어회로와 SoC를 구현하기 위해 CMOS 공정을 통한 DT-CMOS를 구현하였다. 그림 2의 스위치를 MOS/SOI와 같이 SOI 기판에 구현을 하던 것과 달리 그림 4에서는 일반적인 실리콘 기판에 Deep-Nwell 영역을 사용하여 substrate와 body를 분리시켜 소자를 구현하였다. 이로 인해 스위칭 소자와 PWM 제어블럭을 SoC로 구현할 수 있게 되었다.

그림 5는 DT-CMOS와 CMOS의 문턱전압을 비교한 시뮬레이션 결과이며, DT-CMOS가 CMOS보다 낮은 문턱 전압을 갖는 것을 확인 할 수 있으며, 같은 전압에서 더 많은 전류의 도통이 가능함을 확인 할 수 있다.

그림 6은  $V_{ds}$ 에 따른 DT-CMOS와 CMOS 스위치의 I-V 특성 그래프로서, DT-CMOS가 CMOS보다 동일한 전압에서 더 많은 전류의 흐름을 가능하게 하는 것을 확인 할 수 있다.

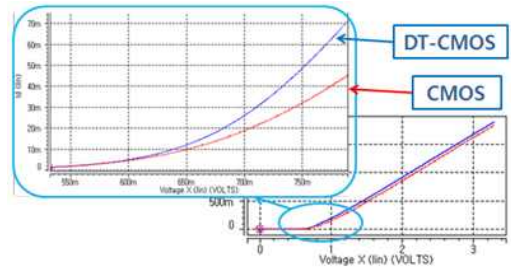


Fig. 5 Threshold voltage comparison of DT-CMOS & CMOS  
그림 5 DT-CMOS & CMOS 문턱전압 비교

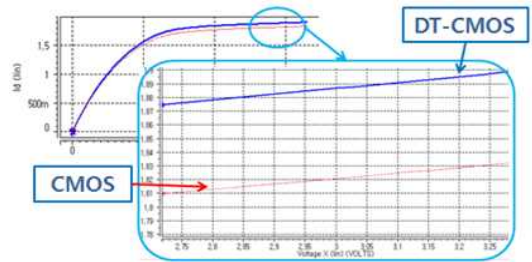


Fig. 6 I-V characteristics of DT-CMOS & CMOS  
그림 6 DT-CMOS & CMOS I-V 특성

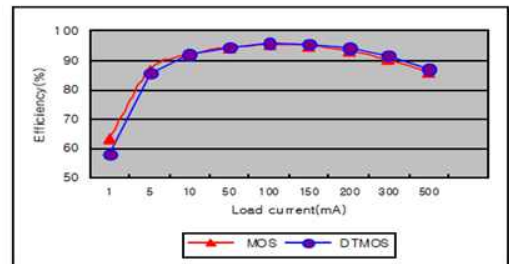


Fig. 7 The efficiency of Buck converter with load current  
그림 7 Buck 컨버터의 부하에 따른 효율

그림 7은 CMOS 스위치를 이용한 컨버터의 효율과 DT-CMOS를 이용한 컨버터의 효율을 비교한 그래프이다. 부하 전류를 최소 100uA부터 최대 300mA까지 변화 시켰을 때, 10mA 까지는 CMOS의 효율이 더 높아지는 것을 확인 할 수 있다. 하지만 100mA의 부하 전류를 기준으로 삼아 결과를 보면 CMOS의 효율은 96.25%이고, DT-CMOS의 효율은 97%이다. 여기서 CMOS로 97%정도의 효율을 내려면 CMOS 스위치의 사이즈는 약 2배가 되어야 하기 때문에 사이즈의 증가를 초래하게 된다.

2.2 DC-DC Converter 설계

가. Current-mode PWM(Pulse Width Modulation)

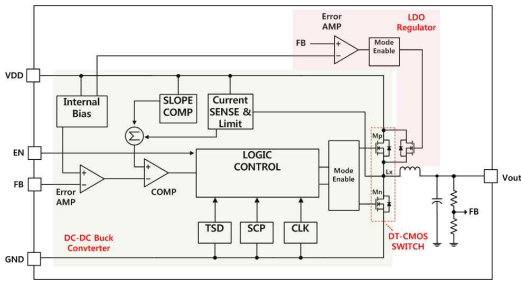


Fig. 8 Proposed DC-DC Buck Converter  
그림 8 제안된 DC-DC Buck 컨버터

그림 8은 본 논문에서 제안된 Buck 컨버터의 전체 블록도이다. 제안하는 컨버터는 Current-mode PWM mode로 설계 되었으며, 동작 방식은 다음과 같다. PWM 제어 신호가 DTMOS의 게이트에 인가되면서, 스위치는 On, Off 동작을 하게 되며, 이에 따라 출력 신호가 생성된다. 생성된 출력전압은 전압 분배기를 통해 케환전압을 생성하며, 케환전압은 오차증폭기를 통해 기준전압과 비교된다. 오차 증폭기의 출력은 컨버터의 발진을 막기 위한 보상회로의 출력과 합해져 비교기에 인가되며, 비교기의 출력을 통해 pulse의 width가 조절됨으로서 일정한 출력레벨을 유지한다.

나. Band-Gap Reference(BGR)

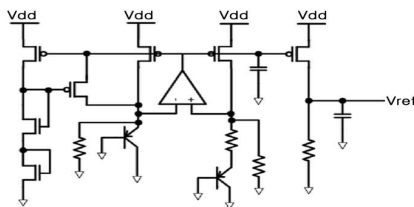


Fig. 9 reference generator circuit  
그림 9 기준전압 발생기 회로

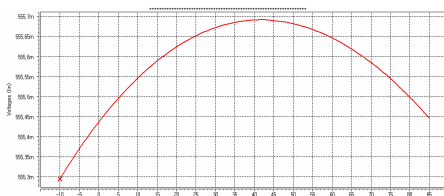


Fig. 10. Reference voltage change with temperature  
그림 10. 온도변화에 따른 기준전압

기준전압 발생회로는 전원전압과 온도의 변화에 무관하게 기준전압을 만들어주는 블록으로 band-gap reference 회로를 이용하여 설계하였다. 기준전압 발생기는 DC-DC 컨버터에서 출력전압의 최소 범위를 결정한다. 따라서 넓은 출력범위를 갖기 위해 기존의 1.2V를 출력하는 기준전압 발생기가 아닌 저전압 (555mV) 기준전압 발생기를 설계하였다.

그림 9는 저전압 기준전압 발생기의 회로도이고, 그림 10은 기준전압 발생기의 시뮬레이션 결과이다. 온도변화에 대한 기준전압의 변화는 약 5ppm/°C 이다.

다. 오차 증폭기

오차 증폭기는 Buck 컨버터의 출력 전압과 기준전압 발생회로의 출력을 비교하여 그 오차만큼 증폭시키는 역할을 한다. 높은 이득을 갖기 위해서 folded cascode 형태를 이용하였고, 저항을 구동해야 하기 때문에 출력단은 common source 형태로 구성하였다. 그림 12는 오차 증폭기의 AC 시뮬레이션 결과이다.

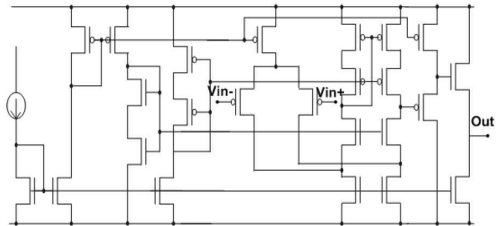


Fig. 11. Error Amplifier circuit  
그림 11. 오차 증폭기 회로도

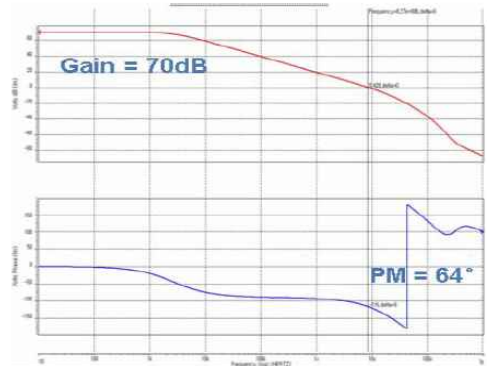


Fig. 12. The AC simulation result of the error amplifier  
그림 12. 오차 증폭기의 AC 시뮬레이션 결과

라. 삼각파 발생기

삼각파 발생기는 오차증폭기의 출력과 비교하여 알맞은 Pulse Width를 생성하기 위한 블록이며 그림 13은 삼각파 발생기의 시뮬레이션 결과이다.

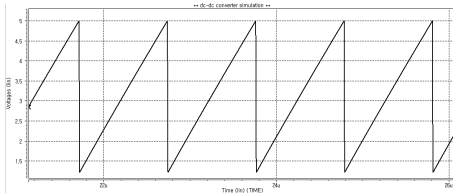


Fig. 13. Simulation result of saw tooth wave generator

그림 13. 삼각파 발생기 시뮬레이션

마. 비교기

비교기는 오차증폭기의 출력과 발진을 방지하기 위한 보상회로의 삼각파 출력이 비교기에서 비교되어 구형파 펄스를 생성한다. 여기서 삼각파의 주파수가 DC-DC 컨버터의 스위칭 주파수를 결정하고, 비교기는 스위칭 주파수를 커버하는 충분한 대역폭을 가지고 있어야 한다. 본 논문에서는 2단 증폭기를 이용하여 비교기를 간단히 구현하였다. 그림 14는 비교기의 시뮬레이션 결과이다.

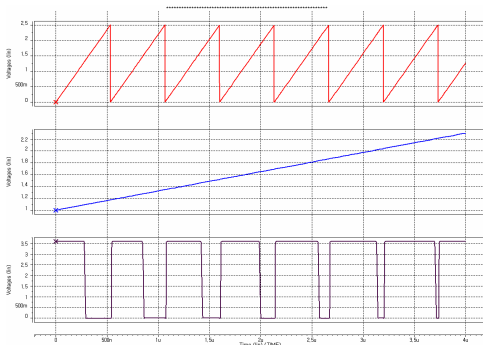


Fig. 14. Simulation result of comparator

그림 14. 비교기 시뮬레이션

바. DC-DC 컨버터 설계

앞서 언급한 PWM 제어 회로를 바탕으로 그림 8과 같은 step-down Buck 컨버터를 설계하였다. Buck 컨버터의 입력전압은 3.3V, 출력전압은 2.5V이며, 최대 출력전류는 100mA, 스위칭 주파수는 1.2MHz, 인덕터와 커패시터의 ESR(Equivalent Series Resistance)을 100mΩ으로 시뮬레이션 했을 때, 최대 96%의 효율을 가지고, 리플전

압은 12mV를 갖는다. DT-CMOS 스위치와 DT-CMOS 오차증폭기를 사용한 컨버터에 대해 시뮬레이션 한 결과, CMOS 스위치와 CMOS 오차증폭기를 사용할 때 보다 약 0.5%정도 효율의 개선을 확인하였다.

그림 14는 Buck converter의 인덕터 전압, 인덕터 전류, 출력전압을 언급한 순서로 나타낸다.

2.3 LDO 레귤레이터 설계

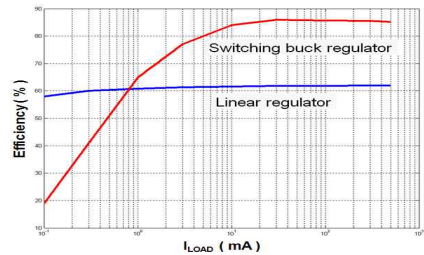


Fig. 15. Efficiency comparison of LDO & SMPS

그림 15. LDO & SMPS의 효율 비교

그림 15와 같이 PWM 방식의 SMPS는 높은 출력전류에서 높은 전력변환 효율을 갖는다. 하지만 출력전류가 낮아지면 효율이 급격히 떨어진다. 요즘 필수적인 휴대용 장비들은 대기모드 상태에서 매우 적은 전류를 소모한다. 대기상태에서의 전류가 점점 작아지는 추세이기 때문에, 대기모드에서 PWM 방식의 SMPS를 사용하여 전원을 공급하는 것은 매우 비효율적이다. 반면에 LDO 레귤레이터는 부하의 변화에 따라 효율이 크게 변하지 않기 때문에 대기상태의 매우 낮은 전류에서도 일정 이상의 효율을 보장할 수 있다. 휴대용 장비의 대기모드에서 일정 수준 이상의 효율을 보장하기 위해 본 논문에서는 대기모드에서 LDO를 이용하여 전원을 공급하였다.

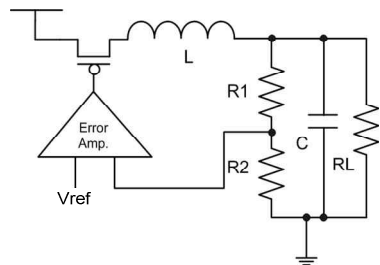


Fig. 16. Block diagram of LDO

그림 16. LDO 블럭도

그림 16은 LDO에 대한 블록도이다. 전압 분할 저항과 출력 커패시터, 기준전압 발생기는 기존의 Buck 컨버터에 있는 것을 사용하였고, 오차증폭기만 추가 하여 Buck 컨버터에서 추가되는 외부 소자를 최소화하여 LDO 동작을 구현하였다. LDO 모드를 추가함에 따른 면적의 증가는  $4\text{mm}^2$ 으로 전체 면적  $232\text{mm}^2$ 에서 약 1/60 면적 증가로 낮은 전류에서도 높은 효율을 구현하였다.

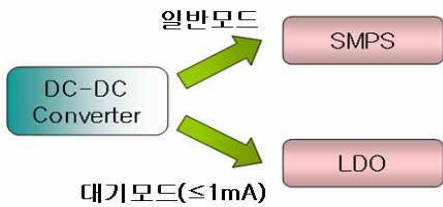


Fig. 17. Operation mode of Buck converter  
그림 17. Buck converter 동작모드

그림 17처럼 Buck 컨버터는 일반모드에서는 Buck 컨버터로 동작하다가 휴대용 장비가 대기모드가 되면, 두 개의 스위치가 차단되고 LDO가 동작한다. 일반모드와 대기모드는 외부의 제어에 의해서 동작하도록 설계하였다. 1mA의 출력전류 조건에서 Buck converter는 약 28%의 효율을 갖고, 본 논문에서 설계한 LDO는 약 60%의 효율을 가짐으로써 장비가 대기모드에서도 일정 이상의 효율을 유지하도록 하였다.

2.4 IC 보호회로 설계

가. Thermal shut-down(TSD)

Thermal shut-down(TSD)은 벅 컨버터가 큰 부하 혹은 dropout 동작에서 높은 접합 온도에 의해 손상되는 것을 말한다. 이러한 이유 때문에 컨버터는 온도에 대한 대책이 필요하다.

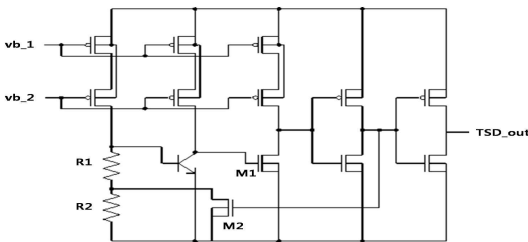


Fig. 18. Thermal shut-down circuit  
그림 18. Thermal shut-down 회로

그림 18은 Thermal shut-down 회로도이다. BJT에서 VBE는 온도의 변화에 대한 응답으로 변하기 때문에 온도변화를 VBE의 변화를 통해 알 수 있다.

동작을 살펴보면 설계한 Thermal shut-down 회로는 negative적인 특성을 갖고 있다. 상온(27°C)에서 정상동작을 위해 BJT는 꺼짐 상태를 유지해야 출력이 low가 되어 IC의 정상 동작이 가능하다. VBE는 온도의 증가에 따라 감소하게 되는데 온도가 158°C까지 상승하게 되면 BJT의 VBE가 낮아지고, BJT는 turn-on이 된다. 이로 인해 TSD\_out 단자는 high가 되어 회로를 차단한다. 출력이 high가 된 후 M2가 꺼짐상태가 되기 때문에 VBE는 R1과 R2의 전압만큼이 인가된다. BJT 베이스에 인가되는 전압증가로 인해 그만큼 장시간 BJT의 turn-on상태를 유지하며 온도가 101°C될 때 다시 turn-off가 되어 IC가 정상 동작할 수 있도록 한다. 이와 같은 hysteresis 동작 특성을 갖고 있기 때문에 온도상승으로 인한 IC의 파괴를 막아준다.

나. Current limit protection

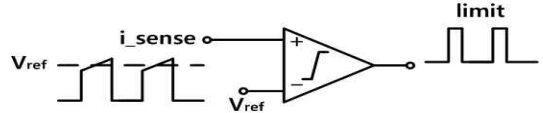


Fig. 19. Current limit protection(CLP) block

그림 19. Current limit protection(CLP) 블록도

Current limit protection(CLP)회로는 순간적으로 전압을 인가했을 때 과전류가 흐르는 경우가 발생하는데, 이 때 IC의 오동작이나 파손으로부터 IC를 보호하기위하여 전원 관리 회로에 이용 된다.

Current limit protection 회로는 동작할 때나 스위칭 컨버터의 출력이 단락회로의 조건으로 발생할 때, 피드백 노드의 전압이 기준전압보다 낮게 유지된다.

그 결과 켜진 PMOS 스위치에서 인덕터로 많은 양의 전류가 급격하게 흐르게 되고 커패시터나 인덕터 또는 IC내부 회로에 심각한 손상을 입을 수 있다.

따라서 이러한 손상을 막기 위해서 Buck 컨버터 내부에 과도한 전류가 흐를 경우 회로의 동작을 차단해주는 회로 Current limit protection회로가 필요하다. Current limit protection회로는 인덕터 전류가 일정량을 초과하면 스위치를 차단하여 전체 IC의 동작을 차단한다. 비교가 되는 기준은 BGR 회로 또는 VDD 전압 또는 온도에 둔감한 회로를 이용한다.



### III. 결론

본 논문에서는 낮은 온 저항을 갖는 DT-CMOS 스위치를 사용한 Current-mode Buck 컨버터를 설계하였으며, 기존의 CMOS 스위치 대신에 DT-CMOS 스위치를 사용하여 동일한 면적에서 높은 효율을 구현하였다. 입력 전압 3.3V, 출력전압 2.5V, 최대 출력 전류 100mA, 인덕터와 커패시터의 ESR(Equivalent Series Resistance)를 100mΩ으로 시뮬레이션을 수행 한 결과 최대 96%의 효율을 얻었으며, 1.2MHz의 스위칭 주파수를 사용하였다. 또한 LDO 레귤레이터를 사용하여 출력 전류 1mA 이하에서는 대기모드로 동작하여 60% 이상의 효율을 보장하였으며, IC 보호 회로를 설계하여 IC의 신뢰성을 향상 시켰다.

### References

- [1] CHEN Xiao-fei, "System modeling and stability design for peak current-mode buck power converter," The IEEE INDIN, DDC, pp. 933-938, 2008
- [2] Hiroki SAKURAI, "Analysis and Design of a Current-Mode PWM Buck Converter Adopting the Output-Voltage Independent Second-Order Slope Compensation Scheme," IEICE TRANS. Fundamentals, vol. E88-A, no.2, pp. 490-497, 2005
- [3] H. Gossner, "ESD protection for the deep sub-micron regime - A challenge for design methodology," Proc Int Conf VLSI Des, pp. 809-818, 2004
- [4] Fariborz Assaderaghi, et. al., "A Dynamic Threshold Voltage MOSFET(DTMOS) for Very-Low Voltage Operation," IEEE Electron device letters, vol, 15, no. 12, pp. 510-512, Dec. 1994
- [5] K. Mark Smith, Jr., et. al., "A Comparison of Voltage-Mode Soft-Switching Methods for PWM Converters," IEEE Trans. Power Electronics, vol. 12, no. 2, pp. 376-386, Mar. 1997

### BIOGRAPHY

#### Lee Joo-young (Member)



1990 : BS degree in Electronics Engineering, Hanyang University.  
 1992 : MS degree in Electronics Engineering, Hanyang University.  
 2001 : PhD degree in degree in Electronics Engineering, Hanyang University.

2002~Present : Professor, Dept of Electronics Engineering, Seokyeong University.