

PECVD와 NO 어닐링 공정을 이용하여 제작한 N-based 4H-SiC MOS Capacitor의 SiC/SiO₂ 계면 특성

SiC/SiO₂ Interface Characteristics in N-based 4H-SiC MOS Capacitor Fabricated with PECVD and NO Annealing Processes

송 관 훈*, 김 광 수**

Gwan-Hoon Song*, Kwang-Soo Kim**

Abstract

In this research, n-based 4H-MOS Capacitor was fabricated with PECVD (plasma enhanced chemical vapor deposition) process for improving SiC/SiO₂ interface properties known as main problem of 4H-SiC MOSFET. To overcome the problems of dry oxidation process such as lower growth rate, high interface trap density and low critical electric field of SiO₂, PECVD and NO annealing processes are used to MOS Capacitor fabrication. After fabrication, MOS Capacitor's interface properties were measured and evaluated by hi-lo C-V measure, I-V measure and SIMS. As a result of comparing the interface properties with the dry oxidation case, improved interface and oxide properties such as 20% reduced flatband voltage shift, 25% reduced effective oxide charge density, increased oxide breakdown field of 8MV/cm and best effective barrier height of 1.57eV, 69.05% reduced interface trap density in the range of 0.375~0.495eV under the conduction band are observed.

요 약

본 연구에서는 4H-SiC MOSFET의 주요 문제점인 SiC/SiO₂ 계면의 특성을 향상시키기 위해 PECVD (plasma enhanced chemical vapor deposition) 공정을 이용하여 n-based 4H-SiC MOS Capacitor를 제작하였다. 건식 산화 공정의 낮은 성장속도, 높은 계면포획 밀도와 SiO₂의 낮은 항복전계 등의 문제를 극복하기 위하여 PECVD와 NO 어닐링 공정을 사용하여 MOS Capacitor를 제작하였다. 제작이 끝난 후, MOS Capacitor의 계면특성을 hi-lo C-V 측정, I-V 측정 및 SIMS를 이용해 측정하고 평가하였다. 계면의 특성을 건식 산화의 경우와 비교한 결과 20% 감소한 평탄대 전압 변화, 25% 감소한 SiO₂ 유효 전하 밀도, 8MV/cm의 증가한 SiO₂ 항복전계 및 1.57eV의 유효 에너지 장벽 높이, 전도대 아래로 0.375~0.495eV만큼 떨어져 있는 에너지 영역에서 69.05% 감소한 계면 포획 농도를 확인함으로써 향상된 계면 및 산화막 특성을 얻을 수 있었다.

Key words : 4H-SiC, MOSCAP, Interface trap density, PECVD, N-passivation

* Dept. of Electronics Engineering, Sogang University, sghp0209@sogang.ac.kr, 070-8816-0032

★ Corresponding author

Dept. of Electronic Engineering, Sogang University, kimks@sogang.ac.kr, 070-8880-8913

※ Acknowledgment

This research was supported by the MSIP(Ministry of Science, ICT and Future Planning), Korea, under the ITRC(Information Technology Research Center) support program(NIPA-2014-H0301-14-1007) supervised by the NIPA(National IT Industry Promotion Agency) and was supported by IDEC(IC Design Education Center).

Manuscript received Oct. 2, 2014; revised Oct. 28, 2014; accepted Nov. 7, 2014

I. 서론

실리콘 카바이드(이하 SiC)는 Si 대비 우수한 물성 때문에 고온, 고속, 고전압 응용분야에 적합한 물질로 평가되고 있다^{[1],[2]}. 또한 자연적으로 SiO₂를 성장시킬 수 있다는 특성 때문에 기존의 Si에서 사용하는 공정을 적용시킬 수 있어 MOS 소자 응용과 관련하여 활발한 연구들이 이루어지고 있는 추세이다. 하지만 SiC/SiO₂ 구조는 Si/SiO₂ 대비 계면 포획 밀도가 약 100배 수준으로 높기 때문에 MOSFET 제작에 응용할 경우 반전 채널에서의 전자 이동도가 5cm²/Vs 수준으로 낮아 전류 구동 능력이 물성의 기대치에 현저히 못 미치는 문제점을 가지고 있다^[3]. 질소-패시베이션을 이용하여 계면 포획 농도를 감소시키는 방법이 잘 알려져 있지만, SiC의 표면에서 SiO₂를 성장시킬 때 형성되는 구조적 결함들을 모두 해결할 수 없다는 한계 또한 존재하고 있다^[4]. 이에 다른 산화막 물질^[5], 산화막을 형성하는 다른 방법^[6] 및 질소-패시베이션의 대체 공정 개발^{[7],[8]} 등 다양한 방향으로 SiC/SiO₂ 계면 특성 연구가 진행되고 있다.

증착 방식을 이용하여 산화막을 형성하는 방법은 열적 성장 방식과 비교했을 때 얇은 계면 전이층, 산화막의 등방성 형성, 공정 시간의 감축 등의 장점을 가지고 있어 질소-패시베이션과 함께 이용될 경우 SiO₂ 및 SiC/SiO₂ 계면 특성의 향상을 기대할 수 있다^[9]. 이에 본 연구에서는 PECVD 공정을 사용하여 SiO₂를 형성하였으며, 기존의 질소-패시베이션 기법^[10]을 MOS Capacitor 제작에 적용하고 건식 산화 방식으로 제작된 MOS Capacitor와 계면 특성을 비교 분석하였다.

본 논문의 구성은 다음과 같다. SiC에서의 SiO₂ 형성 과정, 계면에서 형성되는 결합의 종류, PECVD 공정의 특징, 계면 특성을 추출하기 위한 측정 방법 및 MOS Capacitor의 제작 과정, 분석 결과를 기술하고 내용들을 종합하여 결론을 맺는다.

II. 본론

1. SiC의 SiO₂ 형성

SiC는 결합 구조에 Si 원자를 포함하고 있기 때문에 기존 Si에서 사용했던 산화방식을 적용할 수 있다. 대표적인 것이 건식 산화로, O₂ 환경에서 기판에 열을 가하면 표면에서부터 O₂가 Si 원자와 결합하며 SiO₂가 형성된다. 일반적으로 공정 시간과 온도를 조절하여 용도에 따라 원하는 두께의 SiO₂를 형성하게 되는데, SiC는 결합 구조 내에 Si 원자 외에 C 원자

를 포함하고 있어서 Si에서 사용하는 건식 산화 방식을 사용할 경우 몇 가지 차이를 보인다.

먼저 SiC의 건식 산화 과정을 살펴보면 다음과 같다. 첫 번째로 주변에 존재하는 O₂ 기체가 시편의 표면과 접촉하게 되고, 시편의 표면에 자연적으로 형성된 SiO₂층이 있다면 그 내부로 확산하게 된다. 두 번째로 O₂가 SiC의 표면과 접촉하게 되면 반응이 시작되는데, Si 원자가 O₂와 반응하여 SiO₂를 형성하는 동시에 Si 원자와의 결합이 끊어진 C 원자는 다른 O₂ 분자와 반응하여 CO나 CO₂의 형태로 확산, 외부로 방출된다^[11].

Si에서의 건식 산화와 비교했을 때 가장 큰 차이점이라고 한다면 바로 C 원자가 O₂ 분자와 반응하여 SiO₂ 외부로 방출된다는 것과 O₂가 Si-Si 결합이 아닌 Si-C 결합을 끊고 각 원자들과 반응을 한다는 점이다. 이 반응에 필요한 활성화 에너지는 Si-Si를 끊기 위한 활성화 에너지 보다 크기 때문에 성장 속도에 차이가 나게 되며 같은 산화 공정 조건에서 Si의 경우보다 SiO₂의 성장속도가 매우 느리다^[12].

또한 SiC의 산화과정에서 미처 외부로 방출되지 못한 C 원자가 발생하는데, 이 C 원자들이 임의로 결합하여 흑연과 비슷한 탄소 결합체를 형성한다. 탄소 결합체는 SiC/SiO₂의 계면에 다량으로 잔류하게 되며 MOSFET의 전류 구동 시 채널의 전자들을 포획, 전자 이동도를 매우 크게 떨어뜨리는 요인으로 작용한다. 탄소 결합체로 인한 계면 포획 레벨은 주로 4H-SiC 전도대역 바로 아래의 금지대역에 형성된다^[13]. 탄소 결합체 외에도 SiO₂의 비등방성 성장에 의한 전이층 두께의 증가 및 Si 원자의 소실로 인한 추가적인 포획 전하의 증가 등이 SiC/SiO₂의 계면 특성에 영향을 주는 부차적인 요인이다^[14].

다양한 원인에 의하여 계면에 결합이 발생하는 산화 공정과 달리 SiO₂의 증착은 반응물이 기판의 표면에 접촉하기 전에 반응하여 SiO₂ 분자를 형성하기 때문에 SiO₂ 성장 중에 발생하는 탄소 결합체나 두꺼운 전이층의 형성을 억제할 수 있다. 이번 연구에서 사용한 PECVD 공정의 경우, RF field에 의해 SiO₂ 분자가 형성된 후 시편에 도달하여 적층되기 때문에 기존 가열 방식의 증착 공정에 비해 300~400도의 낮은 온도에서 공정이 가능하다. 낮은 온도에서의 증착은 SiC/SiO₂ 계면이 온도에 의해 받는 영향을 최소화할 수 있다는 장점을 가지고 있어 SiC/SiO₂의 계면 특성 연구에 적용될 만한 가치가 있다.

2. MOS Capacitor의 C-V, I-V 측정 방법

SiC MOS Capacitor에서 SiO₂의 유효 전하량, 평탄

대 전압의 변화 및 계면 포획 밀도 등의 정보를 얻기 위해서는 Hi-Lo C-V 측정이 유용하다. SiC는 Si에 비해 진성 전송자 농도가 $5 \times 10^{-9} \text{cm}^{-3}$ 수준으로 낮기 때문에 고주파를 이용한 Terman C-V 측정 방식을 사용할 경우, 계면 포획 농도의 값이 실제보다 적게 나오는 문제가 있다^[15]. 이와 달리 Hi-Lo C-V 측정법은 낮은 주파수를 갖는 신호를 사용하기 때문에 SiC 밴드갭 내부의 깊은 에너지까지 계면 포획 밀도를 관찰할 수 있다는 장점을 가진다. Hi-Lo C-V 측정은 포획된 전송자들의 포획 레벨에 따른 반응 시간을 이용하는데, 포획된 전자들의 반응 시간은 다음과 같이 나타난다.

$$\tau_n = \frac{1}{\sigma_n N_c V_t} \exp\left(\frac{E_c - E_t}{kT}\right) \quad (1)$$

σ_n , N_c , V_t , E_c 는 각각 전자의 포획 단면적, 전도대에서의 상태밀도, 전송자의 열속도, 전도대 에너지이며 k , T , E_t 는 볼츠만 상수, 켈빈 온도 및 포획 에너지이다. τ_n 은 포획된 전자가 반응할 수 있는 최소 시간으로 온도에 따라 그림 1과 같이 나타난다. N-type 4H-SiC의 경우 상온(300K)의 조건에서 전도대 아래 방향으로 약 0.6eV에 해당하는 에너지 영역까지 계면 포획 밀도를 측정할 수 있다.

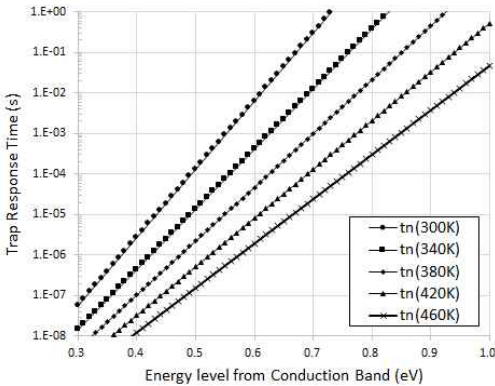


Fig. 1. Trap Response time as a function of the energy level from conduction band

그림 1. 전도대 아래의 에너지 레벨에 따른 포획 전자들의 반응 속도

Hi-Lo C-V 측정은 포획된 전송자들이 반응하지 못하는 빠른 주파수로 C-V 곡선을 얻어낸 뒤에, 측정하고자 하는 포획 레벨에 해당하는 낮은 주파수로 C-V 곡선을 다시 얻어 에너지 레벨에 따른 계면 포

획 밀도를 추출한다. 처음 계면에 포획되어 있는 전하와 반대 극성을 갖는 전송자가 새로 포획되는 것을 막기 위해 반전층이 생기는 바로 직전의 전압에서 두 주파수로 측정한 정전 용량의 차이를 이용하여 포획된 전하에 의한 정전 용량을 추출할 수 있다. 그 식은 다음과 나타난다.

$$C_{it} = \left[\left(\frac{1}{C_{LF}} - \frac{1}{C_{OX}} \right)^{-1} - \left(\frac{1}{C_{HF}} - \frac{1}{C_{OX}} \right)^{-1} \right] \quad (2)$$

$$D_{it} = \frac{C_{it}}{q} \quad (3)$$

여기서 C_{it} , C_{LF} , C_{OX} , C_{HF} , q , D_{it} 는 각각 포획된 전하에 의한 정전 용량, 낮은 주파수에서 측정한 정전 용량, 산화막의 정전 용량, 높은 주파수에서 측정한 정전 용량, 전자의 전하량 및 계면 포획 밀도를 의미한다.

SiO₂의 안정성을 평가하기 위하여 사용하는 가장 간단한 방법 중 하나가 I-V 측정이다. N-based MOS Capacitor에서 게이트에 양의 전압을 인가하여 누설 전류를 측정함으로써 산화막의 임계전계를 측정할 수 있다. 누설 전류는 SiO₂ 내부의 전계가 증가함에 따라 직접 터널링, F-N 터널링의 기작 순으로 발생한다. 본 논문에서는 I-E 곡선에서 F-N plot을 유도하여 SiO₂와 SiC 사이의 유효 에너지 장벽 높이를 추출하였다. F-N plot은 I-E 곡선에서 F-N 터널링이 발생하는 구간을 이용하여 SiC/SiO₂ 유효 에너지 장벽 높이를 추출하는데 유용하다^[16]. 먼저 F-N 터널링에 의한 누설 전류의 식은 다음과 같다.

$$J = AE^2 \exp(-B/E) \quad (4)$$

J는 누설 전류 밀도, E는 산화막에 인가되는 전계의 크기이며 상수 A와 B는 다음과 같은 식으로 다시 표현된다.

$$A = \frac{q^3 m}{16\pi^2 \hbar m_{ox} \phi_b} (A/V^2) \quad (5)$$

$$B = \frac{4}{3} \frac{(2m_{ox})^{1/2}}{q \hbar} \phi_b^{3/2} (V/cm) \quad (6)$$

m과 m_{ox}는 전자의 질량 및 SiO₂에서의 전자 유효 질량을 나타내며, \hbar 는 감소된 플랑크 상수, ϕ_b 가 SiC/SiO₂ 간의 유효 에너지 장벽 높이이다. F-N 플롯을 통해 B의 값을 구할 수 있으며, SiO₂에서의 전

자 유효 질량인 0.42m을 이용하면 ϕ_b 를 계산할 수 있다^[17].

3. 4H-SiC MOS Capacitor의 제작

4H-SiC MOS Capacitor는 모두 4개의 샘플로 표 1과 같이 각 공정조건을 달리하여 제작하였다. SiC 기판은 Si-face(0001), 8° off-axis, $5 \times 10^{18} \text{cm}^{-3}$ 의 N 도핑, 기판위로 15 μm 에피층이 $5 \times 10^{15} \text{cm}^{-3}$ 로 N 도핑되어있는 에피-웨이퍼를 사용하였다. 산화막을 형성하기 전 각 샘플을 아세톤, 트리클로로에탄 (TCA), 아세톤, 메탄올에 순차적으로 5분씩 처리하고 SPM 세정을 수행하였다^[18]. 건식 산화의 경우 30nm 두께의 SiO₂를 형성하기 위해 750sccm의 O₂ 환경에서 1080도, 200분의 조건으로 공정이 진행되었다^[19]. PECVD 공정은 160sccm 5% SiH₄/N₂, 1500sccm N₂O, 240sccm N₂, 550mTorr의 환경에서 60W의 RF power, 187kHz RF frequency를 사용하여 SiO₂의 증착을 진행하였다. 질소-패시베이션은 1000sccm의 NO 환경에서 1175도, 2시간동안 처리되었으며^[20], 이후 Metal Sputter를 이용하여 게이트 전극으로 Al을 800nm 증착하고 PR 패턴을 형성, Al을 습식 식각하여 게이트 전극의 크기를 결정하였다. 남은 PR을 제거한 후 기판의 바닥면에 Al을 300nm 증착하여 전극을 형성하였다. 전극의 형성이 모두 끝난 뒤에 450도, 30min 동안의 Al 합금 공정을 거쳐 MOS Capacitor 제작을 완료하였다.

실험에 사용한 샘플은 질소-패시베이션의 수행 여부와 SiO₂ 형성에 사용된 공정의 종류에 따라 Dry, Dry+NO, PECVD, PECVD+NO로 구분된다. 각 샘플의 표기명은 순서대로 건식산화, 건식산화 후 질소-패시베이션 처리, PECVD 증착, PECVD 증착 후 질소-패시베이션 처리를 의미한다.

Table 1. Process conditions of each samples

표 1. 샘플 및 각 공정 조건

| Sample Name | SiO ₂ Method | N-passivation |
|-------------|-------------------------|---------------|
| Dry | Dry oxidation | X |
| Dry+NO | Dry oxidation | O |
| PECVD | PECVD | X |
| PECVD+NO | PECVD | O |

4. 측정 결과 및 분석

C-V 측정에는 Keithley사의 고전압 2410 소스미터와 HP사의 4284A를 사용하였으며, 이상적인 C-V 곡선을 얻기 위해 Sentaurus EDA 시뮬레이터를 사용하였다. SiC의 전도대 아래에 존재하고 있는 전자 포

획 밀도를 알아내기 위해 4V에서 -3V로 DC 전압을 변화시켰다. DC 전압의 변화율은 0.1V/s, AC 전압의 주파수와 진폭은 각각 1MHz, 500mV로 설정하였다.

먼저 각 샘플의 SiO₂ 두께를 C-V 측정으로 확인했으며 C-V 곡선은 그림 2와 같다. SiO₂ 두께는 양의 게이트 전압이 인가된 축적모드에서 추출할 수 있다. 추출된 값은 Dry, Dry+NO, PECVD, PECVD+NO 샘플 각각 30.08, 31.53, 30.04, 29.84nm으로 본래 목표였던 30nm의 SiO₂ 두께를 만족한다고 판단하였다.

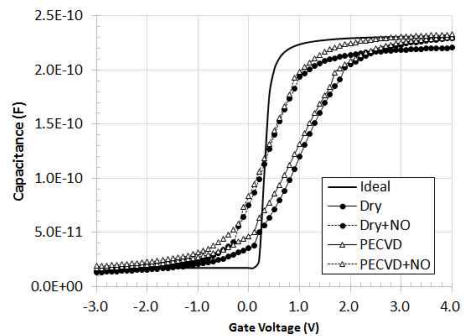


Fig. 2. High-frequency C-V curves of each samples
그림 2. 각 샘플들의 고주파 C-V 곡선

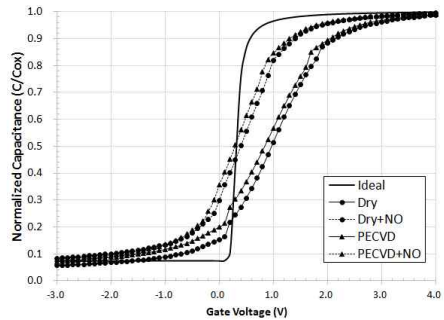


Fig. 3. Normalized C-V curves of each samples
그림 3. 각 샘플들의 정규화 C-V 곡선

그림 2의 결과를 이용하여 계면 특성을 평가하기 위해서는 정규화 C-V 곡선을 얻어 평탄대 전압 변화 및 유효 SiO₂ 전하 밀도 등을 추출해야 한다. 각 게이트 전압에서 측정되는 정전 용량을 SiO₂의 두께에 의한 정전 용량으로 나누면 그림 3과 같이 정규화 C-V 곡선을 얻을 수 있다. 그림 3를 보면, 질소-패시베이션을 수행한 샘플의 곡선이 그렇지 않은 샘플의 곡선 좌측에 위치하며 C-V 곡선의 기울기가 가파른 것을 확인할 수 있는데, 질소-패시베이션에 의해

SiC/SiO₂ 계면에서 탄소 결합체가 질소와 반응하여 계면 포획 농도가 감소하기 때문이다. 이는 SiO₂의 유효 전하량의 감소 및 계면 포획에 의해 유발되는 정전 용량의 감소로 이어진다.

위 그림 3을 통해 계산한 각 샘플의 평탄대 전압 변화와 유효 전하 밀도의 값을 표 2에 정리하였다. 질소-패시베이션을 수행한 샘플에서 그 값들이 감소했다는 것을 확인할 수 있다. 또한 PECVD, PECVD+NO 샘플이 Dry, Dry+NO 각 샘플과 비교했을 때 낮은 평탄대 전압 변화와 SiO₂에서의 적은 유효 전하량을 보인다.

Table 2. Flatband voltage shift and effective SiO₂ charge density

표 2. 평탄대 전압의 변화와 SiO₂의 유효 전하 밀도

| Sample | ΔV_{fb} (V) | Q_{eff} (C/cm ²) | N_{eff} (cm ⁻²) |
|----------|---------------------|--------------------------------|-------------------------------|
| Dry | 1.63 | -2.14×10^{-7} | 1.34×10^{12} |
| Dry+NO | 0.97 | -1.38×10^{-7} | 0.86×10^{12} |
| PECVD | 1.53 | -2.03×10^{-7} | 1.27×10^{12} |
| PECVD+NO | 0.68 | -1.04×10^{-7} | 0.65×10^{12} |

PECVD, PECVD+NO 샘플에서 평탄대 전압 변화와 SiO₂의 유효전하 밀도가 Dry, Dry+NO 샘플보다 감소한 원인을 더 정확하게 확인하기 위해 SIMS를 이용해 깊이에 따른 Si, O, C의 원소 분포를 측정하고, 그 결과를 그림 4에 나타내었다. 그림 4를 보면, x축에 0이라고 표기되어 있는 곳이 SiC/SiO₂의 계면이며 이를 사이에 두고 양의 방향으로 SiO₂, 음의 방향으로 SiC가 존재하고 있다.

SIMS 측정에서 SiO₂ 전이층은 계면에서부터 C 이온에 의한 전류의 크기가 100C/s가 되는 지점까지를 기준으로 측정하였다. 계면위로 C 이온에 의한 전류가 100C/s 이상이 되는 구간에서 O 원자의 밀도가 감소하는 경향을 보이기 때문이다. C 이온에 의한 전류가 100C/s가 되는 깊이에서 O 원자의 밀도가 90%로 감소하게 된다. 그림 4에서 Dry 샘플의 경우 SiO₂의 전이층이 약 9.55nm이며 전이층 내부에서의 C 분포는 계면에서 멀어질수록 천천히 감소한다. 하지만 PECVD 샘플에서는 SiO₂의 전이층이 약 4.01nm로 Dry 샘플에서보다 6nm 가량 얇으며, C 분포도 계면에서 멀어질수록 비교적 빠르게 감소하는 것을 확인할 수 있다. 계면에서 SiC 방향으로 갈수록 감소하는 O 원자의 양은 PECVD 샘플에서 Dry 샘플보다 빠르게 감소하는 것을 보아 SiC/SiO₂ 계면의 구조적 결합이 PECVD 샘플에서 더 적다고 판단할 수 있다. 전이층에 의해 발생하는 전하는 주로 양의 전하를 띠고 있는데, 이는 C-V 곡선을 우측으로 이동시킨다. 하지

만 PECVD를 이용한 샘플이 건식 산화를 이용한 샘플보다 C-V 곡선이 좌측에 존재하는 것으로 보아, 계면 전송자 포획에 의해 발생하는 음의 전하가 PECVD보다 건식 산화에서 다량으로 존재하기 때문이라고 분석할 수 있다. 이를 확인하기 위해서는 Hi-Lo C-V 측정을 통하여 계면 포획 밀도를 확인해야 한다.

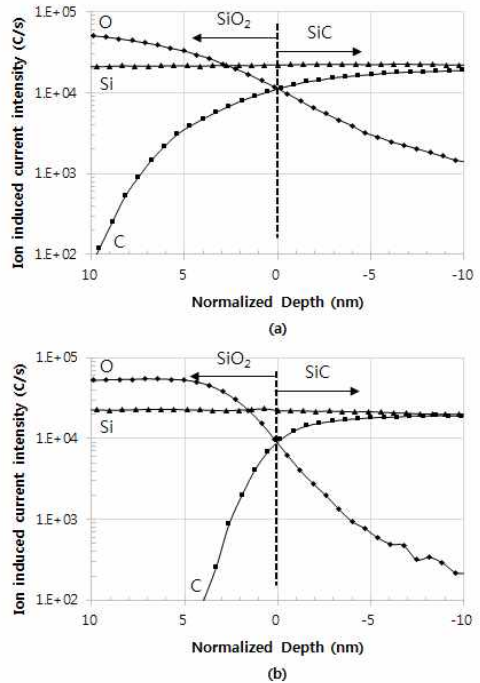


Fig. 4. Depth Profile of Si, C, O in (a) Dry and (b) PECVD samples

그림 4. (a) Dry, (b) PECVD 각 샘플의 깊이에 따른 Si, C, O 원자의 분포도

SiC/SiO₂의 계면 포획 밀도의 추출은 Hi-Lo C-V 측정을 통하여 이루어 졌으며, 그림 5와 같은 계면 포획 밀도를 얻을 수 있었다. 측정한 에너지 범위는 전도대 에너지 아래로 0.375~0.495eV이다. 질소-패시베이션이 처리된 샘플은 처리되지 않은 샘플과 비교했을 때 계면 포획밀도가 감소한 것을 확인할 수 있다. 전도대 아래로 0.375eV에서 Dry와 PECVD 샘플의 계면 포획 밀도는 각각 $9.73 \times 10^{11} \text{cm}^{-2} \text{eV}^{-1}$, $2.69 \times 10^{11} \text{cm}^{-2} \text{eV}^{-1}$ 이며, 전도대 아래로 0.495eV에서는 증가한 값인 $8.05 \times 10^{13} \text{cm}^{-2} \text{eV}^{-1}$, $9.55 \times 10^{12} \text{cm}^{-2} \text{eV}^{-1}$ 의 값으로 나타났다. 이는 전도대 아래 0.375eV와 0.495eV에서 각각 PECVD가 Dry보다 72.34%,

88.13% 낮은 계면 포획 밀도를 보이는 결과이다. Dry+NO, PECVD+NO 샘플은 전도대 아래 0.375eV에서 각각 $4.32 \times 10^{10} \text{cm}^{-2} \text{eV}^{-1}$, $4.23 \times 10^{10} \text{cm}^{-2} \text{eV}^{-1}$, 전도대 아래 0.495eV에서 각각 $4.90 \times 10^{10} \text{cm}^{-2} \text{eV}^{-1}$, $1.93 \times 10^{12} \text{cm}^{-2} \text{eV}^{-1}$ 값으로 2.18%, 60.60%만큼 PECVD+NO가 Dry+NO 샘플보다 낮은 계면 포획 밀도를 보였다. 측정된 에너지 범위에서 계면 포획 농도의 비율은 PECVD가 Dry보다 86.55% 감소했으며, PECVD+NO가 Dry+NO보다 69.05% 감소한 결과를 보였다. 이는 PECVD를 이용하여 SiO₂을 형성할 경우 건식 산화를 이용할 때보다 SiC/SiO₂ 계면 포획 농도와 관련된 결함이 감소할 수 있으며, MOSFET 제작 시 계면에서 전자의 포획에 따른 이동도 저하를 억제할 수 있다는 것을 의미한다.

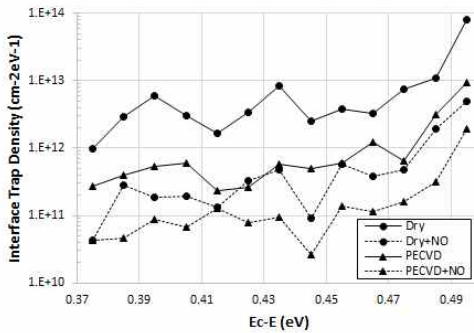


Fig. 5. Interface trap density in energy range of 0.37~0.49eV from conduction band
 그림 5. 전도대 아래 0.37~0.49eV 에너지 범위에서의 계면 포획 밀도

같은 방식으로 SIMS를 이용하여 Dry+NO, PECVD+NO 샘플의 SiO₂ 전이층 및 계면에서 N 원자의 농도를 비교한 그래프가 그림 6에 나타나 있다. Dry+NO 샘플에서 N 원자의 분포를 확인해보면, SiO₂의 전이층 두께가 약 6.08nm이며 N 원자에 의한 전류의 크기가 최대가 되는 지점이 SiC/SiO₂ 계면에서 위로 약 3.12nm, 전류의 크기가 220C/s로 나타난다. PECVD+NO 샘플에서는 SiO₂ 전이층 두께가 약 4.34nm, N 원자에 의한 최대 전류의 크기가 672C/s, 전류의 크기가 최대인 지점이 SiC/SiO₂ 계면에서 1.74nm로 나타났다. 이는 PECVD+NO 샘플에서 Dry+NO 샘플보다 두께가 1.74nm 가량 감소한 SiO₂ 전이층을 보이며, 이로 인해 유효 산화막 전하가 감소 될 수 있다는 것을 의미한다. 질소 패시베이션 공정을 거치면서 그림 4, 그림 6에 나타난 두 샘플간 전이층 두께 차이가 6nm에서 1.74nm로 감소한 것을

확인할 수 있는데, 이는 건식 산화 공정을 이용한 샘플에서도 질소 패시베이션 공정을 통해 탄소 결합체의 크기가 N에 의해 효과적으로 감소하기 때문이다. 이는 산화막의 형성 방법보다 질소 패시베이션의 수행 여부가 계면에 미치는 영향이 더 크기 때문에 나타나는 현상으로 설명할 수 있다. 또한 계면에서 탄소 결합체와 반응한 N 원자 농도가 PECVD+NO에서 Dry+NO보다 약 3배 높은 것을 확인할 수 있는데, 이는 탄소 결합체와 결합한 질소 원자의 수가 증가하여 계면 이동자 포획이 감소, 그림 6에 나타난 PECVD+NO 샘플의 낮은 계면 포획 밀도로 이어진다.

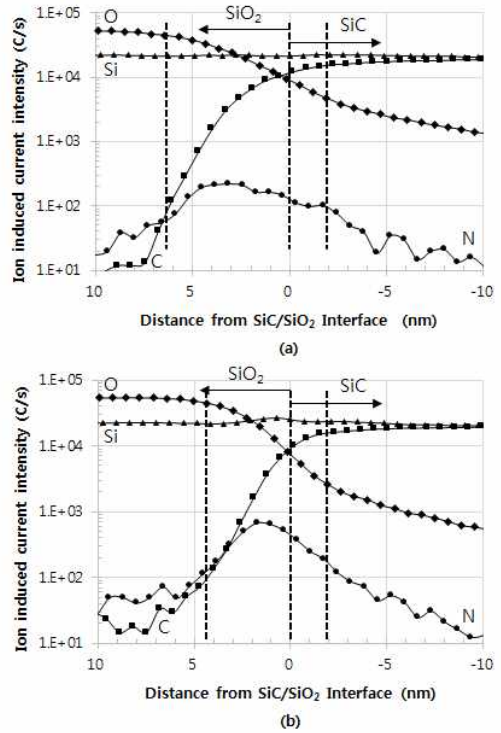


Fig. 6. Depth profile of Si, N, C, O in (a) Dry+NO and (b) PECVD+NO samples
 그림 6. (a) Dry+NO, (b) PECVD+NO 각 샘플깊이에 따른 Si, N, C, O 원자의 분포도

I-V 측정은 Keithley사의 고전력 2651A 전류미터를 사용하였으며, SiO₂의 임계 전계 및 F-N-plot을 통한 유효 SiC/SiO₂ 장벽 높이를 추출하였다. I-V 측정을 통해 산화막에 인가되는 전계에 따른 전류를 나타낸 I-E 곡선은 그림 7과 같다. 누설 전류 10uA를

기준으로 측정했을 때 각 샘플의 SiO₂ 임계 전계는 Dry, Dry+NO, PECVD, PECVD+NO의 순으로 각각 2.0M, 2.3M, 2.9M, 8.0MV/cm이다. Dry, Dry+NO, PECVD의 낮은 SiO₂의 임계 전계는 SiC/SiO₂의 계면에 형성되는 포획 밀도에 의하여 전자의 F-N 터널링이 강화되기 때문이다. 또한 SiO₂ 내부에 존재하는 결함에 의해 전자의 이동이 강화된다.

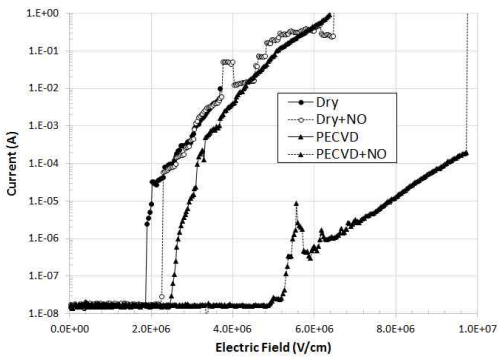


Fig. 7. Gate leakage current with electric field of SiO₂
 그림 7. SiO₂의 전계에 따른 게이트 누설 전류

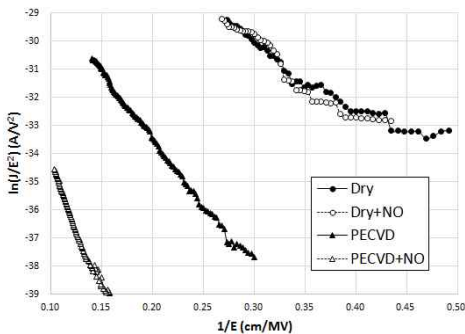


Fig. 8. F-N plot for effective barrier height extraction
 그림 8. 유효 장벽 높이 추출을 위한 F-N 플롯

SiO₂와 SiC/SiO₂ 계면에 의해 발생하는 F-N 누설 전류 증가의 강도는 SiC/SiO₂ 유효 에너지 장벽 높이를 통해 비교할 수 있는데, 그 결과는 그림 8과 표 3에 나타나 있다. 그림 8은 F-N 플롯으로 각 샘플 곡선의 기울기를 통해 유효 장벽 높이를 추출할 수 있다. 각 샘플의 유효 장벽 높이는 Dry, Dry+NO, PECVD, PECVD+NO의 샘플 각각 0.64, 0.68, 1.00, 1.57eV이다. 결함에 의한 누설전류 증가로 모든 샘플에서 이상적인 장벽 높이 값인 2.7eV에 비해 낮은 값을 보인다^[21]. 특히 Dry 샘플의 경우 질소-패시베이션

처리가 된 이후에도 0.68eV의 매우 낮은 유효 장벽 높이를 보이고 있어 SiO₂ 내부와 SiC 계면에서의 결합이 가장 많다고 할 수 있다. PECVD 샘플은 질소-패시베이션 처리 전과 후의 유효 장벽 높이가 각각 1.00, 1.57eV로 Dry 샘플과 마찬가지로 질소-패시베이션을 처리한 이후에 더 높은 유효 장벽 높이를 보인다. 질소-패시베이션이 처리되기 전의 Dry, PECVD 샘플의 유효 장벽 높이를 비교해 보면 PECVD 샘플이 1.00eV로 Dry 샘플에 비해 0.36eV 더 크게 나타나는데, 이는 PECVD가 Dry에 비해 결함에 의한 누설 전류 발생이 적다는 것을 의미한다. 이는 앞의 C-V 측정에서 PECVD 공정을 이용하여 SiO₂를 증착할 경우 SiC/SiO₂ 계면과 SiO₂ 전이층에서 발생하는 결함이 감소한다는 것과 같은 맥락으로 해석할 수 있다. 질소-패시베이션 처리가 된 이후 Dry와 PECVD 샘플 모두 SiC/SiO₂ 계면에서의 결합이 감소되어 게이트 누설 전류가 SiO₂와 계면 결합에 의해 강화되는 효과를 억제할 수 있다.

Table 3. ϕ_b of SiC/SiO₂ in each sample

표 3. 각 공정에 따른 SiC/SiO₂ 계면에서의 ϕ_b

| Sample | Dry | Dry+NO | PECVD | PECVD+NO |
|----------------|------|--------|-------|----------|
| Ideal ϕ_b | 2.70 | | | |
| ϕ_b (eV) | 0.64 | 0.68 | 1.00 | 1.57 |

III. 결론

본 논문에서는 건식 산화와 PECVD 두 공정을 이용하여 SiO₂를 형성하는 방식으로 N-based 4H-SiC MOS Capacitor를 제작하고 전기적 특성을 비교분석하였다. 그 결과 PECVD 공정을 이용하여 SiO₂를 형성한 MOS Capacitor에서 건식 산화 방식보다 향상된 계면 특성 및 SiO₂의 안정성을 확인하였다. 질소-패시베이션이 적용 되었을 때, 기존 건식 산화 방식에 비해 20% 감소한 평탄대 전압 변화, 25% 감소한 유효 산화막 전하밀도, 69.05% 감소한 계면 포획 농도(전도대 아래 0.375~0.495eV 범위), 8MV/cm의 항복 전계, 1.57eV의 SiC/SiO₂ 유효 에너지 장벽 높이를 얻을 수 있었다. 향후 PECVD와 질소-패시베이션 공정의 최적화 연구를 통해 SiO₂ 및 SiC/SiO₂ 계면 특성을 Si/SiO₂ 계면의 수준까지 향상시켜 10¹⁰cm⁻²eV⁻¹의 계면 포획 농도를 달성할 수 있다면, 4H-SiC MOSFET 개발에 적용하여 높은 전자 이동도 및 전류 구동 능력을 가진 소자를 제작할 수 있을 것이다.

References

- [1] H. Morkoc et al., "Large-band-gap SiC, III-V Nitride, and II-VI ZnSe-based Semiconductor Device Technologies," *Journal of Applied Physics*, Vol.76, Issue 3, pp.1363-1398, 1994
- [2] G. Y. Song and K. S. Kim, "A Study of SiC Trench Schottky Diode with Tilt-Implantation for Edge Termination," *Journal of IKEEE*, Vol.18, No.2, pp.214-219, 2014
- [3] J. B. Casady and R. W. Johnson, "Status of Silicon Carbide (SiC) as a Wide-Bandgap Semiconductor for High-Temperature Applications: A Review," *Solid-State Electronics*, Vol.39, No.10 pp.1409-1422, 1996
- [4] K. McDonald et al., "Characterization and Modeling of the Nitrogen Passivation of Interface Traps in SiO₂/4H-SiC," *Journal of Applied Physics*, Vol.93, No.5, pp.2719-2722, 2003
- [5] V. V. Afanas'ev et al., "HfO₂-based Insulating Stacks on 4H-SiC(0001)," *Applied Physics Letters*, Vol.82, No.6, pp.922-924, 2003
- [6] J. H. Moon et al., "Effects of Thermally Oxidized-SiN Gate Oxide on 4H-SiC Substrate," *Electrochemical and Solid-State Letters*, Vol.10, Issue 11, pp.H327-H330, 2007
- [7] Y. K. Sharma et al., "High-Mobility Stable 4H-SiC MOSFETs Using a Thin PSG Interfacial Passivation Layer," *IEEE Electron Device Letters*, Vol.34, No.2, pp.175-177, 2013
- [8] L. K. Swanson et al., "Correlating Macroscopic and Nanoscale Electrical Modifications of SiO₂/4H-SiC Interfaces upon Post Oxidation Annealing in N₂O and POCl₃," *Applied Physics Letters*, Vol.101, No.193501, pp.1-4, 2012
- [9] M. Noborio, "P-Channel MOSFETs on 4H-SiC {0001} and Nonbasal Faces Fabricated by Oxide Deposition and N₂O Annealing," *IEEE Transactions on Electron Devices*, Vol.6, No.9, pp.1953-1958, 2009
- [10] G. Y. Chung et al., "Improved Inversion Channel Mobility for 4H-SiC MOSFETs Following High Temperature Anneals in Nitric Oxide," *IEEE Electron Device Letters*, Vol.22, No.4, pp.176-178, 2001
- [11] H. Yasuto, "Physics and Technology of Silicon Carbide Devices," *InTech*, 2012
- [12] C. Raynaud, "Silica Films on Silicon Carbide: A Review of Electrical Properties and Device Applications," *Journal of Non-Crystalline Solids*, Vol.280, Issues 1-3, pp.1-31, 2001
- [13] V. V. Afanasev et al., "Intrinsic SiC/SiO₂ Interface States," *Physica Status Solidi (a)*, Vol.162, Issue 1, pp.321-337, 1997
- [14] S. Salemi, "The Effect of Defects and Their Passivation on the Density of States of the 4H-silicon-carbide/silicon-dioxide interface," *Journal of Applied Physics*, Vol.113, No.053703 pp.1-6, 2013
- [15] J. A. Cooper, Jr., "Advances in SiC MOS Technology," *Physica Status Solidi (a)*, Vol.162, Issue 1, pp.305-320, 1997
- [16] R. K. Chanana et al., "Fowler-Nordheim Hole Tunneling in p-SiC/SiO₂ Structure," *Applied Physics Letters*, Vol.77 No.16 pp.2560-2562, 2000
- [17] M. Lenzlinger and E. H. Snow, "Fowler-Nordheim Tunneling into Thermally Grown SiO₂," *Journal of Applied Physics*, Vol.40, No.1, pp.278-283, 1969
- [18] J. N. Shenoy et al., "Characterization and Optimization of the SiO₂/SiC Metal-Oxide Semiconductor Interface," *Journal of Electronic Materials*, Vol.24, No.4, pp.303-309, 1995
- [19] M. Moumita, "Silicon Carbide - Materials, Processing and Applications in Electronic Devices," *InTech*, 2011
- [20] J. H. Moon, "Effect of Postoxidation Annealing on High Temperature Grown SiO₂/4H-SiC Interfaces," *Journal of The Electrochemical Society*, Vol.157, No.2, pp.H196-201, 2010
- [21] A. K. Agarwal, "Temperature Dependence of Fowler-Nordheim Current in 6H- and 4H-SiC MOS Capacitors," *IEEE Electron Device Letters*, Vol.18, No.12, pp.592-594, 1997

BIOGRAPHY

Gwan-Hoon Song (Student Member)

2013 : BS degree in Electronic Engineering, Sogang University.
 2013~ : MS degree course in Electronic Engineering, Sogang University.

Kwang-Soo Kim (Member)

1981 : BS degree in Electronic Engineering, Sogang University.
 1983 : MS degree in Electronic Engineering, Sogang University.
 1992 : PhD degree in Electronic Engineering, Sogang University.
 1992~1997 : Principal research engineer in Electronics and Telecommunications Research Institute (ETRI)
 1997~2005 : Principal research engineer in Institute for Information Technology Advancement (IITA)
 2005~2008 : Principal research engineer in Daegu Gyeongbuk Institute of Science and Technology (DGIST)
 2008~ : Professor in Dept. of Electronic, Sogang University