THE JOURNAL OF KOREAN INSTITUTE OF ELECTROMAGNETIC ENGINEERING AND SCIENCE. 2014 Dec.; 25(12), 1251～1257.

http://dx.doi.org/10.5515/KJKIEES.2014.25.12.1251
ISSN 1226-3133 (Print) · ISSN 2288-226X (Online)

DDS를 이용한 광대역 고속 주파수 합성기

A Wideband High-Speed Frequency Synthesizer Using DDS

박 범 준 · 박 동 철*

Beom-Jun Park · Dong-Chul Park*

요 약

본 논문에서는 6～13 GHz 주파수 범위에서 30 kHz 이하의 주파수 분해능과 500 ns 이하의 동조 속도를 갖는 광대역 고속 주파수 합성기 구조를 제안하였다. 광대역에서 빠른 동조 속도와 우수한 위상잡음 특성, 고해상도 주파수 특성을 얻기 위해 DDS(Direct Digital Synthesizer)와 아날로그 직접 주파수 합성기술을 적용하여 주파수 합성기의 출력을 합성하였다. 그리고 광대역 주파수 합성기의 위상잡음 특성을 중첩의 원리를 이용하여 예측하였고 측정 결과와 비교하였다. 제작된 주파수 합성기의 주파수 동조 속도는 500 ns 이하, 위상잡음은 최고 주파수에서 −106 dBc @ 10 kHz 이하, 주파수 정확도는 ±2 kHz 이하로 측정되었다.

Abstract

In this paper, a 6～13 GHz ultra high speed frequency synthesizer having minimum 30 kHz step size and minimum 500 ns frequency settling time is proposed. In order to obtain fast settling time, fine resolution, and good phase noise performance, wideband output frequencies were synthesized based on DDS(Direct Digital Synthesizer) and analog direct frequency synthesis technology. The phase noise performance of wideband frequency synthesizer was estimated by the superposition theory and its results were compared with measured ones. The measured frequency settling time was below 500 ns, phase noise was below −106 dBc @ 10 kHz at 13 GHz, and frequency accuracy was measured below ±2 kHz.

Key words: Wideband Synthesizer, High Speed, Fine Resolution, DDS

Ⅰ. 서 론

전파 및 통신 관련 기술의 발달로 각종 통신 장비와 무선기기들이 광대역화 되며, 무선기기의 운용 주파수도 점점 높은 주파수 대역으로 확장되어 가고 있다. 이에 따라 민수용 및 군용 전파 모니터링용 수신기의 주파수 범위도 점점 넓어져 가는 추세이다. 특히 고성능 수신기의 경우, 매우 넓은 주파수 대역에서 짧은 출현시간을 갖는 무선 신호의 탐지가 가능해야 하며, 이를 위해 빠른 주파수 탐색 능력이 필수적으로 요구된다. 또한, 다양한 무선기기 신호와 간섭 신호가 동시에 존재하는 전파 환경에서도 필요한 신호만을 선별적으로 수신할 수 있는 협대역 수신 기능이 동시에 요구된다. 따라서 전파 모니터링 수신기의 국부 발진 신호로 사용되는 주파수 합성기는 광대역 특성, 빠른 주파수 동조 속도, 정밀 주파수 동조를 위한 높은 주파수 분해능과 정확도 특성이 요구되어진다.

국방과학연구소(Agency for Defense Development)
*충남대학교 전파공학과(Department of Radio Science & Engineering, Chungnam National University)
· Manuscript received August 29, 2014 ; Revised September 29, 2014 ; Accepted November 7, 2014. (ID No. 20140829-066)
· Corresponding Author: Dong-Chul Park (e-mail: dcpark@cnu.ac.kr)

ⓒ Copyright The Korean Institute of Electromagnetic Engineering and Science. All Rights Reserved.

기존에는 광대역 주파수 합성기로서 DTO(Digital Tuned Oscillator), 아날로그 직접 주파수 합성기, PLL(Phase Locked Loop)을 이용한 간접 주파수 합성기가 주로 사용되었다. DTO는 광대역 특성 구현을 위해 출력 주파수 범위가 서로 다른 여러 개의 VCO(Voltage Controlled Oscillator)를 사용하며, 1 μs 수준의 고속 주파수 동조 속도를 갖지만 6 GHz에서 −65 dBc/Hz @ 100 kHz 수준으로 위상잡음 특성이 다소 떨어지고, 주파수 정확도도 ±2 MHz 수준으로 미흡하다[1]. 한편, 아날로그 직접 주파수 합성기는 내부의 콤-발생기(comb-generator)를 이용하여 여러 개의 주파수 신호를 발생시킨 후, 필터링 및 주파수 혼합 과정을 통해 최종 출력을 내는 방식으로 우수한 위상잡음 및 고속 동조 특성 구현이 가능하나, 주파수 분해능을 정밀하게 하려면 하드웨어의 크기가 커지고, 무게가 증가하는 단점이 있다[2]. 그리고 PLL을 이용한 간접 주파수 합성기는 위상잡음이 DTO보다 우수하나, PLL의 안정화 시간 때문에 수백 ns 수준의 고속 주파수 합성이 어려워 빠른 동조 속도가 필요한 군용의 고속 전파 모니터링 용도로는 사용이 제한적이다[3].

본 논문에서는 DDS에 아날로그 주파수 합성방식을 적용하여 빠른 동조 시간, 높은 주파수 해상도 및 정확도, 우수한 위상잡음을 얻을 수 있는 6~13 GHz 광대역 주파수 합성기를 제안하였고, 본 논문에서 제안한 주파수 합성기의 위상잡음 분석 결과와 측정 결과를 서로 비교하였다.

Ⅱ. DDS를 이용한 직접 주파수 합성기 설계

본 논문의 주파수 합성기는 전파 모니터링용 수신기의 국부 발진 신호를 발생하는 용도로 사용하기 위해 넓은 출력 주파수 범위와 빠른 동조 속도, 고해상도, 우수한 위상잡음 특성이 필요하다. 본 논문에서 목표로 하는 주파수 합성기의 설계 규격을 표 1에 나타내었다.

본 논문에서는 표 1에 제시된 성능을 만족시키기 위해 DDS에 아날로그 직접 주파수 합성 방식을 적용하였다. 특히 DDS는 우수한 분해능을 가지며, 고속으로 신호를 발생할 수 있기 때문에 주파수 합성기의 신호발생원으로 적합하다. 일반적인 DDS의 내부 구성도를 그림 1에 나타내었다[4].

표 1. 광대역 주파수 합성기 요구 성능
Table 1. The requirements of wideband frequency synthesizer.

항 목		설계 규격	단 위
출력 주파수		6~13	GHz
동조 속도		< 1	μs
주파수 해상도		< 30	kHz
주파수 정확도		< 10	kHz
불요신호		< −50	dBc
위상잡음	@ 1 kHz	−95	dBc/Hz
	@ 10 kHz	−100	
	@ 100 kHz	−110	

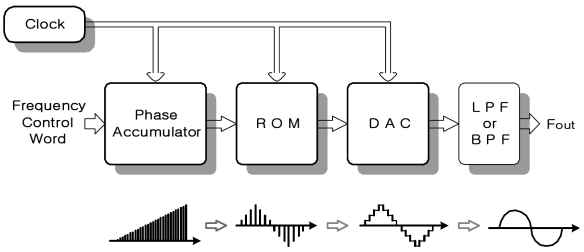

그림 1. DDS의 내부 구성도
Fig. 1. Block diagram of DDS.

그림 1에 보는 바와 같이 DDS는 위상 누적기(phase accumulator)와 sine look-up table이 저장되어 있는 ROM(Read Only Memory), DAC(Digital Analog Convertor), 필터(LPF 또는 BPF)로 구성된다. FCW(Frequency Control Word)가 위상 누적기에 입력되면 FCW만큼 위상이 일정하게 증가되어 ROM에서 디지털 형태의 정현파가 생성된다. 다시 디지털 형태의 정현파는 DAC를 통해 아날로그 신호로 변환되고, 최종단의 필터에서 DDS의 불요신호 성분이 억제되어 출력된다.

DDS의 출력주파수(f_{DDS})는 아래 식 (1)을 이용하여 구할 수 있다[4].

$$f_{DDS} = K\frac{f_{CLK}}{2^P} \tag{1}$$

여기서 f_{CLK}은 DDS를 구동하는 클럭의 주파수이고, P는 위상 누적기의 비트 수, f_{DDS}는 DDS의 출력 주파수, K

표 2. DDS 성능
Table 2. The performance of the DDS.

항 목	규 격	단 위
DAC	14	bit
기준 클럭 주파수	2.4	GHz
출력 주파수	0.5~1.1	GHz
불요신호	< −68	dBc

는 FCW이다. 이 때 DDS의 클럭 주파수는 일정하므로 위상 누적기의 비트 수를 조절하여 해상도를 만족시킬 수 있다.

한편, DDS의 출력 주파수 범위가 넓을수록 주파수 합성기의 광대역 출력 성능을 만족시키기 용이하다. 특히 DDS의 출력 주파수 범위가 2 : 1 이상이면 주파수 체배 과정을 통해 주파수 합성기의 출력 주파수 범위를 쉽게 확장할 수 있다. 주파수 합성기에 적용한 DDS는 0.5~1.1 GHz의 출력 주파수 범위를 가지며, 내부의 위상 누적기와 ROM을 FPGA(Field Programmable Gate Array)로 구현하였다. 그리고 DDS에는 DDS의 이미지와 불요신호를 제거하기 위해 필터 뱅크를 반영하였다. 본 연구에 적용한 DDS의 성능을 표 2에 나타내었다.

본 논문에서 제안한 DDS를 이용한 직접 주파수 합성기 구성도를 그림 2에 나타내었다. 본 논문에서는 광대역 특성을 구현하기 위해 DDS의 출력 주파수를 수 체배한 후, 선택적으로 혼합하는 방식으로 구조를 설계하였다.

먼저 DDS 출력 주파수 0.5~1.1 GHz의 600 MHz 대역을 넓히기 위해 2 체배기 및 3 체배기를 통과시킨 후, 필터 뱅크를 이용하여 불요신호를 제거하였다. 그 후 RF 스

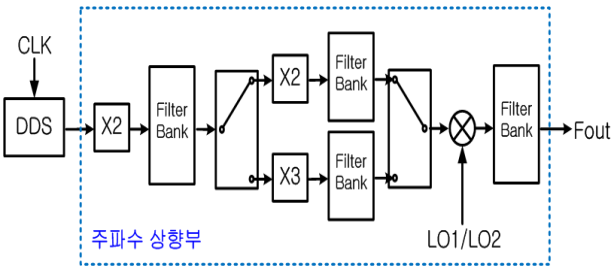

그림 2. DDS를 이용한 직접 주파수 합성기 구성도
Fig. 2. Block diagram of the direct frequency synthesizer using DDS.

위치를 사용하여 경로를 나눈 뒤, 체배 및 필터 뱅크를 이용해 주파수 대역을 2~6.6 GHz로 확장하였다. 체배기 통과 후 RF 스위치로부터 나눠진 두 경로에 혼합기와 두 개의 국부 발진 신호를 이용하여 출력 주파수 대역을 6~13 GHz로 확장하였다. 이 때 DDS의 클럭 신호 및 LO1(Local Oscillator)/LO2는 하나의 10 MHz OCXO(Oven Controlled Crystal Oscillator)를 기준신호로 사용하여 동기를 맞추어 사용하였다.

다음으로 주파수 합성기의 주파수 해상도를 만족시키기 위해 DDS의 위상 누적기의 비트 수를 19 비트로 결정하였다. DDS의 해상도는 $\frac{f_{CLK}}{2^P}$의 관계에 따라 약 4.6 kHz가 되고, 이 때 주파수 합성기의 해상도는 27.5 kHz이므로 요구 성능인 30 kHz를 만족시킬 수 있다. 그리고 주파수 합성기의 주파수 정확도는 주파수 합성기에 입력하는 기준 신호의 주파수 안정도(stability)와 체배 배율에 따라 좌우된다. 목표 성능인 10 kHz 이하의 주파수 정확도를 만족시키기 위해서는 주파수 안정도가 약 0.78 PPM 이하인 10 MHz 기준신호를 사용하여야 하며, 본 논문에서는 충분한 설계 마진(margin)을 확보를 위하여 0.1 PPM 수준의 주파수 안정도 특성을 갖는 기준 신호를 사용하였다.

한편, 본 논문에서 제안한 주파수 합성기는 하드웨어를 간단하게 구성하기 위해 주파수 체배기를 이용하여 출력 주파수 대역을 확장한 후 뒷단에 혼합기를 이용하여 최종 출력 주파수 범위를 만족하도록 구성하였다. 만약 혼합기 만을 사용하여 대역을 넓힌다면 여러 개의 혼합기와 국부 발진 신호, 그리고 다수의 필터 뱅크가 필요하게 되어 하드웨어의 크기와 비용이 커지게 된다. 반대로 체배기 만을 이용하여 주파수 합성기를 구성할 경우, 주파수 변환에 필요한 LO 신호를 사용하지 않아도 되지만, 불요신호와 위상잡음 특성이 열화되는 문제가 발생한다. 체배기의 체배수가 N일 때, 20logN만큼 위상잡음뿐만 아니라 출력, 불요신호가 증가하는 특성이 있다[5]. DDS의 자체 불요신호 특성 규격은 −68 dBc 이므로, 주파수 합성기의 목표 규격인 −50 dBc 이하의 불요신호 특성을 만족하기 위해서는 6 체배를 초과할 수 없다. 따라서 제안된 광대역 주파수 합성기는 4 또는 6 체배 후 혼합기를

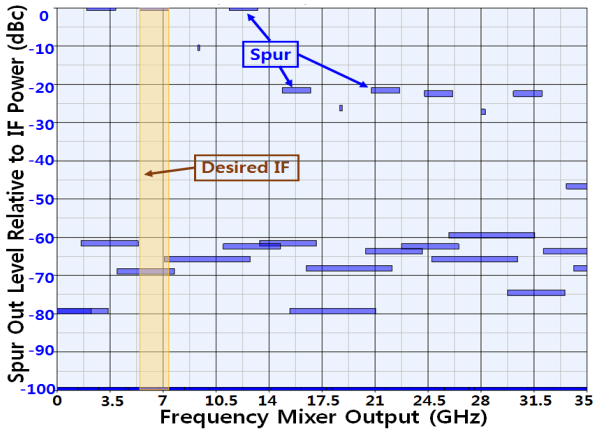

그림 3. 주파수 플랜 선정을 위한 시뮬레이션
Fig. 3. Simulation for selecting frequency plan.

사용하는 구조로 설계하였다.

최종 출력단에 위치한 혼합기를 사용할 경우에는 혼변조(intermodulation)에 따른 불요신호(spurious signal)가 대역 내에 존재하는지 확인하여 주파수 플랜을 선정하여야 한다. 주파수를 선정하기 위해 광대역 혼합기 HMC773의 불요신호 특성을 Agilent 사의 Genesys 소프트웨어에 입력하여 시뮬레이션한 후, 그 결과를 그림 3에 나타내었다. 그림 3의 가로축은 믹서의 출력 주파수이고, 세로축은 믹서의 IF 신호 대비 불요신호의 신호세기 차를 dBc 단위로 나타낸 것이다.

시뮬레이션을 통해 설계된 주파수 플랜에서 불요신호 레벨을 −50 dBc 이하로 억제할 수 있음을 확인하였다.

Ⅲ. 주파수 합성기 위상잡음 분석

그림 4에 설계한 주파수 합성기의 위상잡음원을 나타내었다. 주파수 합성기를 제작하기 전에 설계한 구성도가 목표로 하는 위상잡음 특성을 만족할 수 있는지 확인하기 위한 이론적 분석 과정이 필요하다. 그림 4에 설계한 주파수 합성기의 잡음원을 나타내었다.

주파수 합성기의 출력 위상잡음은 식 (2)와 같이 나타낼 수 있다. 이는 각 위상잡음원이 기준 신호로부터 위상동기가 되어 있으므로, 중첩의 원리를 적용하여 계산할 수 있다[6]. $\Phi_{out}(s)$는 출력 위상잡음, $\Phi_{DDS}(s)$는 DDS

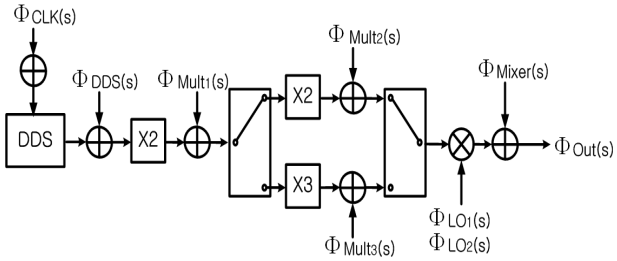

그림 4. 설계한 주파수 합성기의 잡음원
Fig. 4. Noise source of the designed frequency synthesizer.

의 위상잡음, $\Phi_{Mult_n}(s)$는 체배기의 위상잡음, $\Phi_{Mixer}(s)$는 혼합기의 위상잡음이다.

$$\Phi_{out}(s)=\Phi_{DDS}(s)+\Phi_{Mult_1}(s)+\Phi_{Mult_n}(s)+\Phi_{Mixer}(s) \quad (2)$$

모든 위상잡음원을 전력 스펙트랄 밀도 $S_{\Phi,}(f)$로 표현할 수 있고, 아래 식 (3)의 관계가 성립된다.

$$S_{\Phi,out}(f)=S_{\Phi,DDS}(f)+S_{\Phi,Mult_1}(f)+S_{\Phi,Mult_n}(f)+S_{\Phi,Mixer}(f) \quad (3)$$

식 (3)을 일반적으로 표현하는 위상잡음으로 식 (4)와 같이 나타낼 수 있다.

$$PN_{\Phi,out_n}(f)=10\log(S_{\Phi,out_n}(f)) \quad (4)$$

또한, DDS의 위상잡음 $S_{\Phi,DDS}(f)$는 아래 식 (5)와 같은 형태를 따른다[7].

$$S_{\Phi,DDS}(f)=S_{\Phi,CLK}(f)\times\left(\frac{F_{DDS}}{F_{CLK}}\right)^2+\frac{10^{-10\pm2}}{f}+10^{-15\pm1}+\frac{2^{-2(D-1)}}{3F_{DDS}} \quad (5)$$

DDS의 위상잡음은 DDS에 사용되는 기준 클럭 F_{CLK}의 위상잡음 $S_{\Phi,CLK}(f)$의 영향을 받는다. DDS의 출력 주파수 F_{DDS}는 기준 클럭을 분주하여 출력하는 형태로, 위 식의 첫 번째 항과 같이 기준 클럭의 위상잡음에 비해 분주비의 제곱만큼 위상잡음이 변하여 출력된다. 식의 두 번째, 세 번째 항은 분주기에서 발생하는 flicker 잡음과 백색잡음이며, 이는 소자에 따라 조금씩 달라진다. 네 번

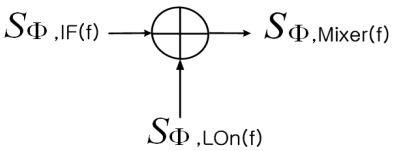

그림 5. 혼합기의 잡음원
Fig. 5. Noise source of a mixer.

째 항은 DAC에 의한 잡음이며, DAC의 비트 수(D)와 DDS의 출력 주파수에 의해 잡음의 크기가 결정된다. 따라서 DDS의 위상잡음을 개선하기 위해서는 우수한 위상잡음을 갖는 기준 클럭을 사용해야 하며, 높은 비트 수의 DAC를 사용해야 한다.

DDS의 출력이 체배기를 통과했을 때의 위상잡음은 아래 식 (6)과 같다[7].

$$S_{\Phi,DDS}(f)+S_{\Phi,Mult_n}(f)\approx M^2\times S_{\Phi,DDS}(f) \quad (6)$$

체배기를 통과할 경우, 체배기의 체배항이 M일 때, 20 log$M$만큼 DDS의 위상잡음이 열화가 되는 것을 알 수 있다.

혼합기의 잡음원은 그림 5와 같이 나타낼 수 있다.

혼합기의 위상잡음을 계산하기 위해서는 입력 신호의 위상잡음 전력 스펙트랄 밀도 $S_{\Phi,IF}(f)$와 국부 발진 신호의 위상잡음 전력 스펙트랄 밀도 $S_{\Phi,LO_n}(f)$를 모두 고려해야 한다. 이 때 혼합기의 위상잡음을 아래 식 (7)로 나타낼 수 있다.

$$S_{\Phi,Mixer}(f)\approx S_{\Phi,IF}(f)+S_{\Phi,LO_n}(f) \quad (7)$$

일반적으로 입력신호의 위상잡음과 국부 발진 신호의 위상잡음의 합이 혼합기의 flicker 잡음보다 매우 크기 때문에, 위와 같은 근사식으로 표현할 수 있다.

DDS와 체배한 DDS, 국부발진신호, 주파수 합성기의 출력에 대한 각각의 위상잡음 분석 결과를 그림 6에 보였다. 체배한 DDS 모듈의 위상잡음과 국부발진신호의 위상잡음은 혼합기를 통한 주파수 변환과정에서 합쳐지게 된다. 그림 6에 나타낸 위상잡음 분석 결과는 −105 dBc @ 1 kHz, −107 dBc @ 10 kHz, −112 dBc @ 100 kHz로서 위상 잡음 요구 성능을 만족하였다. 그리고 분석 결과로부터 주파수 합성기의 위상잡음은 전 주파수 대역에서

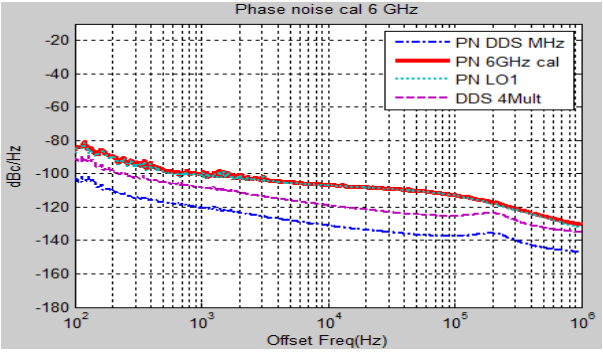

그림 6. 주파수 합성기 6 GHz 위상잡음 분석 결과
Fig. 6. Calculated phase noise result of the frequency synthesizer at 6 GHz.

DDS의 위상잡음보다는 국부발진신호의 위상잡음에 큰 영향을 받음을 확인할 수 있다.

Ⅳ. 제작 및 측정

그림 7에 제작한 주파수 합성기를 나타내었다. 제작된 주파수 합성기의 크기는 25×22 cm^{2}이다.

제작된 주파수 합성기의 불요신호는 Agilent 사의 Signal Analyzer E4440A를 사용하여 측정하였고, 6 GHz, 13 GHz 주파수에서 측정한 불요신호를 그림 8과 그림 9에 각각 나타내었다.

그림 10에 주파수 합성기의 동조시간 측정 결과를 나타내었다. 동조 속도는 Agilent 사의 Infinium 오실로스코프를 사용하여 측정하였다.

제작된 주파수 합성기는 측정 결과, 6~13 GHz의 주파

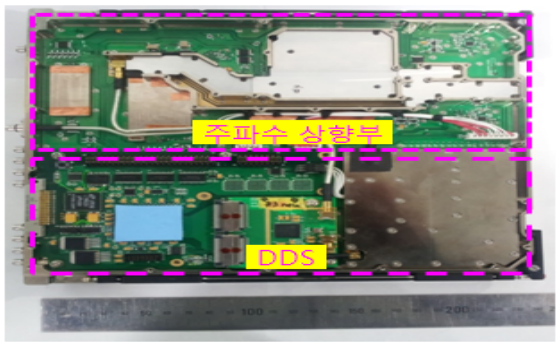

그림 7. 제작한 주파수 합성기
Fig. 7. The fabricated frequency synthesizer.

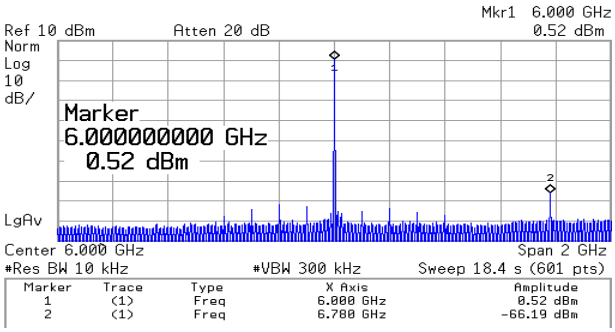

그림 8. 주파수 합성기의 6 GHz 불요신호 측정 결과
Fig. 8. Measured spurious result of the frequency synthesizer at 6 GHz.

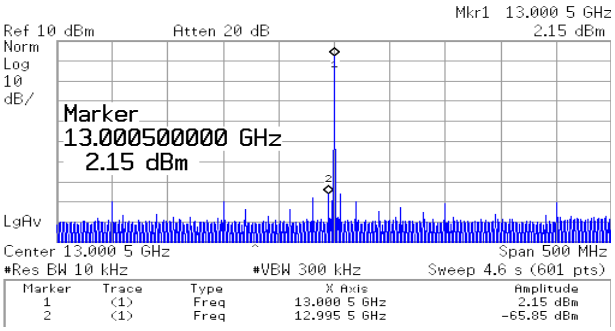

그림 9. 주파수 합성기의 13 GHz 불요신호 측정 결과
Fig. 9. Measured spurious result of the frequency synthesizer at 13 GHz.

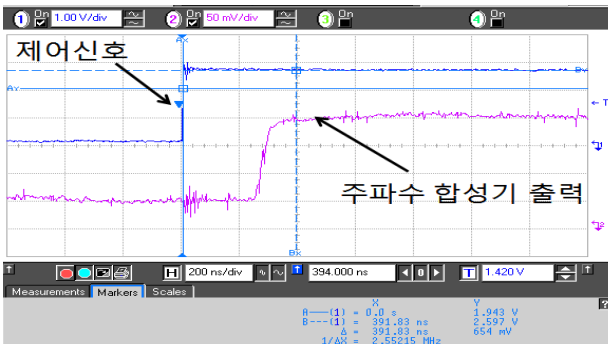

그림 10. 제작된 주파수 합성기 동조 속도 측정 결과
Fig. 10. Measured settling time of the frequency synthesizer.

수 대역을 갖고, 0.5 μs 이하의 동조 속도를 갖는다. 또한, 주파수 합성기의 불요신호는 6~13 GHz의 주파수 대역에 대해 1 GHz 주파수 간격으로 측정하였고 −50 dBc 이하의 불요신호 크기 특성을 갖는 것을 확인하였다.

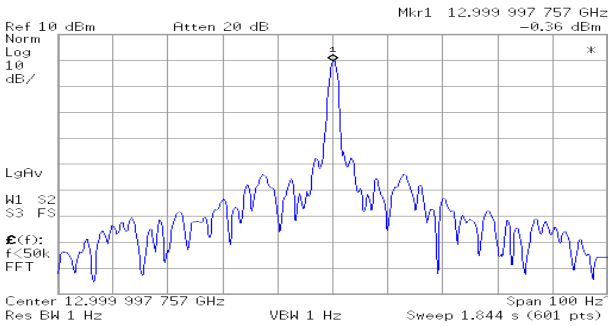

그림 11. 주파수 합성기의 13 GHz 주파수 정확도 측정 결과
Fig. 11. Measured frequency accuracy result of the frequency synthesizer at 13 GHz.

그림 11에 주파수 정확도 측정 결과를 나타내었다. 주파수 합성기의 주파수 정확도는 주파수 안정도가 0.1 PPM인 10 MHz 기준 신호를 주파수 합성기에 입력한 상태에서 측정하였다. 이 때 주파수 오차는 제어 PC에서 설정한 출력 주파수 제어 값 대비 스펙트럼 분석기에서 실제 측정된 출력 주파수를 서로 비교하여 확인하였다.

주파수 합성기의 이론적인 주파수 오차는 6 GHz에서 600 Hz이고, 최대 주파수인 13 GHz에서는 1.3 kHz이며, 측정 결과는 각각 675 Hz, 1.24 kHz로서 이론적인 값에 근사하게 측정되었다.

주파수 합성기의 주파수 해상도는 주파수 합성기의 신호원인 DDS 주파수를 1 bit 증가시켰을 때 주파수 합성기의 출력 주파수의 변화량을 측정하였다. 주파수 합성기의 주파수 해상도는 4 체배 주파수인 6 GHz와 6 체배 주파수인 8 GHz에 대해 측정하였고, 측정 결과 약 18.2 kHz, 27.5 kHz임을 확인하였다. 4 체배 주파수인 6 GHz에서 측정한 주파수 해상도 측정 결과를 그림 12에 보였다.

그림 13에 6 GHz에 대한 주파수 합성기의 위상잡음 측정 결과와 계산 결과를 함께 나타내었고, 표 3에 위상잡음 측정 결과와 계산 결과를 비교하여 나타내었다. 위상잡음 측정은 Agilent 사의 Signal Source Analyzer E5052B를 사용하였다.

표 3에 나타낸 것과 같이 위상잡음 측정 결과와 계산 결과가 최대 4 dB의 오차를 보이나, 유사하게 나오는 것을 확인하였고, 측정 결과는 목표 규격을 만족하였다.

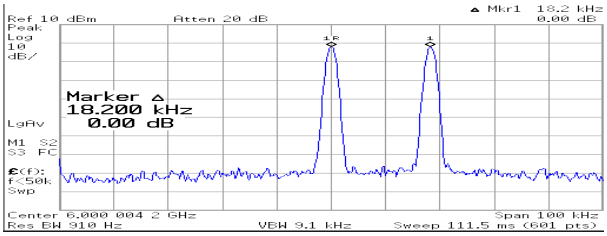

그림 12. 주파수 합성기의 6 GHz 주파수 해상도 측정 결과
Fig. 12. Measured frequency resolution result of the frequency synthesizer at 6 GHz.

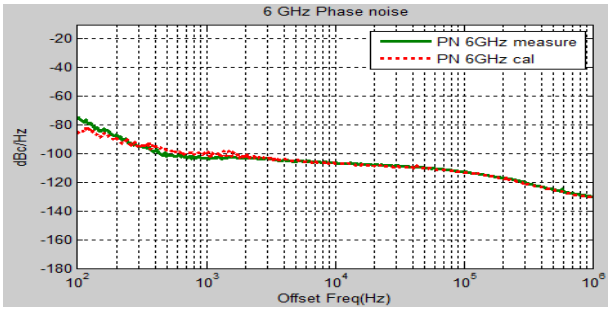

그림 13. 주파수 합성기 6 GHz 위상잡음 측정 결과
Fig. 13. Measured phase noise result of the frequency synthesizer at 6 GHz.

표 3. 주파수 합성기의 위상잡음 계산 및 측정 결과
Table 3. Measured and simulated phase noise of the frequency synthesizer.

주파수	계산 /측정	Phase noise(dBc/Hz)		
		1 kHz	10 kHz	100 kHz
6 GHz	계산	−105	−107	−112
	측정	−102	−107	−113
9 GHz	계산	−104	−108	−112
	측정	−103	−107	−113
13 GHz	계산	−105	−107	−112
	측정	−101	−106	−112

Ⅴ. 결 론

본 논문에서는 6~13 GHz의 광대역 고속 주파수 합성기를 설계 및 제작하였다. 제작된 주파수 합성기의 주파수 분해능은 30 kHz 이하, 위상잡음은 최고 주파수에서 −106 dBc @ 10 kHz 이하, 주파수 정확도는 ±2 kHz 이하, 주파수 동조 속도는 500 ns 이하로 측정되었고, 요구 성능을 모두 만족하였다. 위상잡음 특성의 경우, 시뮬레이션 결과와 측정 결과가 유사함을 확인하였다. 제작된 광대역 주파수 합성기의 출력 주파수 범위는 6 ~13 GHz이나, 부가적인 LO 신호와 믹서를 활용하여 18 GHz 범위까지 확장도 가능하며, 고속 동조 속도, 좁은 주파수 분해능, 정확도 특성을 동시에 보유하고 있어 향후 고속 전파 모니터링용 수신기에 적용 가능할 것으로 판단된다.

References

[1] Planar Monolithics Industries, Website, July 2014, http://www.pmi-rf.com/Products/dto/DTO-2G6G-CD-1.htm
[2] V. F. Kroupa, *Frequency Synthesis Theory, Design & Applications*, John Wiley & Sons, Inc, 1972.
[3] 이규송, 전계익, 오승엽, "ELINT 장비용 광대역 초고속 고정밀 주파수 합성기 설계 및 구현", 한국전자파학회논문지, 20(11), pp. 1178-1185, 2009년 11월.
[4] B. Goldberg, *Digital Frequency Synthesis Demystified*, LLH Technology Publishing, 1999.
[5] R. G. Still, "The enhancement of spurious signals in non-linear frequency multipliers", *Radio and Electronic Engineer*, vol. 43, no. 4, pp. 249-252, Apr. 1973.
[6] 권건섭, 이성재, "DDS Driven PLL 구조 주파수 합성기의 위상잡음 분석", 한국전자파학회논문지, 19(11), pp. 1272-1280, 2008년 11월.
[7] 김동식, 이행수, 김종필, 김선주, "DAC를 적용한 DDS driven offset PLL 모델링 및 설계", 한국인터넷방송통신학회논문지, 12(5), 2012년 10월.

박 범 준
2000년 2월: 충남대학교 전파공학과 (공학석사)
2001년 1월~현재: 국방연구소 선임연구원

박 동 철
1974년 2월: 서울대학교 전자공학과 (공학사)
1976년 2월: 한국과학기술원 전기전자공학과 (공학석사)
1984년 12월: University of California, Santa Barbara (공학박사)
1976년~현재: 충남대학교 전파공학과 교수
〈상세 저자 약력은 한국전자파학회 논문지 2014년 12월호 참조〉