

## 고속 주파수 합성기용 광대역 DDS 모듈

# A Wideband DDS Module for High-Speed Frequency Synthesizer

박 범 준 · 박 동 철\*

Beom-Jun Park · Dong-Chul Park\*

### 요 약

본 논문에서는 0.5~1.1 GHz 주파수 범위를 갖는 광대역 DDS(Direct Digital Synthesizer) 모듈의 설계 및 제작 결과에 대해 기술하고자 한다. 600 MHz 대역폭을 갖는 광대역 DDS 구현을 위해 DDS의 클럭을 2.4 GHz로 선정하였다. 광대역 DDS의 불요 신호(spurious) 특성을 개선하기 위해 출력 불요신호 대비 크기가 같고, 역위상을 갖는 여러 개의 신호들을 동시에 발생시킨 후 DDS 내부에서 출력 신호와 합성하였다. 제작된 DDS 모듈의 불요신호는 상용 DDS 대비 10 dB 정도 개선되었고, DDS 모듈의 동조 속도는 340 ns 이하임을 확인하였다.

### Abstract

In this paper, a wideband DDS module covering the frequency range from 0.5 to 1.1 GHz was designed and fabricated. The clock frequency of the DDS was selected 2.4 GHz in order for 600 MHz output bandwidth. Multiple spurious cancelling signals having same amplitude and 180 ° phase difference compared to the spurious were created at the additional path and added to the output signal within DDS for the spurious performance improvement. The fabricated DDS module showed better spurious performance than the commercial DDS one more than 10 dB and frequency tuning time was 340 ns below.

Key words: Wideband Synthesizer, DDS, Spurious Cancellation

## I. 서 론

출현 시간이 짧은 무선신호를 탐지해야 하는 전파 모니터링용 광대역 수신장치는 주파수 해상도가 우수하며, 넓은 주파수 범위의 출력 신호를 고속으로 발생시킬 수 있는 주파수 합성기를 필요로 한다. 그리고 광대역 수신장치는 넓은 순시 대역폭(instantaneous bandwidth)으로 인해 다양한 신호세기를 갖는 신호가 동시에 유입되므로 넓은 순시 동적범위를 가져야 하며, 이로 인해 불요신호 특성이 아주 우수한 주파수 합성기가 요구된다.

최근 고속의 DAC(Digital-to-Analog Converter)를 이용한 주파수 직접합성기술의 발달로 DDS를 이용한 광대역 고속/정밀 주파수 합성이 가능하지만, 신호의 디지털 합성으로 인한 특유의 불요신호를 포함하게 된다<sup>[1]</sup>.

본 연구에서는 고속 DAC를 이용하고, Feedforward 개념을<sup>[2],[3]</sup> 적용하여 불요신호 특성을 개선함으로써 상용 DDS보다 불요신호 특성이 우수하고, PLL(Phase-Locked Loop) 보다 빠른 주파수 합성시간과 정밀한 주파수 해상도를 보유한 광대역 DDS 모듈을 설계, 제작하였다. 제작된 DDS 모듈에 대한 출력 주파수 범위, 동조 속도를 측정

국방과학연구소(Agency for Defense Development)

\*충남대학교 전파공학과(Department of Radio Science & Engineering, Chungnam National University)

· Manuscript received August 29, 2014 ; Revised September 29, 2014 ; Accepted November 7, 2014. (ID No. 20140829-065)

· Corresponding Author: Dong-Chul Park (e-mail: dcpark@cnu.ac.kr)

하였고, 제작된 DDS 모듈과 유사한 주파수 범위를 갖는 상용 DDS와 불요신호 수준을 비교하여 성능을 검증하였다.

## II. 광대역 DDS 모듈 설계

전파 모니터링 장비에 적용되는 주파수 합성기는 주파수 합성 범위가 넓어 현재 기술의 DAC와 DDS로는 직접 합성이 불가능하며, DDS 출력과 주파수 체배기 및 주파수 혼합기를 이용하여 최종 신호를 합성하게 된다. 이 때 주파수 합성기의 하드웨어 구성을 간략화 하기 위해서는 DDS에서 가급적 넓은 범위의 신호를 합성해야 한다. 또한, 주파수 합성기는 광대역 수신장치의 고속 탐색을 위한 빠른 동조속도와 정밀 신호탐지를 위한 높은 주파수 해상도를 동시에 필요로 한다. 이를 만족하기 위한 광대역 DDS 모듈의 설계 목표는 표 1과 같다. 설계 목표는 일반 PLL보다 빠른 동조 속도와 더 정밀한 해상도를 가지며, 상용 DDS보다 향상된 불요신호 특성을 갖는다. 한편, DDS의 위상잡음 특성은 DDS를 구동하는 클럭신호의 위상 잡음 특성에 따라 좌우되기 때문에, 클럭신호의 위상 잡음 특성을 먼저 규정하여야 한다. DDS 위상잡음 성능은 표 2에 나타난 상용 계측기인 Agilent 8257D의 2.4 GHz 위상잡음 특성을 기준으로 설정하였다.

본 연구에서 설계한 광대역 DDS 모듈은 그림 1과 같이 상용 고속 DAC와 출력 주파수 합성을 위한 기본 주파수 합성부, DAC의 불요신호를 상쇄하여 억제하기 위한 보조 주파수 합성부, 불요신호를 제거하기 위한 필터뱅크로 구성된다. DDS의 출력 주파수 범위는 전적으로 DAC의

표 1. DDS 모듈 요구 성능

Table 1. Specification of DDS module.

항 목	규 격	단 위
출력 주파수	0.5~1.1	GHz
주파수 해상도	< 5	kHz
동조 속도	< 1	μs
불요신호	< -65	dBc
위상 잡음	@ 1 kHz	-100
	@ 10 kHz	-120
	@ 100 kHz	-125

표 2. DDS 클럭용 2.4 GHz 특성

Table 2. Performance of 2.4 GHz DDS clock.

항 목	규 격	단 위
출력 주파수	2.4	GHz
불요신호	< -65	dBc
위상잡음	@ 1 kHz	-99
	@ 10 kHz	-125
	@ 100kHz	-126

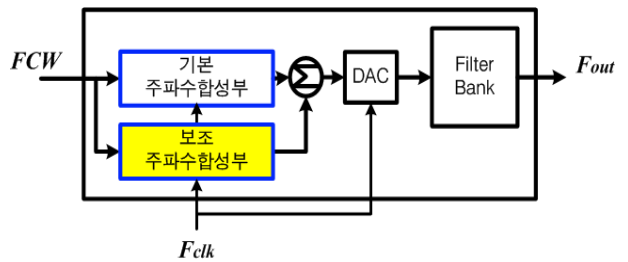


그림 1. 광대역 DDS 모듈 블록도

Fig. 1. Block diagram of wideband DDS module.

동작 속도에 의존하며, DAC 동작 클럭 주파수( $F_{clk}$ )의 절반을 중심으로 이미지 신호가 대칭으로 발생한다. 따라서, 요구 주파수 범위를 만족하기 위해 DAC는 최소 2.2 GHz 이상의 클럭에서 동작하여야 하며, 본 연구에서는 이미지 제거를 위한 아날로그 필터 특성을 고려하여 DAC 클럭 주파수를 2.4 GHz로 설정하였다. 동작 속도를 만족하는 범위에서 DAC의 불요신호 특성과 잡음특성이 가장 우수하도록 2.4 GHz에서 동작하는 14 비트(bit)의 해상도를 갖는 Analog Device사의 AD9739A를 적용하였다.

### 2-1 기본 주파수 합성부

기본 주파수 합성부를 포함한 DDS 구조로 일반적인 DDS 구조를 적용하였으며, 이 구조에 대한 블록도는 그림 2와 같다<sup>4)</sup>.

기본 주파수 합성부에서 발생하는 출력 주파수는 위상 누적기(phase accumulator)의 클럭당 위상 증가량인 FCW (Frequency Control Word)에 의해 결정되며, 출력 주파수 해상도는 위상 누적기의 위상 해상도, 즉 비트 수에 의해 결정된다. 기본 주파수 합성부의 주파수 해상도는 아래 식을 이용하여 구할 수 있으며, 위상 누적기 비트 수( $p$ )를

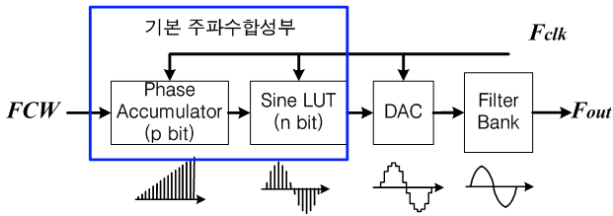


그림 2. DDS 모듈의 기본 주파수 합성경로 블럭도  
Fig. 2. Block diagram of DDS module's fundamental frequency synthesis path.

19 비트 이하로 구성하면 약 4.6 kHz의 출력 주파수 해상도를 가져 요구 성능을 만족한다.

$$\frac{F_{clk}}{2^p} = \frac{2.4 \times 10^9}{2^{19}} \approx 4.6 \times 10^3 \text{ Hz} \quad (1)$$

한편, DDS 모듈에서는 Sine LUT(Look Up Table)의 메모리 용량을 줄이기 위해 위상 누적기의 출력 비트 수를 축소하며, Sine LUT로 입력하며, 이 과정에서 위상 축약 오차(phase truncation error)가 발생한다. 위상 누적기 출력을 19 비트보다 작은  $n$  비트로 축약할 경우의 최대 위상 오차값은  $2\pi/2^{(n+1)}$ 이다. 이 때 위상 축약 오차가 DAC 동작 주파수와 출력 주파수의 관계에 의해 시간 영역에서 특정 패턴으로 발생할 경우, 불요신호를 발생시킨다. 우수한 성능의 DDS를 설계하기 위해서는 축약 오차에 따른 잡음 또는 불요신호의 전체 전력을 낮게 설정해야 한다. Sine LUT의 입력 비트 축약에 따른 잡음 또는 불요신호를 신호대비 100 dB 수준으로 낮게 설정하기 위해  $n$  값을 17 비트로 설정하였다. 그리고 Sine LUT의 출력은 DAC의 해상도에 일치하도록 14 비트로 설정하였다.

### 2-2 보조 주파수 합성부

DDS의 불요신호 성분은 위상 누적기 비트 수 제한에 따른 불요신호, DAC의 양자화 왜곡에 의한 불요신호, DAC 하모닉에 의한 불요신호 등으로 구분된다. 이상적인 DAC의 경우, 위상 축약에 의한 불요신호와 DAC 양자화 왜곡에 따른 불요신호는 비트당 6 dB씩 감소하기 때문에 19 비트 위상 누적기와 14 비트 DAC를 사용하면 표 1의 불요신호 성능을 손쉽게 만족할 수 있다. 하지만, 실제 제작된 DAC는 비선형 특성을 가지기 때문에 DAC의 하모닉에 의한 불요신호는 표 1의 규격값을 초과하는 크

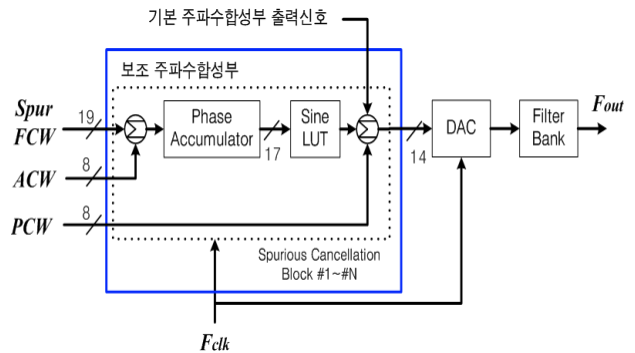


그림 3. DDS 모듈의 보조 주파수 합성경로 블럭도  
Fig. 3. Block diagram of DDS module's supplementary frequency synthesis path.

기로 발생한다. 본 논문에서는 DAC의 하모닉에 의한 불요신호를 제거하기 위해 Feedforward 기법을 활용하였다. 이 기법은 주로 마이크로웨이브 전력증폭기의 선형성을 개선하는데 사용되었고, 구체적으로는 전력증폭기의 출력 불요신호 대비 크기는 같고, 180도 위상차를 갖는 신호를 이용하여 전력증폭기의 불요신호 특성을 개선하는 방법이다. Feedforward 기법을 DDS에 적용하기 위해 출력 신호에 포함된 불요신호 대비 동일 크기이며, 역위상의 신호를 다중으로 발생할 수 있도록 그림 3과 같은 보조 주파수 합성부를 DDS 설계에 반영하였다.

다중의 불요신호 제거를 위한 보조 주파수 합성부는 2.4 GHz 고속 클럭 조건에서 동작시키기 위해 기본 주파수 합성부와 전체적으로는 유사한 신호 발생 구조를 갖는다. 부분적인 차이점은 불요신호 제거를 위해 출력 신호에 대한 신호세기와 위상 값을 제어한다는 점이며, 보다 세부적으로는 PCW(Phase Control Word) 값을 이용하여 불요신호 대비 180도 위상차를 갖도록 조정하고, ACW(Amplitude Control Word) 값을 이용하여 불요신호와 동일한 신호세기를 갖도록 조정한다. 이 때 보조 주파수 합성부의 위상 누적기 및 Sine LUT는 제한된 비트 수를 가지고 위상 및 세기값을 표현하기 때문에, 완벽하게 불요신호와 크기가 같고, 역위상 조건의 신호를 발생하기 어렵다. 즉, 불요신호 제거를 위해 발생시킨 신호는 불요신호 대비 어느 정도의 신호세기 오차와 위상 오차를 갖게 되어 불요신호를 완전히 제거하는 것이 아니라, 불요신호 성분을 줄이는 역할을 한다.

임의의 주파수 성분을 갖는 불요신호에 보조 주파수 합성부에서 생성된 신호가 더해질 때 최종적으로 출력되는 불요신호를 수식적으로 표현하면 식 (2)와 같다.

$$A \sin(\omega t + \theta) + A' \sin(\omega' t + \theta') = \alpha \sin(\gamma t + \beta) \quad (2)$$

여기서  $A$ ,  $\omega$ ,  $\theta$ 는 각각 불요신호의 세기와 주파수, 위상을 의미하며,  $A'$ 와  $\omega'$ ,  $\theta'$ 는 보조 주파수 합성부에서 발생된 불요신호 제거용 신호의 신호세기와 주파수, 위상을,  $\alpha$ 와  $\beta$ ,  $\gamma$ 는 감쇄된 불요신호의 크기와 위상, 주파수를 각각 의미한다. 이 때, 불요신호의 주파수  $\omega$ 는 기본 합성신호에 의해 발생하는 하모닉 성분의 이미지 신호로써, 보조 주파수 합성부를 이용하여  $\omega'$ 을 생성할 경우, 정확하게 불요신호와 불요신호 제거신호의 주파수를 정합할 수 있고,  $\gamma$  역시  $\omega$ 와 동일한 주파수가 된다.

$\alpha$ ,  $\beta$ 는 식 (3)과 같이 정리되며,  $A'$ 와  $A$ 가 동일하고,  $\theta'$ 가  $\theta$ 와 역위상( $\theta - \theta' = 180^\circ$ )의 관계일 때 불요신호를 완벽하게 상쇄할 수 있음을 알 수 있다.

$$\alpha = A \sqrt{1 + \left(\frac{A'}{A}\right)^2 + 2\left(\frac{A'}{A}\right) \cos(\theta - \theta')}$$

$$\beta = \arcsin((A \sin \theta + A' \sin \theta') / \alpha) \quad (3)$$

불요신호 대비 불요신호 제거 신호의 위상 오차 및 신호세기 오차에 따라 잔류하는 불요신호의 크기를 계산하였고, 그 결과를 감쇄량으로 그림 4에 나타내었다.

DDS 구성에 적용한 DAC의 불요신호 성능이 55 dBc이므로 목표로 하는 불요신호 규격 65 dBc을 만족하려면 최

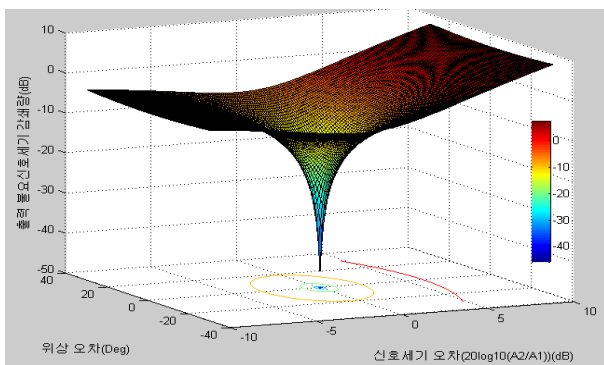


그림 4. 크기 및 위상 오차에 따른 불요신호 감쇄량  
Fig. 4. Spurious attenuation level vs. amplitude and phase error.

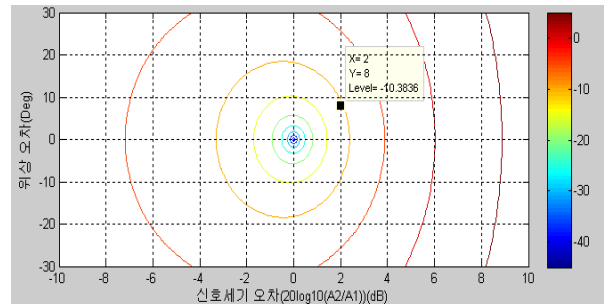


그림 5. 10 dB 불요신호 제거를 위한 크기 및 위상 조건  
Fig. 5. 10 dB spurious signal attenuation condition vs. amplitude error and phase difference.

소 10 dB 이상 불요신호를 감쇄하여야 한다. 위상 오차와 신호세기 오차가 함께 불요신호의 감쇄에 영향을 미치며, 불요신호를 10 dB 이상 줄이기 위해서는 그림 5와 같이 신호세기 오차가 약 2 dB 이내, 위상 오차 8 도 이내의 정확도로 불요신호 제거를 위한 신호를 생성할 수 있어야 한다. 따라서 본 논문에서는 불요신호 제거를 위해 발생하는 신호의 크기 해상도와 위상 해상도를 목표 불요신호 성능인 -65 dBc 기준으로 각각 0.2 dB 이하, 1.4 도 이하가 되도록 ACW와 PCW를 각각 8 비트로 설계하였다. 이 때 보조 주파수 합성부의 신호 발생 블록은 하드웨어 용량을 고려하여 5개를 병렬로 구성하였다.

DDS의 불요신호는 발생하는 출력 주파수에 따라 달라지므로, 제작된 기본 주파수 합성부와 DAC를 이용하여 출력 주파수별 불요신호의 크기와 주파수, 위상값을 미리 확인하여 목록화한다. 보조 주파수 합성부는 기본 주파수 합성부에서 생성하는 주파수에 따른 불요신호 목록을 확인하고, 불요신호 제거를 위한 신호의 주파수와 위상, 크기 정보를 이용하여 신호를 발생한다.

한편, 일반적인 DDS의 경우, DAC 출력단에 이미지 신호를 제거하기 위해 LPF 또는 BPF를 사용한다. 본 논문에서는 DDS 클럭의 이미지 신호뿐만 아니라, 인접 주파수에서 발생하는 불요신호를 부분적으로 제거하기 위해 그림 6과 같이 BPF와 RF 스위치로 구성된 필터 बैं크를 사용하였다. 이 때 필터 बैं크의 규격은 표 3과 같으며, 1.1 GHz 주파수 출력시 발생하는 DDS 클럭의 이미지 신호인 1.3 GHz를 불요신호 규격 이하인 70 dBc 수준으로 제거할 수 있도록 설정하였다.

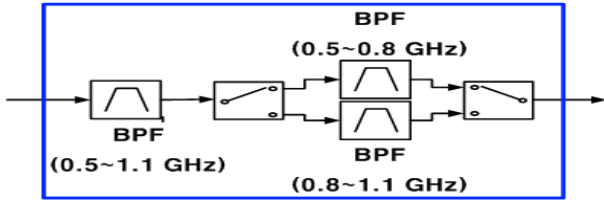


그림 6. DDS 모듈의 필터 बैं크 블럭도  
Fig. 6. Block diagram of DDS module's filter bank.

표 3. 필터 बैं크 규격

Table 3. Specification of filter bank.

구분	BPF 규격		
대역폭	0.5~0.8 GHz	0.8~1.1 GHz	0.5~1.1 GHz
감쇄 특성	50 dB @ 0.3 GHz	50 dB @ 0.6 GHz	50 dB @ 0.3 GHz
	50 dB @ 1 GHz	45 dB @ 1.3 GHz	30 dB @ 1.3 GHz

### III. DDS 불요신호 제거 시뮬레이션

본 연구에서는 광대역 고속 주파수 합성기용 DDS 모듈을 제작하기에 앞서 시뮬레이션을 통해 Feedforward 방식에 따른 불요신호 제거 성능을 검증하였다. 시뮬레이션은 매트랩 시뮬링크를 사용하여 DDS 2.4 GHz 클럭 및 위상 누적기와 Sine LUT의 비트 수를 모의하였다. 시뮬레이션에서는 불요신호 제거 성능 검증을 위해 3개의 불요신호 제거 블록을 사용하였다.

그림 7은 위상 축약 에러와 양자화 왜곡에 의한 불요신호, DAC 하모닉에 의한 불요신호를 모의한 DDS의 시뮬레이션 결과이다. 이 때 DAC 하모닉에 의한 불요신호는 DAC 성능자료에 나타난 불요신호 세기를 참고하여 4차 하모닉까지 고려하여 시뮬레이션 하였다. 출력 주파수 ( $F_{out}$ )가 1,060 MHz이고, DDS 클럭이 2.4 GHz일 때, 2차 하모닉에 의한 불요신호( $F_{clk} - 2F_{out}$ ) 주파수는 280 MHz이고, 3차 하모닉에 의한 불요신호( $3F_{out} - F_{clk}$ ) 주파수는 780 MHz이며, 4차 하모닉에 의한 불요신호는 560 MHz이다. 2차 및 4차 하모닉에 의한 불요신호는 0.8 ~ 1.1 GHz BPF에 의해 제거되지만, 3차 하모닉에 의한 불요신호는 필터 बैं크에서 충분히 제거되지 않는다. 그림 7의 시뮬레이션 결과로부터 DDS 모듈의 불요신호 성능

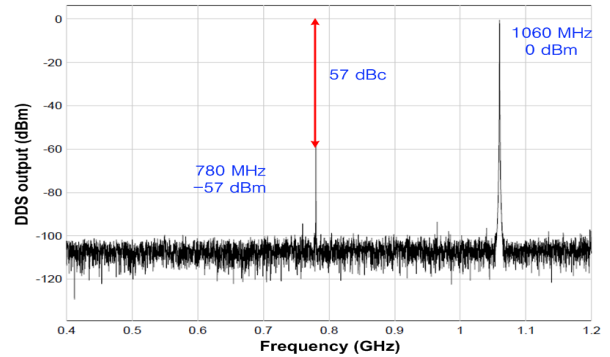


그림 7 1,060 MHz DDS 출력  
Fig. 7. DDS output at 1,060 MHz.

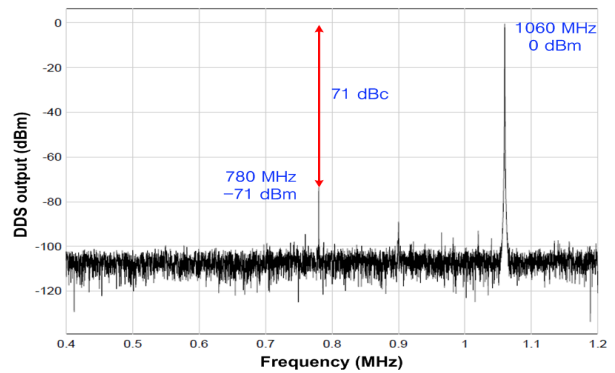


그림 8. 불요신호를 제거한 1,060 MHz DDS 출력  
Fig. 8. DDS output with spurious cancellation at 1,060 MHz.

이 DAC 하모닉에 의한 불요신호로 인하여 크게 줄어든 것 확인할 수 있다.

본 논문에서 적용한 Feedforward 방식에 따른 불요신호 제거 후 시뮬레이션 결과를 그림 8에 나타내었다. 그림 8의 시뮬레이션 결과로부터 DDS의 잡음 레벨은 크게 변동이 없고, 불요신호 성능이 그림 7에 비해 10 dB 이상 개선됨을 확인하였다.

### IV. 제작 및 측정

그림 9에 제작한 광대역 고속 주파수 합성기용 DDS 모듈을 나타내었다. DDS의 크기는 140×110 mm<sup>2</sup>이고, 필터 बैं크의 크기는 80×110 mm<sup>2</sup>이다. 제작된 DDS 모듈에 대해 출력 주파수 범위, 주파수 해상도, 불요신호, 동조 속도를 측정하였다. 그림 10은 DDS 모듈에 대한 불요신호

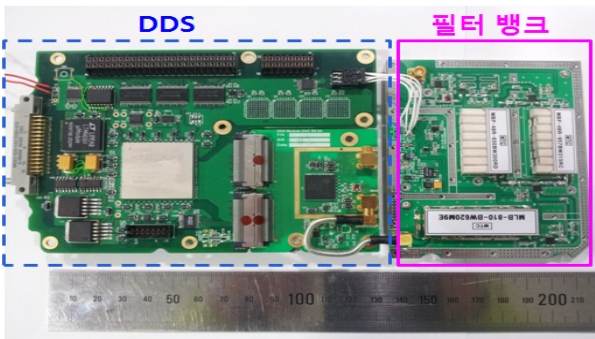


그림 9. 제작된 DDS 모듈  
Fig. 9. Fabricated DDS module.

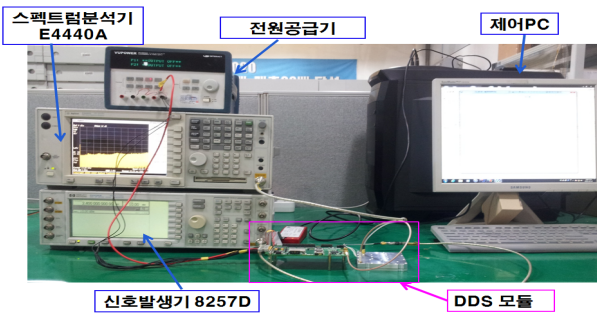


그림 10. 제작된 DDS 모듈 측정  
Fig. 10. Measurement of the fabricated DDS module.

측정 장면으로서, 신호발생기는 DDS 구동 클럭 발생 용도로 Agilent 사의 8257D를 사용하였고, 스펙트럼분석기는 E4440A를 사용하였다.

제작된 DDS 모듈 성능을 0.5 GHz에서 1.1 GHz까지 10 MHz 주파수 간격으로 측정하였고, 그 결과를 그림 11에 나타내었다. 측정 결과로부터 DDS 모듈은 0.5~1.1 GHz의 출력 주파수 범위를 가지며, 출력 평탄도는 2.5 dB 수준임을 확인하였다. DDS 모듈의 주파수 해상도 측정을 위해 출력 주파수를 1.099996 GHz로 설정한 상태에서 FCW를 1 비트 감소시켰고, 출력 주파수가 식 (1)과 같이 4.6 kHz 이하로 변화하는 것을 확인하였다.

그림 12와 그림 13은 1,059.9 MHz 주파수에 대한 DDS 모듈의 불요신호 제거 전과 제거 후의 측정 결과이다. 불요신호 제거 전의 경우, 출력 신호 대비 가장 큰 불요신호와의 차이가 59.5 dBc이었지만, 불요신호 제거 후에는 불요신호가 약 69.5 dBc로 10 dB 정도 더 감쇄되었다.

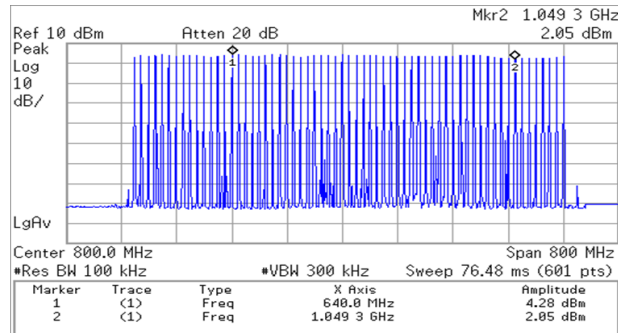


그림 11. DDS 모듈의 출력 주파수 범위 측정 결과  
Fig. 11. Measured output frequency range of the DDS module.

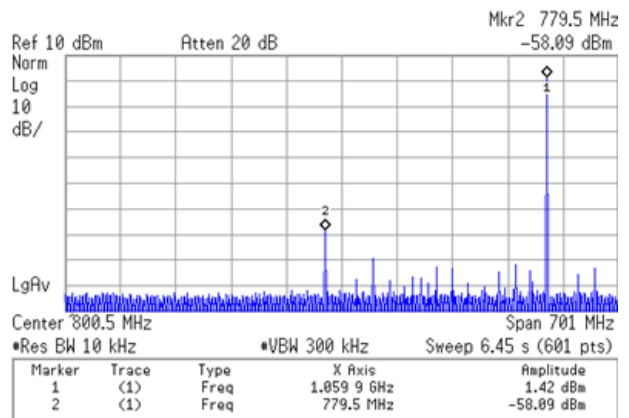


그림 12. 불요신호 제거 전 DDS 모듈 측정 결과  
Fig. 12. Measured output of DDS module without spurious cancellation.

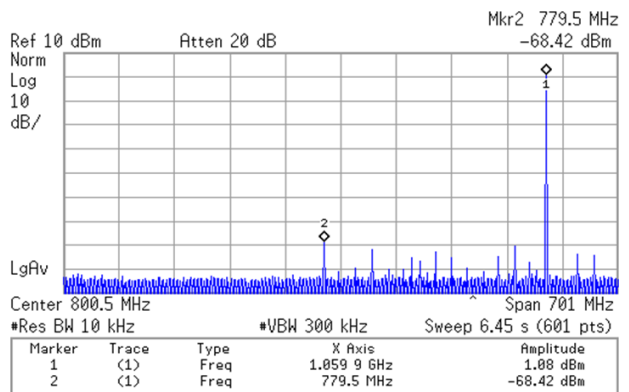


그림 13. 불요신호 제거 후 DDS 모듈 측정 결과  
Fig. 13. Measured output of DDS module with spurious cancellation.

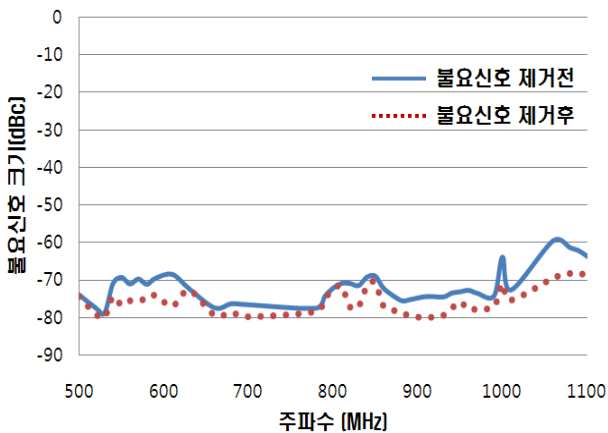


그림 14. 제작된 DDS 모듈의 불요신호 제거 전/제거 후 측정 결과 비교

Fig. 14. Comparison of the measured results of the fabricated DDS module with/without spurious cancellation.

그림 14는 0.5~1.1 GHz 범위에 대해 DDS 모듈의 불요신호 제거 전과 제거 후의 불요신호 세기를 측정된 결과이다. DDS 모듈의 불요신호 성능은 2.4 GHz 클럭 특성에 따라 좌우된다. 본 논문에서는 Agilent 8257D 신호발생기를 이용하여 -65 dBc 이하의 불요신호 성능을 갖는 2.4 GHz 클럭 신호를 DDS 모듈에 입력하여 측정하였다. 불요신호 크기를 -65 dBc 이하로 낮추기 위해 불요신호를 제거한 결과이며, 이에 따라 약 1~10 dB 정도의 불요신호가 줄어든 것을 확인할 수 있다. 보다 세밀하게 ACW와 PCW를 조절한다면 불요신호를 더욱 낮출 수 있으나, 이는 시간이 오래 걸리는 단점이 있고, 이미 불요신호 요구 성능을 만족하였기에 추가적인 불요신호 제거를 위한 측정을 수행하지 않았다.

그림 15에는 측정된 DDS 모듈의 주파수 동조 속도를 나타내었다. 이 때 제어 PC에서 전송한 제어신호가 DDS 모듈에 수신된 시점 기준으로 DDS 모듈에서 신호를 합성하여 출력하는데 까지 소요되는 시간을 측정하였다. 모듈의 측정된 동조속도는 310 ns 이하로서, 표 1의 규격을 만족하는 것을 확인하였다.

그림 16에 DDS 모듈의 1,100 MHz 위상잡음 측정 결과를 나타내었다. 위상잡음 측정은 Agilent 사의 Signal Source Analyzer E5052A를 사용하였다. 이 때 2.4 GHz 클럭



그림 15. 제작된 DDS 모듈의 동조 속도 측정 결과  
Fig. 15. Measured settling time of the DDS module.

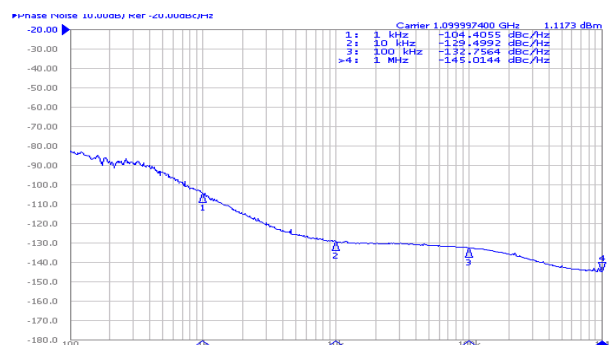


그림 16. 1,100 MHz DDS 출력 위상잡음 측정 결과  
Fig. 16. Measured phase noise result of DDS output at 1,100 MHz.

신호는 Agilent 8257D 신호발생기를 이용하여 발생한 후 DDS 모듈에 입력하여 위상잡음 특성을 측정하였다.

그림 16에 나타난 위상잡음 측정 결과는 -104 dBc @ 1 kHz, -129 dBc @ 10 kHz, -132 dBc @ 100 kHz 로서 위상 잡음 규격을 만족하였다. 그리고 제작된 DDS 모듈의 위상잡음 성능은 기준 클럭의 위상잡음 특성에 좌우되며, 보다 우수한 위상잡음을 갖는 2.4 GHz 기준 클럭을 사용할 경우, 그림 16의 측정 결과보다 개선될 수 있다.

### V. 결 론

본 논문에서는 광대역 고속 주파수 합성기 구성에 필요한 0.5~1.1 GHz의 출력 주파수 범위를 갖는 DDS 모듈을 설계 및 제작하였다. 설계된 DDS 모듈은 600 MHz의 넓은 출력 주파수 범위를 보유하고 있음을 측정을 통해

확인하였고, 측정된 DDS 모듈의 불요신호 성능은 상용 DDS인 AD9915<sup>[5]</sup>에 비해 불요신호 성능이 10 dB 정도 향상되었다. 또한, DDS 모듈의 해상도는 5 kHz 이하이며, 동조속도는 310 ns 이하로서 고속 주파수 동조가 가능함을 확인하였다. 본 연구를 통해 제작된 DDS 모듈은 유사한 주파수 범위를 갖는 상용 제품 대비 크기가 크고, 주파수 분해능 성능이 낮지만, 불요신호 성능이 상당 부분 개선되었다.

제안된 DDS 모듈은 제시된 목표 규격을 만족하였고, 상용품에 비해 불요신호 특성이 우수하여 각종 군용 및 민수용 전파 모니터링 분야의 광대역 고속 주파수 합성기에 적용이 가능할 것으로 판단된다.

### References

[1] J. A. Crawford, *Frequency Synthesizer Design Handbook*, Arctech House, 1994.  
 [2] J. Bennett, R. F. Clements, "Feedforward an alternative approach to amplifier linearization", *Radio and Electronic Engineer*, vol. 44, no. 5, pp. 257-262, May 1974.  
 [3] M. A. Honarvar, M. N. Moghaddasi, and A. R. Eskandari, "Power amplifier linearization using feedforward technique for wide band communication system", *2009 IEEE International Symposium on Radio-Frequency Integration Technology*, pp. 72-75, Nov. 2009.  
 [4] B. Goldberg, *Digital Frequency Synthesis Demystified*, LLH Technology Publishing, 1999.  
 [5] Analog Device Inc., "AD9915 Data Sheet", [www.analog.com/static/imported-files/data\\_sheets/AD9915.pdf](http://www.analog.com/static/imported-files/data_sheets/AD9915.pdf)

### 박 범 준



1994년 2월: 충남대학교 전자공학과 (공학사)  
 2000년 2월: 충남대학교 전파공학과 (공학석사)  
 2001년 1월 ~ 현재: 국방과학연구소 선임연구원  
 2011년 9월 ~ 현재: 충남대학교 전파공학

과 박사과정

[주 관심분야] 초고주파 수신기, 주파수합성기 등

### 박 동 철



1974년 2월: 서울대학교 전자공학과 (공학사)  
 1976년 2월: 한국과학기술원 전기전자공학과 (공학석사)  
 1984년 12월: University of California, Santa Barbara (공학박사)  
 1977년 ~ 1978년: Ruhr University, Bochum,

Germany 방문교수

1994년 ~ 1998년: IEEE MTT Korea Chapter Chairman

1998년 ~ 2001년: IEEE EMC Korea Chapter Chairman

2000년 ~ 2001년: 한국전자과학회 회장

2005년 ~ 2007년: 대덕 Wireless 포럼 회장

1976년 ~ 현재: 충남대학교 전파공학과 교수

[주 관심분야] Microwave and Millimeterwave Passive Components, Antennas, EMI/EMC