

VHF 대역 해상 디지털 통신용 $\pi/4$ -DQPSK 모뎀 구현

Implementation of $\pi/4$ -DQPSK Modem for Maritime Digital Communication in VHF Band

곽재민

목포해양대학교 해양정보통신공학과

Jaemin Kwak

Department of Information and Communication Engineering, Mokpo National Maritime University, Jeollanam-do 530-729, Korea

[요 약]

ITU-R M.1842-1은 해상 이동 서비스를 위한 RR Appendix 18 채널에서 VHF 대역의 디지털 통신의 가이드라인을 제공하는 국제 권고안이다. 본 논문에서는 ITU-R M.1842-1 Annex 1에서 제시하는 28.8 kbps급 $\pi/4$ -DQPSK 디지털 기저대역 모뎀을 시뮬레이션 하고, FPGA로 설계 및 구현한다. 권고안에 패킷구조가 아직 정의되지 않은 상태이므로 패킷검출 및 동기화를 위해 Cyclic Prefix를 프리앰블로 사용한다. 기저대역 변복조 모뎀은 VHDL로 설계되어 자이링스사의 Atrix7 FPGA 칩이 장착된 NEXYS4 개발 플랫폼에 구현된다. 무선 통신 테스트를 수행하기 위해 ADC/DAC 보드를 제작하고, RF모듈로서 EV9730을 장착하여 통합 프로토타입을 구현하고 실험한다. 권고안에 정의된 바와 같이 송수신신호는 25 kHz 대역폭을 유지하고, 송수신 플랫폼간 통신이 정상적으로 이루어짐을 실험을 통해 확인한다.

[Abstract]

Rec. ITU-R M.1842-1 is international recommendation for VHF band communication guideline in maritime mobile service RR Appendix 18 channels. In this paper, we simulate 28.8 kbps VHF $\pi/4$ -DQPSK digital baseband modem compatible with the recommendation, then it is designed and implemented with FPGA. Cyclic Prefix sequence is used as a preamble since packet format is not defined until now in the recommendation. Baseband modem is designed by VHDL language and implemented on NEXYS4 development platform having Atrix7 FPGA chip from Xilinx. For wireless communication test of total prototype system, ADC/DAC board is implemented and EV9730 RF module is utilized. From the experimental results, implemented FPGA modem shows spectral bandwidth of 25 kHz and successful data exchanges between tx and rx communication platform.

Key word : Very high frequency, $\pi/4$ -differential quadrature phase shift keying, Very high speed integrated circuit hardware description language, International telecommunication union radiocommunication sector M.1842-1.

<http://dx.doi.org/10.12673/jant.2014.18.6.541>



This is an Open Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License (<http://creativecommons.org/licenses/by-nc/3.0/>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.

Received 4 November 2014; Revised 24 November 2014

Accepted (Publication) 12 December 2014 (30 December 2014)

*Corresponding Author ; Jaemin Kwak

Tel: +82-61-240-7268

E-mail: kjm@mmu.ac.kr

I. 서론

IMO(International Maritime Organization)는 해상통신 시스템의 운용 및 성능 등에 관한 표준을 제정하기 위한 국제기구로서 국제 해상조난 안전시스템인 GMDSS(global maritime distress and safety system)와 e-Navigation 등의 개발을 주도하고 있다[1]. GMDSS의 고도화 및 현대화의 필요성이 제기됨에 따라, IMO는 전세계적으로 호환가능한 해상 무선 통신 프레임워크를 구축하여 음성 및 데이터를 효율적으로 전송하고 체계적인 해상조난 안전을 위해 2006년에 e-Navigation 전략을 수립하였다. e-Navigation 전략에 따른 해상이동 서비스를 제공하기 위해 MF/HF/VHF 대역에서 해상통신의 디지털화를 위한 작업이 진행되고 있다.

해상 통신에 있어서 VHF 대역의 전파는 주로 가지거리 내인 100Km 미만의 항만이나 연안을 향하는 선박을 대상으로 하는 무선 데이터 서비스에 이용될 수 있다. VHF 대역의 디지털 통신에 관련하여 ITU-R은 2007년 WP8B 회의에서 Recommendation ITU-R M.1842-1을 승인하고 VHF 대역의 디지털 통신방식을 Annex1~4로 제시하였다[2]. Annex1에서는 VHF대역의 해상이 동업무용 주파수 채널을 정의한 RR Appendix18(전파규칙 부록 18)의 25 kHz의 주파수 대역에서 $\pi/4$ -DQPSK 변조방식을 사용하여 28.8 kbps의 비트율, 또는 $\pi/8$ -DQPSK 변조방식을 사용하여 43.2 kbps의 비트율을 제공하도록 정의되어 있다[3]. 현재, VHF 대역용 상용 RF칩은 제공되고 있으나, 디지털 기저대역 모뎀 전용 $\pi/4$ -DQPSK 칩은 별도로 제공되는 것이 확인되지는 않고 있다.

본 논문에서는 $\pi/4$ -DQPSK 변조 방식을 채용하는 28.8 kbps 급 VHF 대역 해상통신용 디지털 모뎀을 FPGA(field programmable gate array)로 구현하고, 무선통신 통합테스트를 위해 RF 모듈 및 ADC/DAC 보드를 통합 설계 제작하여 통신테스트 과정 및 결과를 제시하고 결론을 맺는다.

II. 시스템 모델

수신부 $\pi/4$ -DQPSK 변조방식은 육상통신에서 기존에 IS-54 표준에 사용되었던 방식으로, 차동검파 방식을 적용하므로 페이딩 환경에서 우수하고 구현의 복잡도가 낮다는 장점이 있으며, 기존의 QPSK 방식보다 스펙트럼 효율이 높은 점이 특징이다[4],[5]. 그림1은 본 논문에서 구현한 디지털 모뎀의 시스템 모델이다.

송신부는 기본적으로 DATA I/P를 통해 데이터스트림이 입력되고, 입력 데이터는 직병렬 변환기를 통해 홀수비트는 상위 경로(I)로, 짝수비트는 하위 경로(Q)로 분배되어 신호 매핑부로 인가된다. 신호매핑부에서는 I와 Q를 통해 입력된 두비트 b_{i1} b_{i2} 로를 이용하여 표1의 차동위상시프트에 의거하여 I채널 매핑신호 $I(i)$ 와 Q채널 매핑신호 $Q(i)$ 를 생성해낸다.

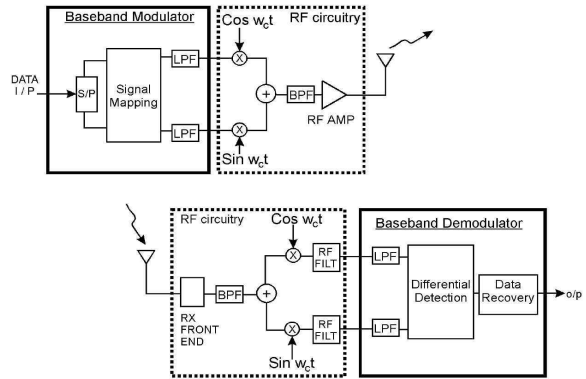


그림 1. 시스템 모델
 Fig. 1. System model.

표 1. $\pi/4$ -DQPSK에서의 차동 위상 시프트
 Table 1. Differential phase shift in $\pi/4$ -DQPSK.

정보심볼들 b_{i1} b_{i2}	차동위상시프트 $\Delta\theta_i$
0 0	$\pi/4$
0 1	$3\pi/4$
1 0	$-\pi/4$
1 1	$-3\pi/4$

$$I(i) = I(i-1)\cos(\Delta\theta_i) - Q(i-1)\sin(\Delta\theta_i) \quad (1)$$

$$Q(i) = I(i-1)\sin(\Delta\theta_i) + Q(i-1)\cos(\Delta\theta_i)$$

여기서, $I(i)$ 와 $Q(i)$ 는 $\pi/4$ -DQPSK 변조된 i 번째 심볼구간의 동위상성분과 직교위상성분을 나타내며, $\Delta\theta_i$ 는 $i-1$ 번째 심볼과 i 번째 심볼의 위상차를 낸다.

그림 1은 본 논문에서 개발한 VHF 통신모뎀의 시스템 모델이다. 신호매핑부의 I출력과 Q출력은 RRC(root raised cosine) 필터를 통과하여 펄스성형된 후 DAC 회로를 통해 아날로그 신호로 변환되고, RF 회로를 거쳐 VHF 대역으로 천이되어 안테나를 통해 전송된다.

수신부는 안테나를 통해 입력되는 VHF 대역 변조 신호를 받아 RF 모듈에서 다운컨버전을 시켜서 기저대역 아날로그 신호로 변환한다. 이 신호는 ADC 회로를 거쳐 디지털 신호로 변환되고, 기저대역 복조기에서는 RRC 필터를 거친 후 수신심볼들간의 위상차이를 이용하여 차동검파를 수행하고 송신 데이터를 복원하게 된다.

III. 시스템 구현

그림 2는 본 논문에서 구현한 VHF 디지털 모뎀의 블록도이다. 기저대역 변복조 모뎀은 Digilent사의 Atrix7 FPGA칩을 장착한 NEXYS4 FPGA 보드를 사용하여 VHDL로 설계하였고,

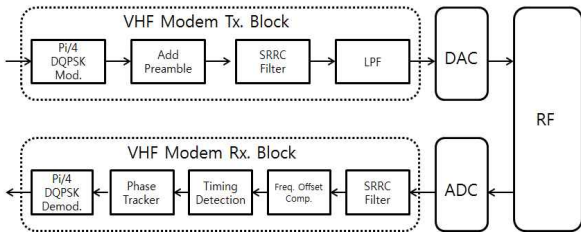


그림 2. VHF 디지털 모델 구현 블록도
Fig. 2. Block diagram of VHF digital modem.

표 2. Cazac 시퀀스
Table 2. Cazac Sequence.

Cazac Sequence Element							
C0	C1	C2	C3	C4	C5	C6	C7
1 + j	1 + j	1 + j	1 + j	-1 + j	-1 - j	1 - j	1 + j
C8	C9	C10	C11	C12	C13	C14	C15
-1 - j	1 + j	-1 - j	1 + j	1 - j	-1 - j	-1 + j	1 + j

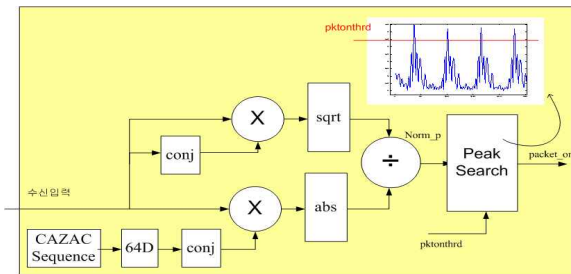


그림 3. 패킷 검출부의 블록도
Fig. 3. Block diagram of packet detection.

VHF 대역 전송을 위한 RF 모듈은 CML Microcircuit사의 EV9730모듈을 적용하였다. 기저대역 모델과 RF모듈과의 인터페이스를 위해 별도로 ADC/DAC 보드를 제작하여 통합 플랫폼을 구현하였다.

패킷통신시의 검출, AGC, 동기화를 위해 프리앰블로 Cazac 시퀀스를 사용하였다. Cazac sequence는 [C0, C1, C2,...,C15]로 나타내고 각 성분 Cj는 아래표에서 볼 수 있듯이 QPSK 형태인 I축과 Q축 구성성분으로 표현된 복소수 형태를 가진다. PHY preamble은 Cazac sequence 10개의 심볼과 180도 회전된 Cazac sequence 1개의 심볼로 구성된다.

패킷 검출을 위하여 Cazac 시퀀스의 상관특성을 이용하여 프레임 동기신호를 발생시키도록 하였다.

Cazac sequence가 16 샘플마다의 반복되는 점을 이용하여 delay방식의 correlator를 이용하여 에너지를 감지하고 송신된 Cazac sequence의 correlator를 이용하여 packet의 출현 여부를 감지한다.

$$AC(i) = \sum_{n=0}^{N-1} r(n+i)r^*(n+i+N) \quad (2)$$

$$CC(i) = \sum_{n=0}^{N-1} r(n+i)Cazac^*(n+i) \quad (3)$$

여기서, $r(n)$ 은 수신 신호, N 은 Cazac sequence 심볼의 샘플 수이다. 위 식(2)는 반복되는 Cazac 주기 특성을 이용하여 16 sample 만큼 지연된 후의 동일한 두 신호가 됨으로 이들의 correlation 취한 결과이고 식(3)은 레퍼런스 신호인 Cazac sequence와 correlation을 취한 결과를 나타낸다.

심볼 타이밍 동기를 위하여 4배 오버샘플링된 수신샘플 중에 최적의 타이밍 심볼만 추출하도록 하였다. 송신부에서 프리앰블로 사용한 Cazac 시퀀스를 이용하여 상호상관을 취함으로써 상관 결과의 최대치를 검출하고 검출된 트리거 신호를 기준으로 심볼 타이밍을 추출하였다.

IV. 시뮬레이션 및 구현 결과

본 논문에서 개발한 ITU-R M.1842-1의 해상 VHF 대역 디지털 통신시스템은 디지털 Baseband FPGA 모델, ADC/DAC I/F 보드, RF모듈, 안테나로 구성되어 있으며, 주요특징 및 H/W 사양은 다음과 같다.

- 1) Baseband 디지털 FPGA 모델[5]
 - Xilinx XC7A100T-1CSG324C FPGA
 - 10/100 Ethernet PHY
 - 16 Mbyte CellularRAM, Serial Flash
- 2) Baseband 아날로그 DAC/ADC Interface 보드
 - Analog devices AD9861 Chip Max 50 Msps
 - Analog Output Voltage Compliance Range 최대 Vp-p 1 V
 - Differential Analog Input Voltage Range 최대 Vp-p 1 V
 - Analog Differential Interface
 - DAC 1x, 2x, or 4x Interpolation
- 3) VHF 대역 RF 모듈(EV9730)[6]
 - Bandwidth : 25 kHz
 - Data Rate 지원 : 28.8 kbps
 - 0 dBm Modulator Output
 - < 1 degree I/Q Phase Matching
 - < 0.5 dB I/Q Gain Matching

그림 4는 packet detection 블록에 대한 Functional Simulation 결과 파형이다. rcvin_i와 rcvin_q 포트를 통해 수신신호가 입력되고 correlation을 통해 normczcorr의 결과가 출력된다. normczcorr의 결과를 이용하여 packet_on신호가 정상적으로 발생되는 것을 확인할 수 있다.

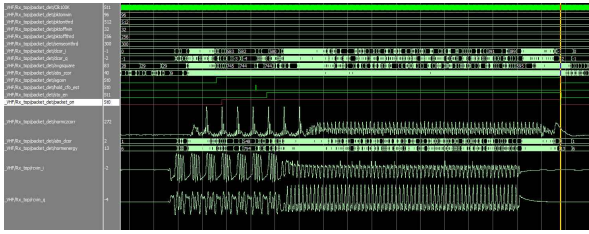


그림 4. 패킷 검출 블록의 시뮬레이션 결과
 Fig. 4. Simulation result of packet detection.

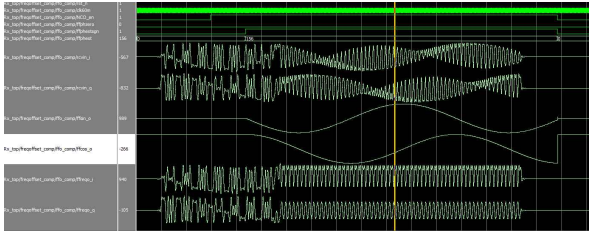


그림 5. 주파수 오프셋 추정 및 보상 블록의 시뮬레이션 결과
 Fig. 5. Simulation result of frequency offset estimation and compensation.

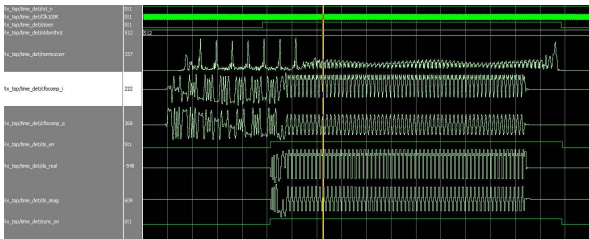


그림 6. 심볼 타이밍 검출 블록의 시뮬레이션 결과
 Fig. 6. Simulation result of symbol timing detection.

그림5는 주파수 오프셋 추정 및 보상 블록에 대한 functional simulation 결과 파형이다. 시뮬레이션 환경에서 주파수 오프셋을 임의로 발생시켜 rcvin_i와 rcvin_q 포트를 통해 주파수오프셋이 들어간 수신신호로 입력시키고 주파수오프셋 추정 및 보상블록의 동작확인을 하였다.

rcvin_i, rcvin_q 신호를 보면 주파수 오프셋으로 인한 신호의 phase가 변함을 알 수 있고 freqo_i, freqo_q를 통해 정상적으로 주파수 오프셋에 대한 보상이 됨을 확인할 수 있다.

그림6은 심볼 타이밍 검출 블록에 대한 functional simulation 결과 파형이다. freqo_i, freqo_q를 통해 정상적으로 주파수 오프셋에 대한 보상이 된 신호는 symbol time detection블록을 통해 정상적인 symbols을 추출함을 확인하였다. normczcorr의 peak 값을 추출하고 추출된 신호를 통해 ds_real, ds_imag 신호가 정상적으로 추출됨을 확인할 수 있다.

그림 7은 ITU-R M.1842-1 해상 디지털 VHF 모뎀 플랫폼에 장착된 DAC와 RF를 통해 발생하는 $\pi/4$ -DQPSK 변조된 송신기의 송신 신호를 RF 스펙트럼 분석기로 측정한 결과를 보인 것이다. 중심주파수가 156 MHz부근에 있으며 표준 권고안에 정의된 25 kHz 대역폭 및 구현한 송신기의 신호에 대한 스펙트럼 형태를 확인하는 과정을 보여준다.

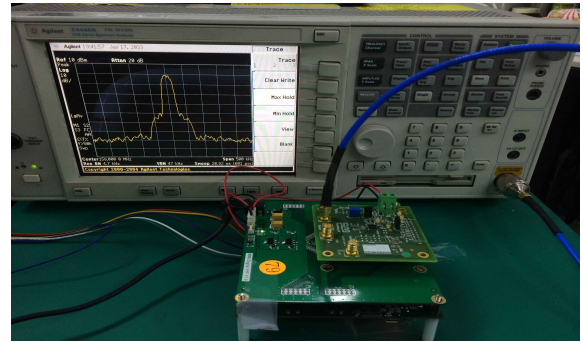


그림 7. ITU-R M.1842-1 해상 디지털 VHF 모뎀 플랫폼의 송신신호 스펙트럼
 Fig. 7. Transmitted signal spectrum of maritime digital VHF modem platform.

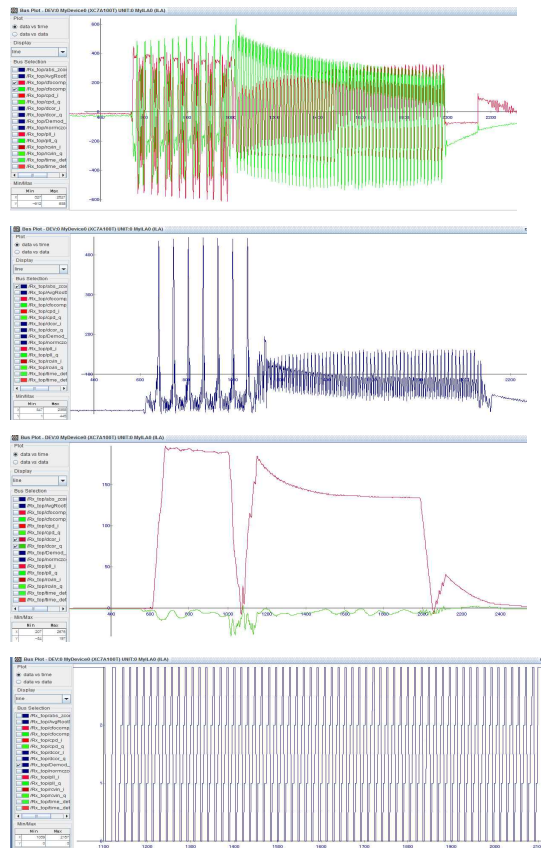


그림 8. ITU-R M.1842-1 해상 디지털 VHF 모뎀 플랫폼 TX-RX 통신 테스트
 Fig. 8. TX-RX communication test of ITU-R M.1842-1 maritime digital VHF modem platform.

그림8은 ITU-R M.1842-1 해상 디지털 VHF 모뎀 플랫폼 두 대를 이용하여 한 대는 송신기로 다른 한 대는 수신기로 동작시켜 통신이 성공하는 것을 확인하는 실험환경을 보여준다. 송신부의 DAC를 통과한 I와 Q채널의 $\pi/4$ -DQPSK 신호를 아날로그 채널로 수신부와 연결하여 이를 모뎀 신호처리를 통해 복조하고, 송신부의 Source 데이터 신호와 동일함을 확인한 것을 보인

다. 통신 테스트 결과 그림에서 상단부터 차례로 수신기의 주파수 옵셋 보상결과, Cazac 프리엠프 correlation 결과, 프리엠프 구간간의 평균에너지산출결과, 최종 디코딩 결과데이터를 나타낸다. 시뮬레이션 결과와 통신테스트 측정 결과의 최종 디코딩 결과를 비교하여 정상적으로 복구됨을 확인하였다.

V. 결론

본 논문에서는 해상통신용 디지털 VHF 물리계층 모델을 HDL로 설계하여 FPGA 보드에 포팅하여 베이스밴드 모델을 개발하였다. 또한, RF로 모델의 무선통신 기능을 확인하기 위해 EV9730모듈을 분석하여 RF모듈로 활용하였고 모델과 RF의 인터페이스를 위해 ADC/DAC보드를 제작하여 통합플랫폼을 구현하였다.

해상 디지털 VHF 모델 플랫폼의 송신부에서 발생하는 Baseband 출력, AD/DA출력 신호를 확인하였고, 송신부의 DAC를 통과한 I와 Q채널의 $\pi/4$ -DQPSK 신호를 아날로그 채널로 수신부와 연결하여 이를 모델 신호처리를 통해 복조하고, 송신부의 Source 데이터 신호와 동일함을 확인하였다.

RF를 통해 발생하는 $\pi/4$ -DQPSK 변조된 송신기의 RF신호를 스펙트럼 분석기로 측정하여 규격에 정의된 25 kHz 대역폭과 스펙트럼 형태를 확인하였으며, ITU-R M.1842-1 해상 디지털 VHF 모델 플랫폼 두 대를 이용하여 한 대는 송신기로 다른 한 대는 수신기로 동작시켜 통신이 성공하는 것을 확인하였다.

개발한 ITU-R M.1842-1의 해상 VHF 대역 디지털 통신시스템은 핵심기술이 HDL설계 형태로 존재하여, 추후 ASIC이나 SoC설계의 필요성이 발생시 용이하게 적용하여 구현할 수 있으며, e-Navigation의 핵심 통신기술로서 사용될 수 있을 것이다.

향후 연구로, 기 개발한 모델에 고효율 선박통신 전용 RF를

적용하고 실제 해양선박에 탑재시켜 잡음, 페이딩 등 해상채널의 영향이 성능에 미치는 영향을 실험을 통해 확인, 분석할 필요가 있다.

참고문헌

- [1] O. S. Park and D. H. Kim "Technical trends in maritime radio communications for e-Navigation," *Electronics and Telecommunication Trends*, Vol. 27, No. 2, 2012.
- [2] ITU-R M.1842-1, Characteristics of VHF radio systems and equipment for the exchange of data and electronic mail in the maritime mobile service RR Appendix 18 channels, 2009.
- [3] J. M. Kwak "Simulation study of VHF band $\pi/4$ -DQPSK maritime digital communication according to ITU-R M.1842-1 annex1," *Journal of Advanced Navigation Technology*, Vol. 17, No. 6, Dec. 2013.
- [4] V. Prapulla, A. Mitra, R. Bhattacharjee and S. Nandi, "A simplified adaptive decision feedback equalization technique for $\pi/4$ -DQPSK signals," *World Academy of Science, Engineering and Technology*, Vol. 2, No. 12, pp. 500~507, 2008.
- [5] J. G. Proakis, *Digital Communications*, 4th ed. New York, NY: McGraw-Hill, 2000.
- [6] Nexys4TM FPGA Board Reference Manual [Online]. Available : http://www.xilinx.com/support/documentation/university/XUP%20Boards/XUPNexys4/documentatation/Nexys4_RM_VB1_Final_3.pdf
- [7] EV9730 Evaluation Kit User Manual [Online]. Available : http://www.cmlmicro.com/products/EV9730/Evaluation_Kit/



곽재민 (Jaemin Kwak)

1998년 2월 : 한국항공대학교 통신정보공학과(공학사), 1999년 8월 : 한국항공대학교 대학원 통신정보공학과(공학석사)

2002년 8월 : 한국항공대학교 대학원 통신정보공학과(공학박사)

2002년 7월~2003년 7월 : 한국전자통신연구원 네트워크 연구소 (Post-doc.)

2003년 7월~2008년 2월 : 전자부품연구원 SoC 연구센터 책임연구원

2008년 3월~현재 : 목포해양대학교 해양정보통신공학과 부교수

※관심분야 : 디지털 통신 시스템, 유무선 통신신호처리