

이중게이트 MOSFET의 대칭 및 비대칭 산화막 구조에 대한 문턱전압 분석

정학기*

Analysis of Threshold Voltage for Symmetric and Asymmetric Oxide Structure of Double Gate MOSFET

Hakkee Jung*

Department of Electronic Engineering, Kunsan National University, Gunsan 573-701, Korea

요 약

본 연구에서는 대칭 및 비대칭 산화막 구조를 가진 이중게이트(double gate; DG) MOSFET의 문턱전압 변화에 대하여 분석하였다. 상하단 동일한 산화막 두께를 갖는 대칭 DG MOSFET와 달리 비대칭 DG MOSFET는 상하단 게이트 산화막 두께를 다르게 제작할 수 있다. 그러므로 비대칭 DG MOSFET에서 상단과 하단게이트 산화막 두께의 크기 변화에 따라 대칭 DG MOSFET와 문턱전압을 비교하여 상하단 게이트 산화막 두께의 최적값에 대하여 고찰하고자 한다. 문턱전압을 구하기 위하여 포아송방정식에서 해석학적 전위분포모델을 유도하였으며 도핑분포함수는 가우스분포함수를 사용하였다. 문턱전압 모델을 이용하여 하단게이트 전압, 채널길이 및 채널두께 등에 따라 상하단게이트 산화막 두께가 문턱전압에 미치는 영향을 관찰하였다. 결과적으로 문턱전압은 상하단 게이트 산화막 두께에 따라 크게 변화하였으며 변화하는 경향은 하단게이트 전압, 채널길이 그리고 채널두께에 따라 매우 상이하게 나타나고 있다는 것을 알 수 있었다.

ABSTRACT

This paper has analyzed the change of threshold voltage for oxide structure of symmetric and asymmetric double gate(DG) MOSFET. The asymmetric DG MOSFET can be fabricated with different top and bottom gate oxide thickness, while the symmetric DG MOSFET has the same top and bottom gate oxide thickness. Therefore optimum threshold voltage is considered for top and bottom gate oxide thickness of asymmetric DG MOSFET, compared with the threshold voltage of symmetric DG MOSFET. To obtain the threshold voltage, the analytical potential distribution is derived from Poisson's equation, and Gaussian distribution function is used as doping profile. We investigate for bottom gate voltage, channel length and thickness, and doping concentration how top and bottom gate oxide thickness influences on threshold voltage using this threshold voltage model. As a result, threshold voltage is greatly changed for oxide thickness, and we know the changing trend greatly differs with bottom gate voltage, channel length and thickness, and doping concentration.

키워드 : 대칭 이중게이트, 비대칭 이중게이트, 문턱전압, 포아송방정식

Key word : symmetric double gate, asymmetric double gate, threshold voltage, Poisson equation

접수일자 : 2014. 09. 17 심사완료일자 : 2014. 10. 13 게재확정일자 : 2014. 10. 24

* **Corresponding Author** Hakkee Jung(E-mail:hkjung@kunsan.ac.kr, Tel:+82-63-469-4684)

Department of Electronic Engineering, Kunsan National University, Gunsan 573-701, Korea

Open Access <http://dx.doi.org/10.6109/jkiice.2014.18.12.2939>

print ISSN: 2234-4772 online ISSN: 2288-4165

©This is an Open Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License(<http://creativecommons.org/licenses/by-nc/3.0/>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.
Copyright © The Korea Institute of Information and Communication Engineering.

I. 서 론

반도체산업은 트랜지스터제작 기술의 개발과 함께 성장하였다. 고속동작 및 저전력소비 그리고 집적도향상을 위하여 트랜지스터를 미세하게 제작하여야 하며 이를 위하여 공정의 개발뿐만 아니라 미세화에 따른 기생효과를 해결하여야만 하였다. 그러나 기존 CMOSFET는 20nm이하의 나노구조에서 더 이상 해결할 수 없는 단채널 효과에 부딪치고 있다. 이는 공정상 해결할 수 없는 문제이며 단지 트랜지스터의 구조를 개발함으로써 해결할 수 있다. 최근 집적도 향상을 위하여 집적회로 구성 시 트랜지스터의 배열을 3차원적으로 구성하려 노력하고 있으며 이와 함께 트랜지스터를 3차원 구조로 제작하려고 노력하고 있다. 3차원 구조를 갖는 트랜지스터는 게이트를 채널주변에 배치하는 방법에 따라 이중게이트 구조[1,2], FinFET 구조[3,4] 및 원통형구조[5]로 나눌 수 있다. 그러나 Fin구조 및 원통형구조는 현실적으로 공정상 어려움을 겪고 있으며 가장 간단한 구조인 이중게이트 구조는 많은 연구가 진행중에 있다.

이중게이트 MOSFET는 상단과 하단에 게이트를 제작하여 게이트단자에 의한 채널 내 전하의 흐름을 제어하는 능력을 배가시킴으로써 기존 CMOSFET의 단채널 효과를 감소시킬 수 있다는 장점이 있다. 이중게이트 MOSFET는 대칭형과 비대칭형으로 구분되며 대칭형은 상단과 하단 게이트산화막의 두께가 동일하고 상하단 게이트 전압이 동일하게 인가되는 반면, 비대칭 이중게이트 MOSFET는 상단과 하단의 게이트 산화막 두께를 달리 제작할 수 있으며 게이트 전압도 각각 인가할 수 있어 단채널 효과를 제어할 수 있는 요소가 증가하는 장점을 가진다[6]. 단채널 효과 중 가장 중요한 문턱전압의 이동은 특히 디지털용 집적회로 설계 시 매우 중요한 요소이다. 그러므로 트랜지스터의 동작특성에 매우 중요한 문턱전압은 집적회로 설계에 큰 영향을 미치고 있다. 문턱전압은 트랜지스터의 설계 파라미터 즉, 채널의 크기 및 도핑농도 등에 따라 변화하므로 이러한 파라미터에 따라 문턱전압을 예측하는 것은 매우 중요하다고 사료된다. 특히 이중게이트 MOSFET는 문턱전압의 이동 등 단채널 효과를 감소시키기 위하여 개발된 트랜지스터이므로 이중게이트 MOSFET의 설계 파라미터에 따라 문턱전압의 변화를 고찰하는 것은 매

우 중요한 연구이다. 본 연구에서는 비대칭 이중게이트 MOSFET의 상단과 하단 게이트 산화막 두께를 변화시키면서 문턱전압을 구한 후, 대칭일 경우와 비교함으로써 문턱전압의 변화를 산화막 두께에 따라 고찰하고자 한다. 특히 산화막 두께 변화가 문턱전압에 미치는 영향을 채널길이 및 두께, 하단 게이트전압 그리고 도핑농도의 변화에 따라 관찰함으로써 트랜지스터의 설계 파라미터가 어떻게 문턱전압을 변화시키는지 관찰하였다.

본 연구에서는 비대칭 DG MOSFET에 대한 채널 내 전위분포 및 문턱전압모델을 유도할 것이다. Ding 등 [6]은 일정한 도핑분포를 이용하여 전위분포함수를 구하였으나 일반적으로 사용하는 도핑기술은 이온주입법 이므로 가우스분포함수를 이용하여 포아송방정식을 풀어 전위분포함수를 구하였다. 이 전위분포모델을 이용하여 비대칭 DG MOSFET에 대한 문턱전압을 산화막 두께에 대하여 구한 후, 상·하단 게이트 산화막 두께가 동일한 경우와 채널길이 및 두께, 하단 게이트전압 그리고 도핑농도의 변화에 따라 비교·분석하였다.

2장에서는 포아송방정식의 해석학적 전위모델 및 문턱전압모델에 대하여 설명할 것이며 3장에서 이 모델을 적용하였을 경우, 산화막 두께변화에 따라 설계 파라미터에 대하여 문턱전압을 고찰할 것이다. 마지막으로 4장에서 결론을 맺을 것이다.

II. 비대칭 DG MOSFET의 전위분포 및 문턱 전압 모델

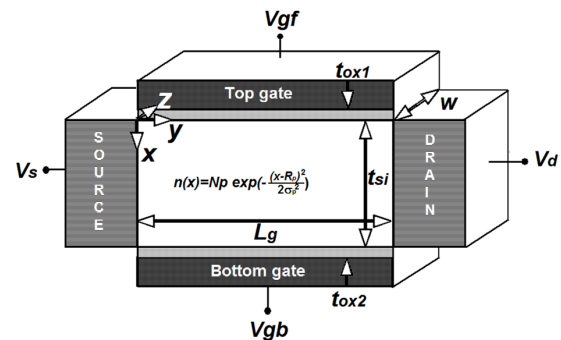


그림 1. 비대칭 이중게이트 MOSFET의 개략도
Fig. 1 Schematic sectional diagram of asymmetric double gate MOSFET

비대칭 DG MOSFET는 4단자 소자로서 그림 1과 같이 상단과 하단의 게이트 산화막 두께가 각각 t_{ox1} 과 t_{ox2} 이며 상단 게이트전압 V_{gf} 와 하단게이트 전압 V_{gb} 를 각기 달리 인가시킬 수 있다. 대칭형의 경우는 $t_{ox1} = t_{ox2}$ 이며 $V_{gf} = V_{gb}$ 의 특수한 경우이다. 그러므로 비대칭 DG MOSFET에 대하여 문턱전압을 구한 후 상기 특수한 경우와 비교하고자 한다. 채널 내 전위분포함수를 구하기 위하여 가우시분포함수를 도핑분포함수로 사용하여 다음과 같이 2차원 포아송방정식을 풀었다.

$$\frac{\partial^2 \phi(x,y)}{\partial x^2} + \frac{\partial^2 \phi(x,y)}{\partial y^2} = \frac{qN_p}{\epsilon_s} \exp\left(-\frac{(x-R_p)^2}{2\sigma_p^2}\right) \quad (1)$$

여기서 ϵ_{si} 는 실리콘의 유전율이며 N_p 는 최대 도핑 분포 값, R_p 와 σ_p 는 각각 이온주입범위 및 분포편차를 나타낸다. Ding 등의 경계조건을 이용하여 식 (1)을 풀면 다음과 같은 급수형태의 전위분포를 구할 수 있다 [6].

$$\phi(x,y) = V_s + \frac{V_d}{L_g} y + \sum_{n=1}^{\infty} A_n(x) \sin \frac{n\pi y}{L_g} \quad (2)$$

이며 여기서 n 은 정수, V_s 는 소스 전압, V_d 는 드레인 전압, $A_n(x)$ 는

$$A_n(x) = C_n e^{k_n x} + D_n e^{-k_n x} + B_1 \operatorname{erf}(\tau + b_1/2) + B_2 \operatorname{erf}(\tau + b_2/2) + A \quad (3)$$

$$C_n = \frac{e^{k_n t_{si}} (1 + k_n \epsilon_{si} / C_{ox1}) (B_8 + E_n) - (1 - k_n \epsilon_{si} / C_{ox2}) (B_7 + F_n)}{(1 - k_n \epsilon_{si} / C_{ox1}) (1 - k_n \epsilon_{si} / C_{ox2}) - e^{2k_n t_{si}} (1 + k_n \epsilon_{si} / C_{ox1}) (1 + k_n \epsilon_{si} / C_{ox2})}$$

$$D_n = \frac{e^{-k_n t_{si}} (1 - k_n \epsilon_{si} / C_{ox1}) (B_8 + E_n) - (1 + k_n \epsilon_{si} / C_{ox2}) (B_7 + F_n)}{(1 + k_n \epsilon_{si} / C_{ox1}) (1 + k_n \epsilon_{si} / C_{ox2}) - e^{-2k_n t_{si}} (1 - k_n \epsilon_{si} / C_{ox1}) (1 - k_n \epsilon_{si} / C_{ox2})}$$

이다. 여기서 $B_1, B_2, B_7, B_8, \tau, k_n, b_1, b_2$ 등은 참고문헌 [7]에 표기하였으며 $C_{ox1} = \epsilon_{ox} / t_{ox1}$, $C_{ox2} = \epsilon_{ox} / t_{ox2}$ 이다. 식 (2)와 (3)에서 알 수 있듯이 전위분포는 산화막 두께에 따라 변하게 되며 이에 따라 전위장벽을 넘어 소스단자에서 드레인까지 이동하는 캐리어의 수도 변

화하게 된다. 그러므로 산화막 두께에 따라 게이트전압에 대한 드레인전류의 관계가 변화하게 되어 결국 산화막 두께에 따라 문턱전압이 변화하게 된다. 드레인 전류가 $1 \mu\text{m}$ 의 단위 채널 폭당 $0.1 \mu\text{A}$ 일 때, 상단게이트 전압을 문턱전압으로 정의하였다[8].

먼저 전위장벽을 넘어 이동하는 캐리어의 수를 구하기 위하여 맥스웰-볼츠만통계를 이용하면 전자의 수는

$$n_m(x) = (n_i^2 / N_p) e^{q\phi_{\min}(x)/kT} \approx (n_i^2 / N_p) e^{q\phi_{\min}(x_{eff})/kT} \quad (4)$$

이다. 여기서 n_i 는 순수반도체 전자농도이며 $\phi_{\min}(x)$ 는 상단게이트의 표면전위 중 최소값을 갖는 y_{\min} 값을 구한 후, 식 (2)에 대입하며 구한 최소 전위분포 값이다. 식 (4)에서 x 는 다음과 같은 식에서 전도중심 x_{eff} 값을 대입하여 이동 전자의 수를 구한다.

$$x_{eff} = \int_0^{t_{si}} x e^{\phi(x,y_{\min})/V_t} dx / \int_0^{t_{si}} e^{\phi(x,y_{\min})/V_t} dx \quad (5)$$

이때 랜덤하게 운동하는 전자들의 1/6이 소스에서 드레인으로 향할 것이며 단위시간당 $t_{si} W$ 면적의 드레인에 도착하는 전자의 수를 이용하여 드레인 전류 I_d 를 구하면

$$I_d = \frac{q n_m(x_{eff}) v_{th} t_{si} W}{6} \quad (6)$$

이다.

여기서 v_{th} 는 열속도이다. 식 (6)의 드레인 전류를 상단게이트 전압에 대하여 전술한 바와 같이 문턱전압의 정의에 의하여 문턱전압을 구하였다. 전위분포는 산화막 두께뿐만 아니라 도핑농도, 채널길이, 채널두께, 하단게이트 전압에 따라 변화할 것이며 이는 드레인 전

류에도 영향을 미쳐 결국 문턱전압이 이와 같은 파라미터에 따라 변화하게 된다. 본 연구에서는 이와 같이 구한 문턱전압의 산화막 두께에 따른 변화를 대칭형과 비대칭형 DG MOSFET에 대하여 고찰하고자 한다.

III. 산화막 두께에 따른 문턱전압 결과 고찰

먼저 본 연구에서 제시한 문턱전압 모델의 타당성은 참고문헌[9]에서 이미 입증하였으므로 이 문턱전압 모델을 이용하여 산화막 두께에 대한 문턱전압의 변화를 관찰할 것이다.

산화막 두께 변화에 따른 문턱전압의 변화를 관찰하기 위하여 $L_g = 30\text{ nm}$, $t_{si} = 10\text{ nm}$, $N_p = 10^{16}/\text{cm}^3$ 그리고 $V_{gb} = 0.2\text{ V}$ 의 입력 조건하에서 하단 게이트 산화막 두께를 파라미터로 하여 상단 게이트 산화막 두께에 따른 문턱전압의 변화를 그림 2에 도시하였다. 주어진 조건하에서 하단 게이트 산화막 두께에 따라 문턱전압은 상단 게이트 산화막에 비례하기도 하고 반비례하기도 하는 변화를 보이고 있다. 즉, 하단 산화막 두께가 3 nm 이상에서는 상단 산화막 두께 증가에 따라 문턱전압이 증가하나 3 nm 이하에서는 반비례하는 것을 알 수 있다. 그림 2에서 점으로 표시한 문턱전압 값은 상 하단 산화막 두께가 동일한 대칭의 경우이다.

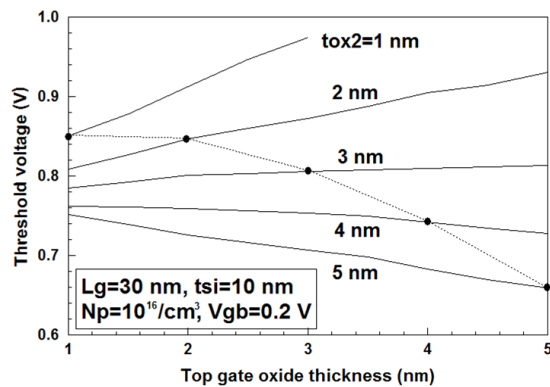


그림 2. $L_g = 30\text{ nm}$, $t_{si} = 10\text{ nm}$, $N_p = 10^{16}/\text{cm}^3$ 그리고 $V_{gb} = 0.2\text{ V}$ 의 조건에서 산화막 두께에 따른 문턱전압의 변화
 Fig. 2 The change of threshold voltage under the conditions of $L_g = 30\text{ nm}$, $t_{si} = 10\text{ nm}$, $N_p = 10^{16}/\text{cm}^3$ and $V_{gb} = 0.2\text{ V}$

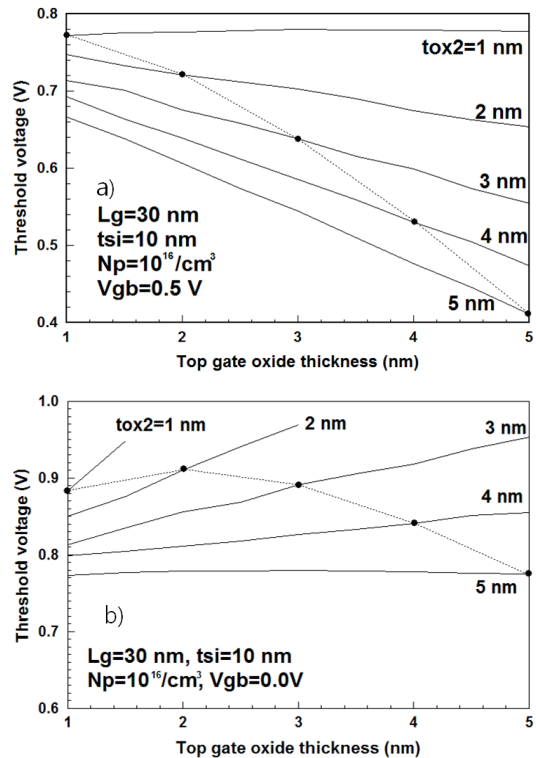


그림 3. $L_g = 30\text{ nm}$, $t_{si} = 10\text{ nm}$, $N_p = 10^{16}/\text{cm}^3$ 그리고 a) $V_{gb} = 0.5\text{ V}$ 와 b) $V_{gb} = 0.0\text{ V}$ 의 조건에서 산화막 두께에 따른 문턱전압의 변화
 Fig. 3 The change of threshold voltage under the conditions of $L_g = 30\text{ nm}$, $t_{si} = 10\text{ nm}$, $N_p = 10^{16}/\text{cm}^3$ and a) $V_{gb} = 0.5\text{ V}$, and b) $V_{gb} = 0.0\text{ V}$

대칭점을 기준으로 좌측은 하단 산화막 두께가 상단 산화막 두께보다 큰 경우이다. 대칭점에서의 문턱전압이 상단 산화막 두께가 증가할수록 감소하는 것을 알 수 있다. 즉, 대칭구조의 DG MOSFET은 상하단 산화막 두께가 증가할수록 문턱전압이 감소하나 비대칭의 경우는 비례 및 반비례의 관계를 갖는 등 다양한 변화를 보이고 있었다.

하단 게이트 전압을 증감시켰을 경우, 상하단 산화막 두께에 따른 문턱전압의 변화를 그림 3a)와 3b)에 도시하였다. 그림 2와 비교해 보면 하단 게이트 전압이 증가하였을 경우 문턱전압이 감소하며 하단 게이트 전압이 감소하였을 경우, 문턱전압이 증가하는 것을 알 수 있다. 또한 하단 게이트 전압이 증가한 그림 3a)의 경우 상단 산화막 두께에 대한 문턱전압의 반비례관계가 하단

산화막이 1 nm 이상에서 관찰되고 있었으며 하단 게이트 전압이 감소한 그림 3b)의 경우 상단 산화막 두께에 대하여 문턱전압이 비례관계를 보이고 있었다. 대칭점에서의 문턱전압 감소도 하단 게이트 전압이 증가할수록 더욱 가파르게 나타나고 있었으며 하단 게이트 전압이 0.0 V로 감소한 경우는 상하단 산화막 두께가 매우 작은 1~2 nm의 영역에서 대칭점에서의 문턱전압이 오히려 증가하는 경향을 보이고 있었다.

그림 2와 모든 조건을 동일하게 유지한 채, 단지 채널 길이만 증가한 경우 산화막 두께에 대한 문턱전압의 변화를 그림 4에 도시하였다. 채널 길이가 증가하면 하단 산화막 두께에 관계없이 문턱전압은 상단 산화막 두께에 따라 단조 증가하는 경향을 보이고 있다. 단채널 효과가 감소하여 문턱전압이 그림 2와 비교하여 전체적으로 증가하였으며 하단 산화막 두께가 감소할수록 증가율도 커지는 것을 알 수 있다.

대칭점에서의 문턱전압 값을 관찰해보면 상단 산화막 두께에 관계없이 거의 일정한 값을 갖고 있다는 것을 알 수 있다. 즉, 대칭적 구조의 DG MOSFET에서는 채널 길이가 증가하면 문턱전압은 산화막 두께에 영향을 덜 받는다는 것을 알 수 있다. 또한 그림 2와 비교하면 대칭점에서의 문턱전압 변화가 약간이나마 증가하고 있다는 것을 알 수 있다.

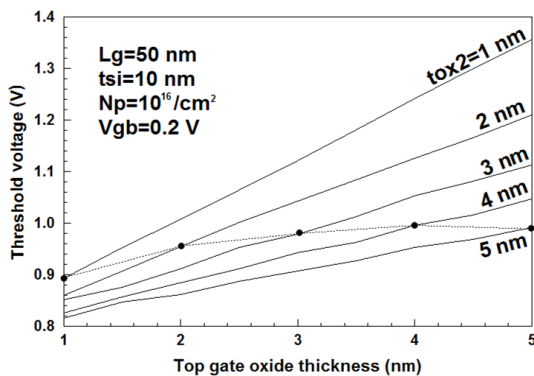


그림 4. $L_g = 50 \text{ nm}$, $t_{si} = 10 \text{ nm}$, $N_p = 10^{16} / \text{cm}^3$ 그리고 $V_{gb} = 0.2 \text{ V}$ 의 조건에서 산화막 두께에 따른 문턱전압의 변화
 Fig. 4 The change of threshold voltage under the conditions of $L_g = 50 \text{ nm}$, $t_{si} = 10 \text{ nm}$, $N_p = 10^{16} / \text{cm}^3$ and $V_{gb} = 0.2 \text{ V}$

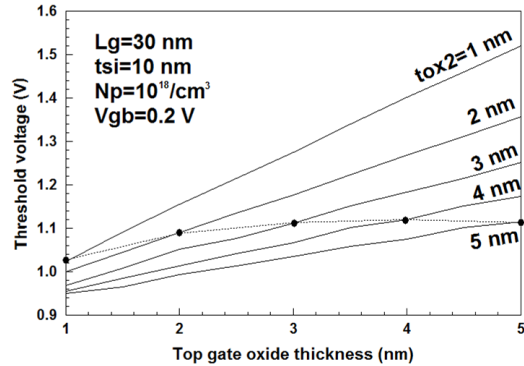


그림 5. $L_g = 30 \text{ nm}$, $t_{si} = 10 \text{ nm}$, $N_p = 10^{18} / \text{cm}^3$ 그리고 $V_{gb} = 0.2 \text{ V}$ 의 조건에서 산화막 두께에 따른 문턱전압의 변화
 Fig. 5 The change of threshold voltage under the conditions of $L_g = 30 \text{ nm}$, $t_{si} = 10 \text{ nm}$, $N_p = 10^{18} / \text{cm}^3$ and $V_{gb} = 0.2 \text{ V}$

채널 내 도핑농도가 변하였을 경우, 산화막 두께 변화에 따른 문턱전압의 변화를 관찰하기 위하여 그림 5에 관계를 도시하였다. 그림 2와 비교하면 전체적으로 문턱전압이 증가하며 상하단 산화막 두께에 관계없이 문턱전압은 증가하고 있다는 것을 알 수 있다. 증가율은 하단 산화막 두께가 작을수록 크며 상단 산화막 두께가 클수록 더욱 크게 나타난다. 대칭점에서의 문턱전압을 관찰해 보면 1.0 V에서 1.1 V사이의 값을 갖는 것을 알 수 있다. 즉, 도핑 농도가 증가하면 대칭구조를 갖는 DG MOSFET의 경우 상하단 산화막 두께에 대한 문턱전압의 변화는 거의 무시할 수 있을 정도이다. 문턱전압을 대칭점 이하로 유지하기 위해선 비대칭적 구조로 DG MOSFET를 제작하여야만 한다는 것을 알 수 있다.

채널 두께가 증가하였을 경우, 산화막 두께에 따른 문턱전압의 변화를 그림 6에 도시하였다. 그림 4와 모든 조건은 동일하고 단지 채널 두께만을 증가시킨 경우로써 그래프의 모양이 전체적으로 큰 변화를 보이고 있다. 특히 모든 영역에서 비례관계를 보이는 그림 4와 달리 그림 6에서는 그림 2와 같이 하단 산화막 두께가 3 nm를 중심으로 문턱전압이 비례관계에서 반비례관계로 변화되고 있다는 것을 관찰할 수 있다. 이와 같은 경향을 볼 때 채널 두께 및 채널 길이의 절대 값보다는 채널 두께와 채널 길이의 비가 전체적인 문턱전압의 특성을 결정한다고 사료된다.

즉, 그림 2에서는 채널길이와 두께의 비가 0.33이며 그림 6에서는 0.4정도이나 그림 4에서는 0.2정도로 큰 차이가 나므로 대칭점에서의 문턱전압의 변화를 관찰해보면 그림 4보다는 그림 2에 유사한 특성을 갖는다는 것에서 알 수 있다.

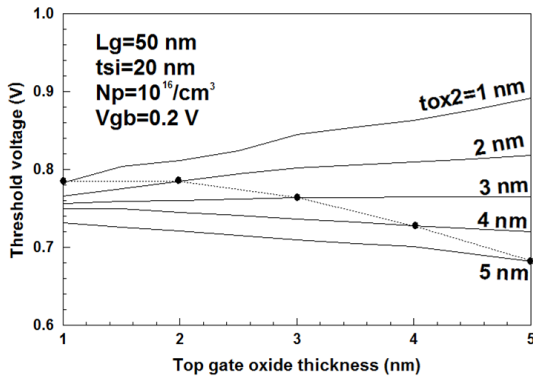


그림 6. $L_g = 50 \text{ nm}$, $t_{si} = 20 \text{ nm}$, $N_p = 10^{16} / \text{cm}^3$ 그리고 $V_{gb} = 0.2 \text{ V}$ 의 조건에서 산화막 두께에 따른 문턱전압의 변화
Fig. 6 The change of threshold voltage under the conditions of $L_g = 50 \text{ nm}$, $t_{si} = 20 \text{ nm}$, $N_p = 10^{16} / \text{cm}^3$ and $V_{gb} = 0.2 \text{ V}$

IV. 결론

본 연구에서는 대칭 및 비대칭 산화막 구조를 가진 이중게이트(double gate; DG) MOSFET의 문턱전압 변화를 채널길이, 채널두께, 채널 도핑농도 및 하단 게이트 전압 등에 대하여 분석하였다. 비대칭 DG MOSFET에서 상단과 하단게이트 산화막 두께의 크기 변화에 대한 문턱전압을 비교하여 상하단 게이트 산화막 두께의 최적값에 대하여 고찰하였다. 이를 위하여 해석학적 전위분포모델 및 문턱전압모델을 정의하였다. 관찰 결과, 문턱전압은 상하단 게이트 산화막 두께에 따라 크게 변화하였으며 변화하는 경향은 트랜지스터의 설계 파라미터에 따라 매우 상이하게 나타났다. 하단게이트 전압이 증가할수록 상하단 산화막의 두께가 동일한 대칭점에서의 문턱전압의 변화가 크게 나타났으며 채널길이 증가할 때와 채널 도핑농도가 증가할 때, 문턱전압은 증가하였으며 대칭점에서의 문턱전압은 상하단 산

화막 두께에 따라 거의 변화가 없었다. 또한 채널두께에 따른 변화를 관찰해 보면 채널두께의 절대 값보다는 채널길이와의 비에 따라 문턱전압의 산화막 두께에 따른 변화 패턴이 결정되는 것을 알 수 있었다.

REFERENCES

- [1] J.B.Roldan, B.Gonzalez, B.Iniguez, A.M.Roldan, A.Lazaro and A.Cerdeira, "In-depth analysis and modelling of self-heating effects in nanometric DG MOSFETs," *Solid-state electronics*, vol.79, no.1, pp.179-184, 2013.
- [2] R.Vaddi, S.Dasgupta and R.P.Agarwal, "Analytical modeling of subthreshold current and subthreshold swing of an underlap DG MOSFET with tied independent gate and symmetric asymmetric options," *Microelectronics J.*, vol.42, no.5, pp.798-807, 2011.
- [3] K.K.Nagarajan and R.Srinivasan, "Investigation of tunable characteristics of independently driven double gate finfets in analog/RF domain using TCAD simulations," *J. of Computational and Theoretical Nanosciences*, vol.11, no.2, pp.821-826, 2014.
- [4] N.Seoane, G.Indalecio, E.Comesane, M.Aldegunde, A.J. Garcia-Loureiro and K.Kalna, "Random Dopant, Line-Edge Roughness and Gate Workfunction Variability in a Nano InGaAs FinFETs," *IEEE Trans. Electron Devices*, vol. 61, no.2, pp.466-472, 2006.
- [5] J.P.Duarte, S.J.Choi, D.I.Moon and Y.K.Choi, "A nonpiecewise model for long-channel junctionless cylindrical nanowire FETs," *IEEE Electron Device Letters*, vol.33, no.2, pp.155-157, 2012.
- [6] Z.Ding, G.Hu, J.Gu, R.Liu, L.Wang and T.Tang, "An analytical model for channel potential and subthreshold swing of the symmetric and asymmetric double-gate MOSFETs," *Microelectronics J.*, vol.42, pp.515-519, 2011.
- [7] Hakkee Jung, "Analysis for Potential Distribution of Asymmetric Double Gate MOSFET Using Series Function," *JKIICE*, vol.17, no.11, pp.2621-2626, 2013.
- [8] TCAD Manual, Part.4: INSPEC, ISE Integrated Systems Engineering AG, Zurich, Switzerland, 2001, p.56. ver.7.5.
- [9] Hakkee Jung and Ohshin Kwon, "Analysis of Threshold Voltage for Channel Dimension of Asymmetric DG MOSFET," *Information Journal*, vol.17, no.11(B), pp.5879-5884, 2014.



정학기(Hak Kee Jung)

1983.3 아주대학교 전자공학과 B.S.

1985.3 연세대학교 전자공학과 M.S.

1990.8 연세대학교 전자공학과 Ph.D

1995.8 일본 오사카대학 교환교수

2005.8 호주 그리피스대학 교환교수

1990.3 ~ 현재 군산대학교 전자공학과 교수

2014.1 ~ 현재 한국정보통신학회 회장

※관심분야 : 반도체소자 시뮬레이션, 몬테칼로 시뮬레이션, 회로 및 시스템 해석 등