

논문 2014-51-12-7

# 초음파 의료 영상 시스템을 위한 재구성 가능한 아날로그 집적회로

( A Reconfigurable Analog Front-end Integrated Circuit for Medical  
Ultrasound Imaging Systems )

차 혁 규\*

( Hyouk-Kyu Cha<sup>©</sup> )

## 요 약

본 논문에서는 초음파 의료 영상 시스템을 위한 아날로그 front-end 집적회로를 0.18- $\mu\text{m}$  표준 CMOS 반도체 공정을 이용하여 설계하였다. 제안된 front-end 회로는 2.6 MHz에서 15-V 고전압 펄스 신호를 생성하는 송신부와 고전압 차단 스위치 및 저전력 저잡음 증폭기에 해당하는 수신부를 모두 포함하고 있으며, 동작 모드에 따라서 송신부의 출력 드라이버를 수신단의 스위치 회로로 재구성이 가능하도록 설계를 하여 기존 front-end 회로와 비교하였을 때 한 채널 당 70% 이상의 칩 면적을 줄일 수 있다. 설계된 단일 채널 front-end회로는 0.045 mm<sup>2</sup> 이하의 작은 칩 면적을 차지함으로써 다중 어레이 방식의 초음파 의료 영상 시스템에 적용 시 작은 면적으로 구현이 가능하다.

## Abstract

This paper presents an analog front-end integrated circuit (IC) for medical ultrasound imaging systems using standard 0.18- $\mu\text{m}$  CMOS process. The proposed front-end circuit includes the transmit part which consists of 15-V high-voltage pulser operating at 2.6 MHz, and the receive part which consists of switch and a low-power low-noise preamplifier. Depending on the operation mode, the output driver in the transmit pulser can be reconfigured as the switch in the receive path and thus the area of the overall front-end IC is reduced by over 70% in comparison to previous work. The designed single-channel front-end prototype consumes less than 0.045 mm<sup>2</sup> of core area and can be utilized as a key building block in highly-integrated multi-array ultrasound medical imaging systems.

**Keywords** : ultrasound, analog front-end, reconfigurability, transistor stacking, transimpedance amplifier

## I. 서 론

현재 병원과 같은 의료 기관에서 사용이 되는 여러

방식의 영상 시스템 중 초음파 영상 시스템은 인체에 무해하고, 제작 및 사용 비용이 적게 들며, 실시간으로 영상을 확인할 수 있다는 이점 때문에 더 다양한 용도로써 사용이 확산되고 있다. 기존의 초음파 영상 시스템들은 압전 물질 (piezoelectric) 기반의 트랜스듀서를 이용하여 구현을 하였으나, 주파수 특성 및 CMOS 반도체 공정과의 호환성 측면에서 이점을 지닌 정전용량형 (capacitive micromachined ultrasound transducer CMUT) 방식의 시스템이 제안되면서<sup>[1]</sup> 이와 관련된 고성능의 다중 어레이 영상 시스템 및 저전력 휴대용 영상 시스템 등의 연구개발이 활발히 진행이 되고 있다.

\* 평생회원, 서울과학기술대학교 전기정보공학과  
(Dept. of Electrical and Information Engineering,  
Seoul National University of Science and  
Technology)

© Corresponding Author(E-mail: hkcha@seoultech.ac.kr)

※ 이 연구는 서울과학기술대학교 교내 학술연구비 지원으로 수행되었습니다.

접수일자: 2014년10월28일, 수정일자: 2014년11월18일

게재확정: 2014년11월24일

전체 초음파 영상 시스템의 성능을 결정짓는 요소들 중에는 CMUT의 소자 특성이 중요하다고 할 수 있으나, 이와 더불어서 트랜스듀서와 접하고 있는 신호 처리용 아날로그 front-end (AFE) 집적회로의 성능 또한 중요하다고 볼 수 있다. AFE는 송신단과 수신단으로 구성되어 있으며, 송신단의 경우에는 고전압 신호를 생성하여 트랜스듀서에 가해줌으로써 충분한 음압을 만들어주는데 중점을 두고 있다. 수신단의 경우에는 전력 소모를 고려하여 저전압에서 신호를 처리하는 식으로 구현된다. 따라서 고전압 신호와 저전압 신호가 공존을 하는 시스템이며, 두 단 간의 독립성 및 수신단의 안정성을 위해서 고전압 차단 스위치가 수신단 앞부분에 위치를 하게 된다. 기존의 front-end 솔루션의 경우에는 특수한 고전압 CMOS 공정을 이용하여 구현을 하였으며<sup>[2]</sup>, 그에 따라서 면적 및 전력 소모가 높아지는 단점을 지니고 있다. 또한 표준 CMOS 공정만을 이용하여 구현한 연구 결과도 발표가 되었으나<sup>[3]</sup>, 기본 면적을 많이 차지하고 있어서 다중 어레이로 확장 시 전체적인 면적이 크게 증가한다는 단점을 갖고 있다.

본 논문에서는 송신단의 출력 드라이버를 동작 모드에 따라 수신단용 스위치로 재구성이 가능한 회로를 제안하여 전체 AFE의 면적을 크게 줄였으며, 표준 저전압 CMOS 공정만을 이용하여 설계를 하였다. II장에서는 전체 AFE 구조에 대해서 설명을 다루고 있고, III장에서는 주요 회로 부분에 대한 세부 설계 내용을 설명하고 있다. IV장에서는 주요 시뮬레이션 결과에 대해 다루며, V장에서 결론을 맺는다.

## II. 시스템 구조

그림 1에서는 기본적인 초음파 영상 시스템의 구조를 보여주고 있다. 전기 신호를 음압으로 바꿔주고, 반대로 음압을 전기 신호로 변환해주는 트랜스듀서가 있고, 이는 시스템의 사양에 따라 단일 채널 혹은 다중 어레이 (multi-array) 형태로 구성이 되어 있다. 트랜스듀서 어레이와 바로 접하고 있는 AFE 회로의 경우에는 송신부와 수신부로 나누어지게 되며, 송신부의 경우에는 여러 개의 지연된 펄스 신호를 고전압으로 증폭하여 트랜스듀서에 가해주는 역할을 하게 되고, 이를 통해 시스템에서 요구되는 크기의 음압 신호가 트랜스듀서를 통해 발생이 되어 영상을 얻고자 하는 인체 내부

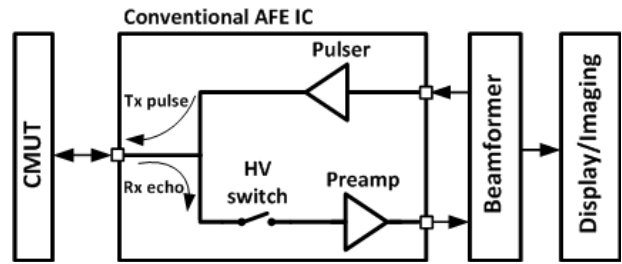


그림 1. 초음파 의료 이미징 시스템의 전체적인 블록도  
Fig. 1. Overall block diagram of the ultrasound imaging system.

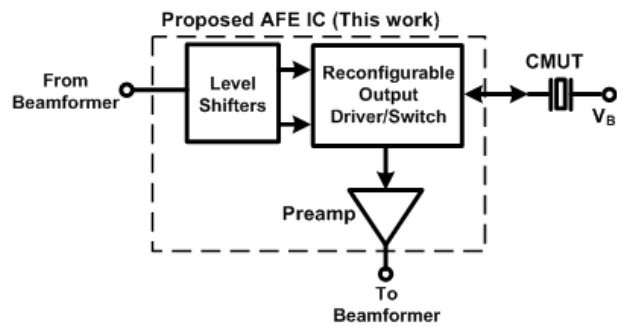


그림 2. 제안된 AFE IC의 전체적인 블록도  
Fig. 2. Overall block diagram of the proposed AFE IC.

의 목표 지점으로 전송이 된다. 송신된 음압 신호가 전송되는 과정에서 인체 내부 조직들 간의 임피던스 차이에 의해 일부분의 신호는 반사가 되어 돌아오게 되며 (echo signal), 이 신호는 트랜스듀서에 의해서 전기 신호로 다시 변환이 되어 수신부 앞 단을 이루고 있는 저잡음 증폭기를 통해 증폭이 된다. 빔포밍 (beamforming)부에서는 프로브 (probe)로부터 영상을 얻고자 하는 부위의 위치, 방향, 그리고 거리에 따라 여러 개의 지연된 펄스 파형을 생성을 하여 송신부로 보내주며, 다중 채널로 수신된 신호들에 대해 이득 제어, 디지털 신호 변환, pulse-echo 정보를 통한 디지털 신호 처리를 하여 최종적으로는 영상을 생성할 수 있게 된다.

본 연구에서는 초음파 영상을 이용하여 인체에 삽입된 주사 바늘의 위치 추적을 위한 용도로 정전용량형 트랜스듀서 인터페이스 AFE 회로를 설계하였으며, 2.6 MHz 동작 주파수에서 최고 15-V 펄스 파를 안정적으로 생성하고, 되돌아오는 신호를 충분히 증폭하는데 목표를 두고 있다. 한 채널 당 인터페이스 회로가 차지하는 면적 소모를 최소화하기 위해서 송신부의 출력 드라이버가 수신부용 스위치로 재구성이 가능하도록

록 회로 제안을 하였고, 시뮬레이션을 통해 그 동작을 검증하였다. 또한, 수신부의 경우에는 저전압 및 저전력에서 동작할 수 있도록 저잡음 증폭기의 설계 초점을 맞추었다.

### III. 회로 설계

그림 2는 제안된 AFE 전체 블록도를 보여주고 있다. 우선 송신 모드를 살펴보면, 빔포머로부터 전달되는 1.8-V 펄스 신호를 레벨시프터단을 통해 3.3-V 펄스와 12-V에서 15-V 사이에서 스윙하는 펄스로 변환을 해준다. 이 두 펄스는 출력 드라이버 입력으로 전달이 되고, 이를 통해 최종적으로 15-V 출력 펄스가 생성이 된다. 수신모드에서는 제어 신호를 통해 출력 드라이버 회로를 스위치 회로로 재구성을 하게 되고, CMUT으로 부터 변환된 전류 신호를 저잡음 증폭기 입력으로 전달 받을 수 있게 된다.

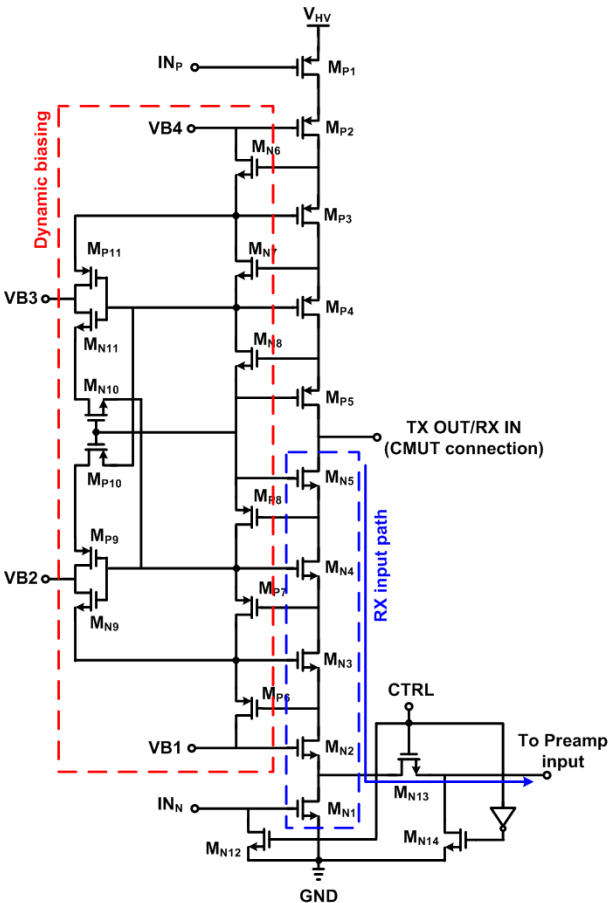


그림 3. 재구성 가능한 출력드라이버/스위치의 회로도  
Fig. 3. Schematic of reconfigurable output driver/switch.

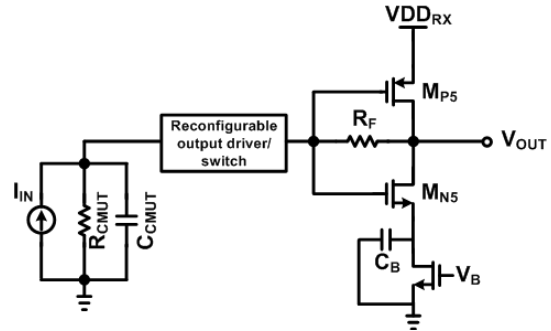


그림 4. 인버터 형태의 수신단 저잡음 증폭기의 회로도  
Fig. 4. Schematic of inverter-type low-noise transimpedance preamplifier.

그림 3은 제안된 재구성 가능한 출력 드라이버/스위치의 회로도를 나타내고 있다. 고전압을 견딜 수 있도록 트랜지스터 stack 구조를 적용하였고, 5개의 3.3-V deep-Nwell NMOS 트랜지스터 MN1-MN5와 5개의 3.3-V PMOS 트랜지스터 MP1-MP5로 이루어져 있다. 고전압 출력 드라이버로 동작하는 과정에서 각 트랜지스터의 경우 모든 단자간의 전압이 3.0~3.4 V 정도로 유지가 되도록 저항 ladder를 이용한 바이어스 회로가 있으며<sup>[4]</sup>, 제안된 회로에서는 면적을 줄이기 위해서 저항 소자가 아닌 트랜지스터 소자 (MN6-MN11, MP6-MP11)를 이용하여 저항을 구현하였다. 먼저 송신 모드를 살펴보면, 출력 펄스가 high일 때 MP1-MP5가 모두 ON이 되어 있는 상태이고 MN1-MN5가 모두 OFF이다. 이 때 MN13 트랜지스터도 OFF이기 때문에 수신단 증폭기 입력으로 고전압 펄스 신호가 가해지지 않도록 MN2-MN5 stack과 MN13 트랜지스터가 차단 스위치의 역할을 하게 된다. 이 때 고전압은 5개의 트랜지스터의 drain-source 단자 간의 전압으로 나누어져서 걸려있게 된다. 출력 펄스가 low일 때는 MN1-MN5가 모두 ON되고, MP1-MP5가 모두 OFF가 된다.

송신 모드에서 수신 모드로 전환을 하게 되면, PMOS stack 부분은 모두 OFF 상태가 되고 그림 3에서 파란색 점선 안에 있는 부분, 즉 MN2-MN5, MN13 트랜지스터가 모두 ON되면서 수신된 echo 신호가 CMUT에 의해 전류로 변환되어 저잡음 증폭기 입력으로 전달이 된다. 이는 디지털 제어 신호를 통해 재구성이 가능하며, 이 때 MN12 트랜지스터는 ON이 되면서 MN1 트랜지스터는 OFF가 되고, MN14 트랜지스터도 OFF가 된다. 따라서 기존 회로에서 따로 필요로 했던 고전압 차단 스위치의 역할을 재구성 가능한 출력드라이버 회

로로 모드 전환을 통해 두 가지 역할을 하게 된다. 회로의 트랜지스터 크기를 결정하는 과정에서는 특히 NMOS stack의 경우 송신모드에서 단자간의 적정 전압이 유지가 되면서 수신 모드에서 저잡음 증폭기의 잡음 특성에 영향을 최소화 할 수 있도록 고려하면서 결정을 하였다.

저잡음 증폭기의 경우 저항 및 커패시터 피드백<sup>[5~6]</sup> 형태의 다양한 종류의 구조들이 존재한다. 그림 4에 나와 있듯이 다중 어레이 응용을 고려하였을 때 면적과 전력 소모 등이 중요시되기 때문에, 이를 위하여 간단한 인버터 형태의 트랜스임피던스 구조를 사용하였으며, 1.5-V 전원에서 동작을 하고 전류 소모는 바이어스 회로를 포함해서 200  $\mu$ A이다. 인버터 구조의 경우 기존에 많이 알려져 있듯이 주어진 전류 소모에서 큰 트랜스컨덕턴스 값을 가질 수 있다는 장점이 있으며, 이를 통해 우수한 잡음 특성을 얻을 수 있다. 2.6 MHz에서 100 dB $\Omega$  이상의 이득을 얻을 수 있도록  $R_F$  저항 값을 결정하였으며, CMUT으로부터 2  $\mu$ A의 입력 전류 신호가 전달되었다고 가정했을 때 출력에서는 300 mV 정도의 전압 진폭을 얻을 수 있다.

#### IV. 시뮬레이션 결과

제안 된 AFE는 0.18- $\mu$ m CMOS 공정을 이용하여 설계를 하였다. 설계 된 칩의 레이아웃 사진은 그림 5에 나와 있으며, 송신부와 수신부 회로, 그리고 바이어스 및 decoupling 커패시터까지 모두 포함한 면적은 0.045

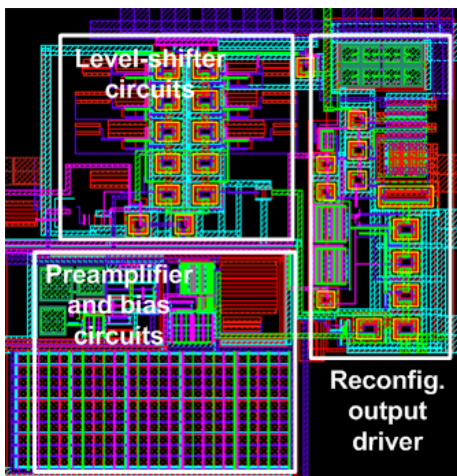


그림 5. AFE IC의 레이아웃  
Fig. 5. Layout of designed AFE IC.

$\text{mm}^2$  이다.

그림 6에서는 송신부의 동작을 확인하기 위한 transient 시뮬레이션 결과이다. 송신부의 출력에는 CMUT 등 모델과<sup>[3]</sup> 추가로 10 pF 커패시터가 부하로 연결되어 있는 상태에서 시뮬레이션을 실행하였다. 2.6 MHz의 1.8-V 입력 파형, 고전압 출력 드라이버의 NMOS 및 PMOS 입력 파형 (레벨시프터 출력), 그리고 최종 15-V 출력 파형을 나타내고 있으며, 입력에서 출력 파형간의 지연은 12.6 ns로 기록되었다. 출력 파형의 rise/fall time은 각각 18.3과 18.1 ns이었다. 그림 7에서는 출력 드라이버를 구성하고 있는 PMOS 트랜지스터 stack (MP1-MP5)의 주요 단자간의 (drain-source) 전압 강하를 보여주고 있으며, 3.3-3.4 V 이내의 전압이 걸리는 것을 볼 수 있고, 이를 통해 안정적으로 동작하는 것으로 확인할 수 있다. 이 외의 다른 단자간의 (gate, drain, bulk) 전압과 바이어스 회로를 구성하고 있는 트

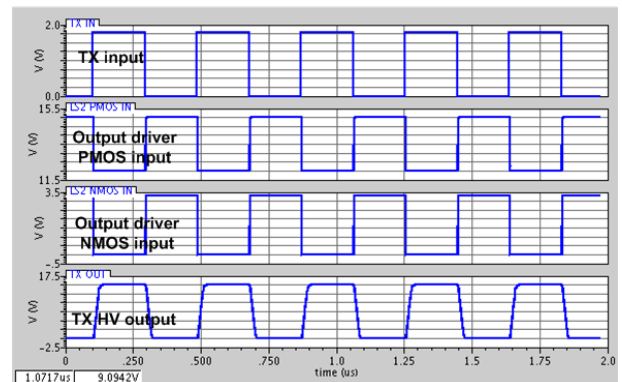


그림 6. 송신부의 transient 시뮬레이션 그래프  
Fig. 6. Transient simulation plot of transmitter.

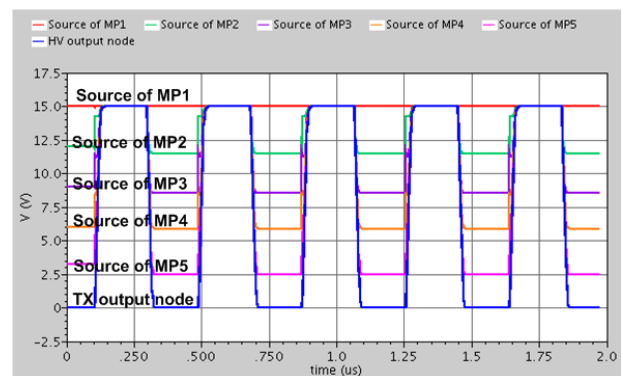


그림 7. 출력 드라이버에서 PMOS stack의 drain-source 단자간의 전압  
Fig. 7. Drain-source voltage of PMOS stack in the output driver.

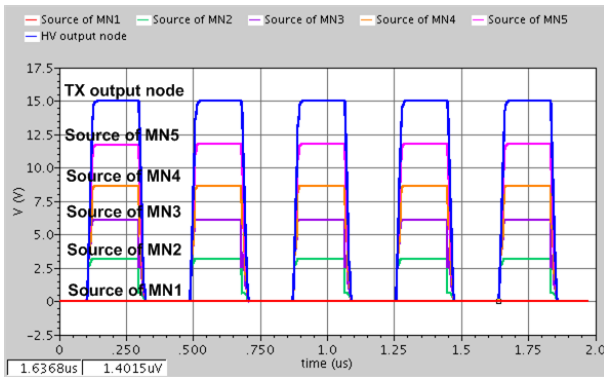


그림 8. 출력 드라이버에서 NMOS stack의 drain-source 단자간의 전압

Fig. 8. Drain-source voltage of NMOS stack in the output driver.

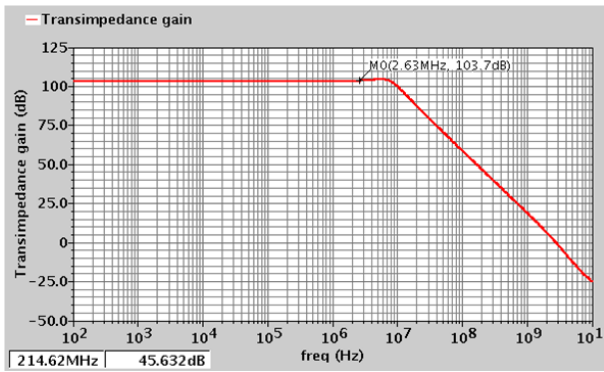


그림 9. 수신부 저잡음 증폭기의 주파수 응답 특성

Fig. 9. Frequency response plot of low-noise preamplifier.

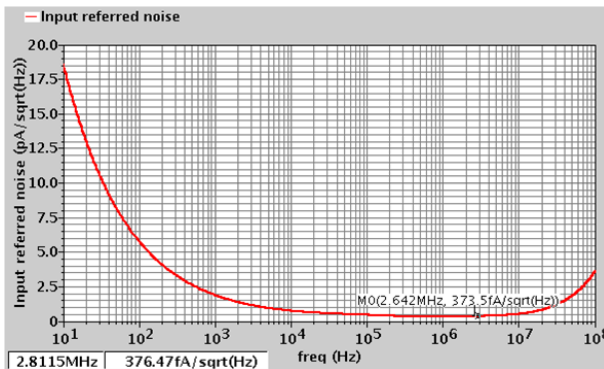


그림 10. 수신부 저잡음 증폭기의 입력 기준 잡음 특성

Fig. 10. Input referred noise plot of low-noise preamplifier.

랜지스터에 대해서도 마찬가지로 주어진 공정에서의 적정 전압 내에서 형성 되도록 확인을 하였다. 그림 8에서는 NMOS 트랜지스터 stack ( $M_{N1}$ - $M_{N5}$ )의 주요 단자간의(drain-source) 전압 강하를 보여주고 있으며, 설계 최적화를 통해 마찬가지로 3.3-3.4 V 이내의 전압이 걸

리는 것을 볼 수 있다.

그림 8에서는 수신부의 저잡음 증폭기의 주파수 특성 시뮬레이션 결과를 보여주고 있으며, 이 때 송신부의 출력 드라이버가 수신 모드용 스위치로 재구성되어 수신 신호가 NMOS stack 스위치를 통해서 증폭기로 입력되는 상태이고, 증폭기의 출력에는 3 pF 커패시터가 부하로 연결하고 시뮬레이션을 하였다. 2.6 MHz에서의 트랜스임피던스 이득이 103 dB $\Omega$ 이고, -3 dB 주파수는 11 MHz이다. 입력 기준 잡음 특성 시뮬레이션 결과는 그림 10에 나타나 있다. 2.6 MHz에서 약 380 fA/ $\sqrt{Hz}$ 의 성능을 나타내고 있다.

그림 11에서는 전체 AFE IC의 transient 시뮬레이션 결과를 보여주고 있다. 우선 제어신호를 통해 송신모드에서 동작을 시작하면, 1.8-V 입력 트리거 펄스가 외부

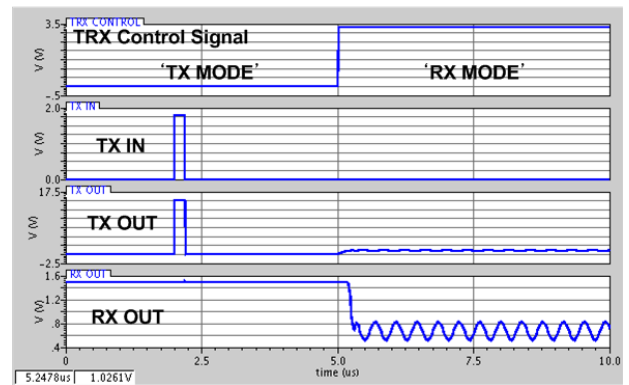


그림 11. AFE IC의 전체 transient 시뮬레이션

Fig. 11. Transient simulation plot of overall AFE IC.

표 1. 제안 된 초음파 AFE IC의 성능 요약표 및 기존 회로들과의 비교

Table 1. Performance summary of proposed AFE IC and comparison with previous works.

| Parameter                   | [2]                           | [3]                           | This work                     |
|-----------------------------|-------------------------------|-------------------------------|-------------------------------|
| Blocks                      | Pulser/Switch/Preamp          | Pulser/Switch/Preamp          | Reconfigurable Pulser/Preamp  |
| HV pulser output voltage    | 30 V                          | 15 V                          | 15 V                          |
| HV pulser trigger width     | 150-170 ns                    | 192 ns                        | 192 ns                        |
| Preamp gain                 | 96.6 dB $\Omega$              | 94 dB $\Omega$                | 103 dB $\Omega$               |
| Preamp input referred noise | 0.56 mPa/ $\sqrt{Hz}$ @ 3 MHz | 662 fA/ $\sqrt{Hz}$ @ 2.6 MHz | 380 fA/ $\sqrt{Hz}$ @ 2.6 MHz |
| Preamp bandwidth            | 5.2 MHz                       | 8.3 MHz                       | 11 MHz                        |
| Preamp power consumption    | 14.3 mW                       | 382 $\mu$ W                   | 110 $\mu$ W                   |
| Area (1-channel AFE)        | 0.33 mm <sup>2</sup>          | 0.15 mm <sup>2</sup>          | 0.045 mm <sup>2</sup>         |
| Technology                  | 0.18 $\mu$ m HVCMOS           | 0.18 $\mu$ m CMOS             | 0.18 $\mu$ m CMOS             |

에서 전달이 되면서 이는 15-V의 고전압 펄스로 생성이 되는 것을 확인할 수 있다. 그런 후 수신 모드로 전환이 되면서 증폭기 출력에서 수신된 신호가 올바르게 나오는 것을 확인할 수 있다.

표 1에서는 기존에 제안된 초음파 영상 시스템용 AFE와의 주요 성능을 비교하고 있다. 제안된 회로의 경우 표준 CMOS공정을 이용하였으며, 재구성 가능한 출력드라이버를 이용하여 한 채널당 면적이 기존 회로들에 비해서 크게 개선된 것을 알 수 있다. 또한, 수신단의 잡음 및 전력소모 등이 타 연구 결과에 비해 우수한 것을 확인할 수 있다.

## V. 결 론

본 논문에서는 초음파 의료 영상 시스템을 위한 아날로그 front-end 집적회로를 0.18- $\mu\text{m}$  표준 CMOS 반도체 공정을 이용하여 설계하였다. 제안된 front-end 회로는 2.6 MHz에서 15-V 고전압 펄스 신호를 생성하는 송신부와 고전압 차단 스위치 및 저전력 저잡음 증폭기에 해당하는 수신부를 모두 포함하고 있으며, 동작 모드에 따라서 송신부의 출력 드라이버를 수신단의 스위치 회로로 재구성이 가능하도록 설계를 하여 기존 front-end 회로와 비교하였을 때 칩 면적을 크게 줄일 수 있다. 설계된 단일 채널 front-end회로의 칩 면적은 0.045 mm<sup>2</sup> 이다.

## REFERENCES

- [1] B. T. Khuri-Yakub and O. Oralkan, "Capacitive micromachined ultrasound transducers for medical imaging and therapy," *J. Micromechanics and Microengineering* vol. 21, 2011.
- [2] K. Chen, A.P. Chandrakasan, C.G. Sodini, "Ultrasonic imaging front-end design for CMUT: A 3-level 30 vpp pulse-shaping pulser with improved efficiency and a noise-optimized receiver," in *Proc. IEEE Asian Solid-State Circ. Conf.*, 2012, pp. 173-176
- [3] A. Banuaji and Hyouk-Kyu Cha, "A highly-integrated analog front-end IC for medical ultrasound imaging systems," *J. of IEIE SD*, vol. 50, no. 12, pp. 2987-2993, 2013.
- [4] B. Serneels, T. Piessens, M. Steyaert, and W. Dehaene, "A high-voltage output driver in a

2.5-V 0.25- $\mu\text{m}$  CMOS technology," *IEEE J. Solid-State Circuits*, vol. 40, no. 3, pp. 576-583, Mar. 2005.

- [5] G. Gurun, P. Hasler, and F.L. Degertekin, "Front-end receiver electronics for high-frequency monolithic CMUT-on-CMOS imaging arrays," *IEEE Trans. Ultrason. Ferroelectr. Freq. Control*, vol. 58, no. 8, pp. 1658-1668, Aug. 2011.
- [6] S.-Y. Peng, M. Qureshi, P. Hasler, A. Basu, and F.L. Degertekin, "A charge-based low-power high-SNR capacitive sensing interface circuit," *IEEE Trans. Circuits and Systems I*, vol. 55, no. 7, pp. 1863-1872, Aug. 2008.

## 저 자 소 개



차 혁 규(평생회원)

2003년 KAIST 전기및전자공학과  
학사 졸업.

2009년 KAIST 전기및전자공학과  
박사 졸업.

2009년~2012년 Institute of  
Microelectronics,  
Singapore, Scientist

2012년~현재 서울과학기술대학교

전기정보공학과 조교수

<주관심분야 : 바이오메디컬 집적회로 설계>