

# DDIC 칩의 정전기 보호 소자로 적용되는 GG\_EDNMOS 소자의 고전류 특성 및 더블 스냅백 메커니즘 분석

양준원\*, 김형호\*\*, 서용진\*\*\* 정회원

## High Current Behavior and Double Snapback Mechanism Analysis of Gate Grounded Extended Drain NMOS Device for ESD Protection Device Application of DDIC Chip

Jun-Won Yang\*, Hyung-Ho Kim\*\*, Yong-Jin Seo\*\*\* *Regular Members*

### 요 약

본 논문에서는 고전압에서 동작하는 DDIC(display driver IC) 칩의 정전기 보호소자로 사용되는 GG\_EDNMOS 소자의 고전류 특성 및 더블 스냅백 메커니즘이 분석되었다. 이온주입 조건을 달리하는 매트릭스 조합에 의한 수차례의 2차원 시뮬레이션 및 TLP 특성 데이터를 비교한 결과, BJT 트리거링 후에 더블 스냅백 현상이 나타났으나 웰(well) 및 드리프트(drift) 이온주입 조건을 적절히 조절함으로써 안정적인 ESD 보호성능을 얻을 수 있었다. 즉, 최적의 백그라운드 캐리어 밀도를 얻는 것이 고전압 동작용 정전기보호소자의 고전류 특성에 매우 중요한 영향을 주는 임계인자(critical factor)임을 알 수 있었다.

**Key Words :** ESD (Electrostatic discharge), GG\_EDNMOS (Gate Grounded\_Extended Drain N-type MOSFET), TLP (Transmission Line Pulse), DDIC (Display Driver IC), BJT (Bipolar Junction Transistor), Double Snapback, Latch-up

### ABSTRACT

In this study, the high current behaviors and double snapback mechanism of gate grounded\_extended drain n-type MOSFET(GG\_EDNMOS) device were analyzed in order to realize the robust electrostatic discharge(ESD) protection performances of high voltage operating display driver IC(DDIC) chips. Both the transmission line pulse(TLP) data and the thermal incorporated 2-dimensional simulation analysis as a function of ion implant conditions demonstrate a characteristic double snapback phenomenon after triggering of bipolar junction transistor(BJT) operation. Also, the background carrier density is proven to be a critical factor to affect the high current behavior of the GG\_EDNMOS devices.

## I. 서 론

태양으로부터 날라 오는 고에너지를 가진 양성자, 알파입자 등의 고에너지 입자들에 의한 복사, 지구자기장을 따라 형성되는 전하를 띤 전자, 양성자 등의 고에너지 포획입자에 의해 생성되는 복사와 은하계로부터 날라 오는 고에너지 입자들의 흐름인 우주선 등 자연복사는 메가전자볼트 정도의 고에너지로 정전기 방전과 같은 현상을 유발하여 위성 구성요소인 전자장비에 해를 입히는 것으로 알려져 있다.

따라서 위성체나 위성통신을 위해 지상에 설치되는 최첨

단 기기에서 사용되는 DDIC(display driver IC), LDI(LCD Driver IC) 칩은 고전압 동작용 마이크로 칩으로 정전기(ESD: Electrostatic Discharge) 보호가 매우 중요한 이슈이다[1]. 그동안 N형 MOSFET (NMOS) 소자가 I/O 셀(Input/Output cell) 응용을 위해 ESD 보호소자로 채택되어 왔다. 그러나 고전압에서 동작하는 NMOS 소자에서는 안정한 ESD 보호 성능을 얻기 어려웠다. 그 이유는 NMOS 소자가 ESD 스트레스에 대해 안정하지 못해 매우 강한 스냅백(strong snapback) 현상이 발생하며, 이로 인해 비선형성의 멀티 핑거(multi-finger) 트리거링(triggering) 및 전류집중

\*세한대학교 컴퓨터교육과 (jwyang@sehan.ac.kr)

\*\*세한대학교 컴퓨터교육과 (hhkim@sehan.ac.kr)

\*\*\*세한대학교 나노정보소재연구소(syj@sehan.ac.kr), 교신저자 : 서용진

접수일자 : 2013년 5월 6일, 수정완료일자 : 2013년 6월 12일, 최종 게재확정일자 : 2013년 6월 21일

(current crowding) 현상을 일으켜 결국에는 전류 필라멘트(current filament)로 작용하여 멜팅 손상(melting damage)을 유발하기 때문이다[2-4]. 이러한 문제점을 해결하여 안정한 ESD 보호 성능을 달성하기 위해 NMOS 소자의 구조를 변경한 많은 연구가 있었으나, 부분적인 성공만 제안되었을 뿐이다[5-10]. 따라서 고전압 영역에서 동작하는 NMOS 소자에서 안정한 ESD 보호 성능을 구현하기 위해서는 고전류 영역에서 발생하는 더블 스냅백(double snapback) 메커니즘의 이해가 선행되어야 한다.

최근에 고전압 동작용 NMOS 소자는 더블 스냅백 현상을 보이며, 2차 온 상태(on-state)는 매우 낮은 스냅백 홀딩(snapback holding) 전압에 기인한다고 보고한 바 있다[11-12]. 이와 관련된 메커니즘은 고전자 주입(high electron injection)에 의해 베이스 푸쉬 아웃(base push-out)과 깊은 전자 채널링(deep electron channeling)을 일으키기 때문인 것으로 알려져 있다[12-13]. 주입된 전자밀도가 백그라운드 캐리어 밀도(background carrier density; 이는 웨이퍼 기판농도, p-웰, n-드리프트 영역의 농도에 의존함)를 초과할 때, 베이스 푸쉬 아웃 현상이 일어나므로 백그라운드 도핑 농도(background doping concentration; BDC)가 더블 스냅백 현상의 발생에 중요한 임계인자(critical factor)가 될 수 있다[10][14-15]. 따라서 고전압에서 동작하는 NMOS 소자의 ESD 보호 성능에 대한 BDC 의존성과 더블 스냅백 메커니즘에 대한 상세한 연구는 의미 있는 연구가 될 것으로 생각된다.

본 연구에서는 ESD 보호 성능의 향상을 위해 BDC를 최적화시키는 방법에 목표를 두고, 고전압 동작용 DDIC 칩의 I/O 셀 응용을 위해 GG\_EDNMOS(Gate Grounded\_Extended Drain N-type MOSFET) 소자의 더블 스냅백 메커니즘과 BDC의 영향을 재조명하기 위해 2D 시뮬레이션 분석과 소자특성 실험에 의한 TLP(transmission line pulse) 데이터를 비교분석하여 최적의 이온주입 조건을 결정하기 위한 효과적인 디자인 가이드라인(design guideline)을 제시하고자 한다.

## II. 소자구조 및 분석 방법

### 1. 소자 구조

그림 1은 본 논문에서 제안하는 고전압 동작용 GG\_EDNMOS 소자의 구조를 개략적으로 도시한 것이다. GG\_EDNMOS 소자는  $N^+$  드레인이  $N^-$  드리프트 확산 영역으로 둘러싸여 있는 이중 확산된 드레인(double diffused drain; DDD) 구조를 채택하였으며[14], 이 소자는 고전압 동작용 MOSFET 소자에 대표적으로 사용되고 있다. 또한 GG\_EDNMOS 소자는 게이트와  $N^+$  드레인 확산영역이 서로 인접되지 않도록 설계하였으며, GG\_EDNMOS 소자의 백그라운드 도핑 농도(BDC)는 그림 1에 보인 것처럼  $N^+$  소오스

와  $N^+$  드레인 사이에 있는  $N^-$  드리프트 영역과 HP-Well(high voltage p-type well) 영역의 농도에 의해 결정된다. DDD 구조를 형성하기 위해 사용된 이온주입 조건은 이전에 발표되었던 소자와 동일한 도핑농도를 사용하였다[14].  $N^+$  드레인 활성영역은  $10^{15} \sim 10^{16} \text{cm}^{-2}$ 의 비교적 높은 농도로 이온주입 하였고, 드레인을 둘러싸고 있는  $N^-$  드리프트 영역의 이온주입량은  $\sim 10^{13} \text{cm}^{-2}$ 의 비교적 낮은 농도로 이온주입을 실시하였다. 또한, 채널을 형성하는 HP-Well 영역은  $\sim 10^{12} \text{cm}^{-2}$ 의 범위에서 드리프트 영역보다 낮은 농도로 이온주입하였다.

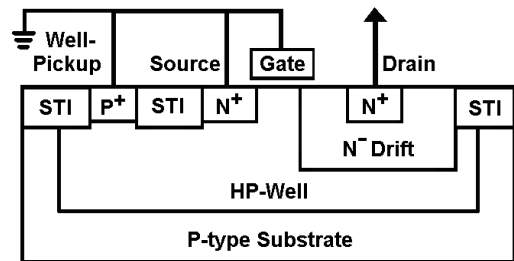


그림 1. GG\_EDNMOS 소자의 개략도[14]

### 2. 시뮬레이션 분석 방법

GG\_EDNMOS 소자의 고전류 동작 특성은 열적효과(thermal effect)가 포함된 2차원 시뮬레이션을 사용하여 분석되었다. GG\_EDNMOS 소자들은  $0.18\mu\text{m}_30\text{V}$ 의 표준 고전압 공정을 적용한 TSUPREM4(Synopsys Co.) 공정 시뮬레이터를 사용하여 제작되었다. 전류-전압(I-V) 특성과 이와 관련된 물리적 특성 값들은 DESSIS(Synopsys Co.) 소자 시뮬레이터를 사용하여 분석되었다. HBM(human body model)의 ESD 스트레스를 시뮬레이션 하기 위해 MMT(mixed mode transient) 시뮬레이션이 10 nsec의 상승시간(rise time)과 100 nsec의 지속시간(duration time)을 갖는 사다리꼴 전류펄스를 적용하여 수행되었다. TLP 테스트 시스템인 Barth 4002가 GG\_EDNMOS 소자의 고전류 반응을 모니터링 하기 위해 사용되었다[16]. 측정 동안 펄스의 상승시간과 지속시간은 각각 10 nsec와 100 nsec를 유지해 주었다. 특성 분석은  $0.18\mu\text{m}_30\text{V}$ 의 표준 고전압 공정에서 수행되었으며, GG\_EDNMOS 소자의 BDC를 효과적으로 변화시키기 위해 HP-Well 이온주입량과  $N^-$  드리프트 이온주입량을 각각 변화시켜 가며 매트릭스 조합(matrix combination)에 의한 수차례의 반복 시뮬레이션을 수행하였다.

## III. 결과 및 고찰

### 1. 더블 스냅백 메커니즘

일반적으로 더블 스냅백 현상이 발생하면 2개의 서로 다

른 온 상태가 관찰된다. 1차 온 상태는 비교적 약한 스냅백 특성을 보이며, 이는 정상적인 BJT(bipolar junction transistor) 동작이라고 볼 수 있다. 그러나 2차 온 상태는 매우 낮은 스냅백 홀딩 전압과 함께 매우 낮은 온 저항(심지어 네가티브 저항이 되기도 함) 특성을 나타내기도 한다. 이는 각기 다른 농도를 갖는 즉, 다양한 BDC를 갖는 고전압 동작용 NMOS 소자에서 일반적으로 관찰되는 특성이다[3-8].

더블 스냅백 특성에 관련된 메커니즘은 열적효과가 포함된 2차원 소자 시뮬레이션을 사용하여 조사되었다. 시뮬레이션 분석은 TLP 측정을 위해 사용된 소자와 동일한 BDC를 가지며, HP-Well 이온주입량은  $7.5 \times 10^{12} \text{cm}^{-2}$  이었고, N<sup>-</sup> 드리프트 이온주입량은  $1.1 \times 10^{13} \text{cm}^{-2}$  인 비교적 낮은 BDC 농도를 갖는 GG\_EDNMOS 소자에서 수행되었다[14]. 시뮬레이션으로 추론된 I-V 및 I-T(current-temperature) 관계 특성은 그림 2에 보인 바와 같이 고전류 영역에서 더블 스냅백 현상이 나타났다.

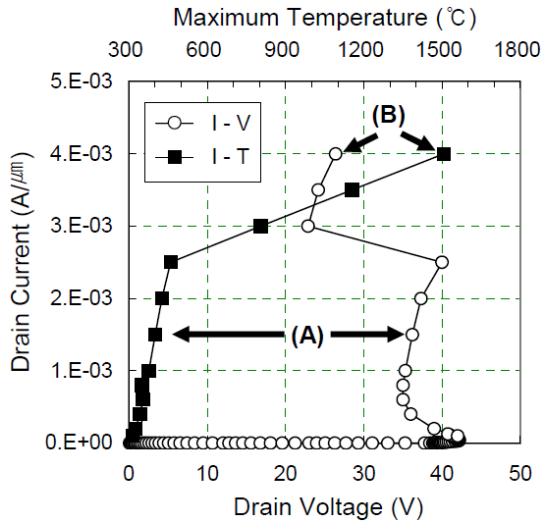
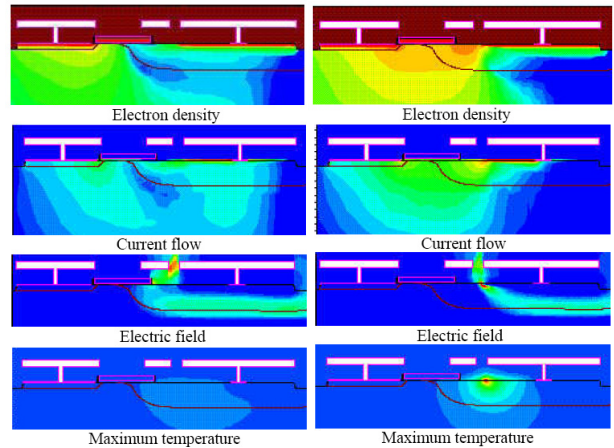


그림 2. 비교적 낮은 BDC 농도 (HP-Well 이온주입량 =  $7.5 \times 10^{12} \text{cm}^{-2}$ , N<sup>-</sup> 드리프트 이온주입량 =  $1.1 \times 10^{13} \text{cm}^{-2}$ ) 를 갖는 GG\_EDNMOS 소자의 시뮬레이션된 I-V 및 I-T 특성

최대 국부 온도(maximum local temperature)는 소자가 1차 온 상태에서 2차 온 상태로 전이(transfer)될 때 급격한 증가를 보였다. 최대 온도의 증가는 내부적으로 전류 필라멘트를 형성하여 2차 온 상태에서 강한 국부적인 열에너지를 소모한다. 1.5mA/μm의 스트레스 전류가 인가되었을 때, 대략  $\gg 37\text{V}$  이상의 스냅백 홀딩 전압에서 싱글 스냅백이 일어나고 안정화되었다. 이는 ESD 시스템이 1차 온 상태에 있음을 의미하는 것으로 그림 2의 (A) 포인트에 해당하는 것이다. 4mA/μm의 스트레스 전류가 인가된 경우에는 스냅백 홀딩 전압은  $\gg 27\text{V}$ 에서 최종적으로 안정화되었다. 이는 그림 2의 포인트(B)에 해당한다. 소자가 2차 온 상태에 들어갔을 때 또 다시 최대 국부 온도의 급격한 증가가 나타났다.

더블 스냅백에 관련된 메커니즘은 그림 3에 보인 것처럼,

전자 밀도, 전류 밀도, 전계 및 최대 온도의 등고선(contour) 분석으로 다시 설명될 수 있다[14]. 인가된 스트레스 전류가 1.5mA/μm이고, 소자가 1차 온 상태에 있을 때 전형적인 BJT 동작의 등고선 분포가 나타났다. 이 상태에서 전자 분포 및 이에 해당하는 전류 흐름은 그림 3(a)에 보인 바와 같이 N<sup>-</sup> 드리프트 영역의 바닥(bottom) 방향을 따라 통과하는 다소 수직으로 분포된 U형의 경로를 나타내었다.



(a) 1.5mA (b) 4mA  
그림 3. 전자밀도, 전류밀도, 전계 및 국부 온도의 등고선 분석. (a) 드레인 전류 레벨이 1.5mA/μm로 그림 2의 (A)에 해당, (b) 드레인 전류 레벨이 4mA/μm이며, 그림 2의 (B) 포인트에 해당함

스트레스 전류를 4mA/μm까지 증가시키면 소오스로부터 주입된 고전자로 인해 소오스로부터 드레인까지 전자가 풍부한 영역(electron rich region)이 측면 확장하는 양상을 나타내었다. 소오스로부터 드레인 측면까지 전자 풍부한 영역의 측면 확장으로 그림 3(b)에 보인 것처럼 N<sup>-</sup> 소오스와 N<sup>-</sup> 드레인 확산 영역 사이를 연결하는 깊은 전자 채널이 게이트 아래에 형성되었다. 깊은 전자 채널을 수반하는 낮은 저항성 경로는 매우 강한 스냅백과 낮은 온 저항을 갖는 2차 온 상태를 유도하였다[12]. 고전류 주입으로 유도된 베이스 푸쉬 아웃과 그 결과로서 발생하는 더블 스냅백 현상은 이미 발표되었다.[13] 고전류 유도에 의한 전자밀도가 HP-Well과 N<sup>-</sup> 드리프트 영역의 백그라운드 도핑 레벨을 초과하였을 때 백그라운드 영역은 충격저항(ballistic resistance)을 잃고 무전계의 베이스 영역이 되었다. 최대 국부 온도의 급격한 증가는 베이스 푸쉬 아웃에 의해 유도된 국부적인 높은 전계영역으로 설명될 수 있다. 스트레스 전류가 더 증가함에 따라 공핍영역은 N<sup>-</sup> 드리프트 영역으로부터 N<sup>-</sup> 드레인 확산영역과 N<sup>-</sup> 드리프트 영역의 매우 근접한 경계 영역까지 변위되었다. 공핍영역의 이동에 따라 최대 전계 영역도 공핍영역을 따라 변위되었고, N<sup>-</sup> 드리프트/N<sup>-</sup> 드레인 확산영역 경계의 표면에서 가장 높게 국부화되었다. 즉, 전계의 등고선 분포는 2차 온 상태에 들어간 N<sup>-</sup> 드리프트 영역과 N<sup>-</sup> 드레인 확산층의 가장 인접한 경계에서 급격한 측면 축소와 국부화를 일으켰

다. 그 결과, 높게 국부화된 최대 온도 영역은  $N^-$  드리프트 /  $N^+$  드레인 확산 경계의 표면에서 나타났다.

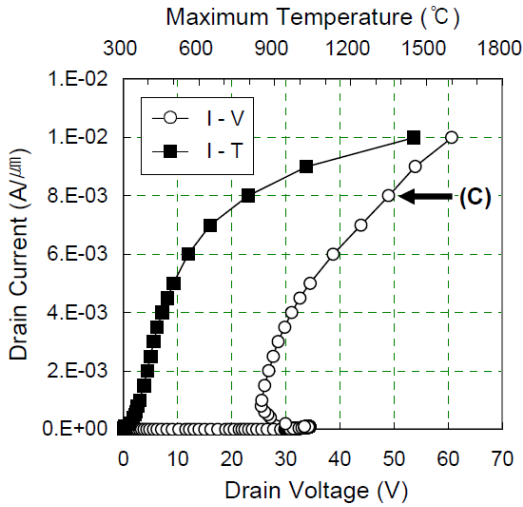


그림 4. 높은 BDC를 갖는 GG-EDNMOS 소자의 시뮬레이션된 I-V 및 I-T 관계 특성.(HP-Well 이온주입량 =  $1.7 \times 10^{13} \text{cm}^{-2}$ ,  $N^-$  드리프트 이온주입량 =  $4.0 \times 10^{13} \text{cm}^{-2}$ )

이에 해당하는 최대 국부 온도의 빠른 증가는 전류의 국부화라기 보다는 전계의 압축(condensation)에 의해 초래되어지는 것으로 생각된다. 가장 높은 전계 위치와 최대 국부 온도의 위치 사이의 정확한 일치는 그림 3(b)에 보인 등고선 데이터에서 명백히 볼 수 있다.

## 2. 더블 스냅백에 미치는 BDC의 영향

앞 절에서 설명된 결과들은 안정한 ESD 보호 성능을 구현하기 위해서는 깊은 전자 채널 형성과 이로 인한 2차 온상태의 발생이 일어나지 않도록 막을 필요가 있음을 제안하

는 것이다. 온 상태의 전자 분포가 소자 내의 백그라운드 도핑 분포에 매우 의존하기 때문에 HP-Well 이온주입량과  $N^-$  드리프트의 이온주입량과 같은 BDC의 효과적인 조절은 깊은 전자 채널의 형성을 결정하는 매우 중요한 인자라고 판단된다.

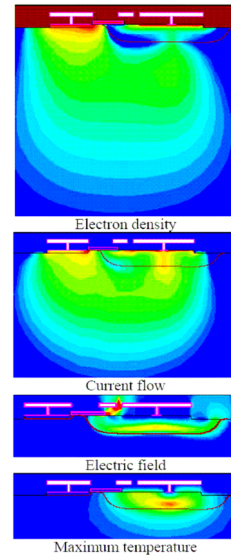


그림 5. HP-Well 이온주입량= $1.7 \times 10^{13} \text{cm}^{-2}$ 이고,  $N^-$  드리프트 이온주입량= $4.0 \times 10^{13} \text{cm}^{-2}$ 인 비교적 높은 BDC 조건에서 GG\_EDNMOS 소자의 전류 밀도, 전계 및 국부적인 온도의 등고선 분석. 여기서 드레인 전류는 그림 4의 (C)에 해당하며, 드레인 전류 레벨은  $8 \text{mA}/\mu\text{m}$ 임.

따라서 각각의 이온주입 조건들이 깊은 전자 채널 형성에 미치는 영향을 분석하기 위해 열적효과가 내장된 2차원 소자 시뮬레이션을 이용하여 조사되었다. 시뮬레이션 분석은 여러 가지 공정 파라미터들 가운데서 HP-Well 이온주입량과  $N^-$  드리프트 이온주입량이 깊은 전자 채널과 이로 인해

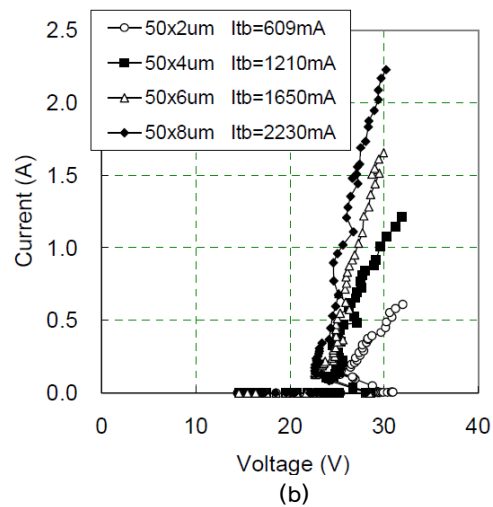
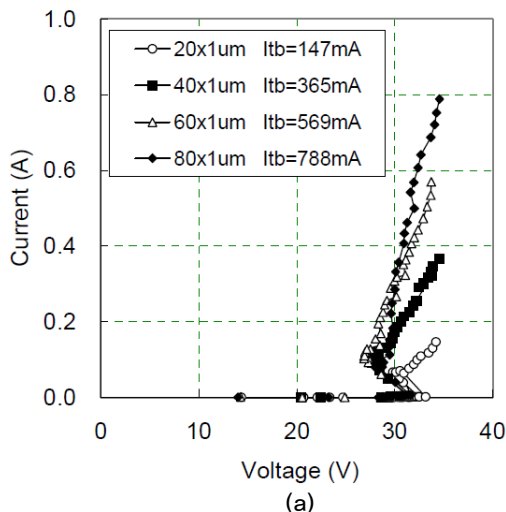


그림 6. 높은 BDC를 갖는 GG\_EDNMOS 소자의 TLP I-V 특성. (a) 내부 확산 폭의 변화, (b) 핑거수에 따른 변화. (그림 안에 삽입된 설명에서 첫 열의 앞 숫자는 내부 확산 폭이고, 뒤의 숫자는 핑거수를 나타냄. 두 번째 열의 Itb는 열적 브레이크 다운 전류 레벨을 나타냄)

발생하는 더블 스냅백을 결정하는 임계인자임을 입증할 목적으로 반복 수행되었다.

임계 한계값(HP-Well 이온주입량= $1.7 \times 10^{13} \text{cm}^{-2}$ , N<sup>-</sup> 드리프트 이온주입량= $4.0 \times 10^{13} \text{cm}^{-2}$ ) 이상으로 BDC를 증가시키기에 따라 GG\_EDNMOS 소자는 더 이상 더블 스냅백 현상을 보이지 않았다. 그러나 그림 4에 보인 것과 같이 적당한 스냅백 홀딩 전압, 높은 열적 브레이크다운 전류 및 이로 인한 높은 열적 브레이크다운 전압을 갖는 1차 온 상태를 유지하였다. 따라서 안정한 ESD 보호 성능은 높은 BDC를 갖는 GG\_EDNMOS 소자에서 구현될 수 있음을 알 수 있다.

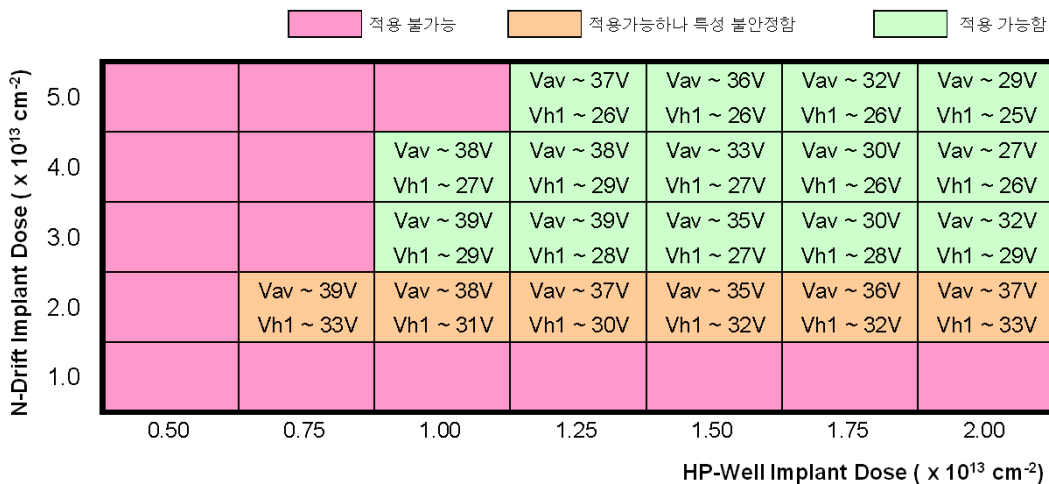
그림 5에 보인 것과 같은 등고선 분석은 I-V 특성곡선과 일치하는 결과를 보였다. 높은 BDC (HP-Well 이온주입량= $1.7 \times 10^{13} \text{cm}^{-2}$ , N<sup>-</sup>드리프트 이온주입량= $4.0 \times 10^{13} \text{cm}^{-2}$ )의 경우에 고전류 주입에 의해 생성된 깊은 전자 채널은 충분히 높은 전류 레벨에서도 일어나지 않았다. 고전류 주입은 전자가 풍부한 영역을 소오스로부터 약간 확장시켜 강제로 형성시킬 수도 있다. 그러나 낮은 BDC의 경우에는 대조적으로 처음 형성되었던 U형의 BJT 전도 경로는 고전류 주입에서도 유지되었다. 즉, N<sup>-</sup> 소오스 확산층으로부터 주입된 대부분의 전자는 바닥 방향의 U형의 전류 경로를 따라 드레인으로 빠져나갔다. 따라서 N<sup>-</sup> 소오스 측의 전자 풍부 영역은 측면으로 확장되는 것을 멈추고, N<sup>-</sup> 소오스 확산층으로부터 N<sup>-</sup> 드레인 확산영역까지의 깊은 전자 채널은 결코 형성되지 않았다. 게다가 전계는 N<sup>-</sup> 드레인 확산과 N<sup>-</sup> 드리프트 영역의 경계에서 측면 축소도 압축도 나타나지 않았으며, 이 상태를 계속 유지하면서 N<sup>-</sup> 드리프트 영역 위에 넓게 분포되었다. 따라서 최대 국부 온도 영역은 N<sup>-</sup> 드리프트 영역의 바닥 방향을 따라 넓게 형성되었다. 이러한 경우에 최대 국부 온도는 전계의 국부화라기 보다는 최대 전류 흐름에 의해 결정되었다. 이와 같이 높은 BDC를 갖는 GG\_EDNMOS 소자에서 국부화되지 않은 온도 분포는 고전류 면역 레벨을 보장하는 것이다.

### 3. TLP I-V 특성

더블 스냅백 현상 외에도 내부 확산 폭(inner diffusion width) 또는 핑거수(finger number)의 변화에 따른 전류 면역 레벨의 비선형성도 GG\_EDNMOS 소자가 ESD 보호 소자로 채택되는 것을 방해하는 매우 심각한 문제이다. 일반적으로 ESD 보호 소자의 전류 면역 레벨의 선형성은 열적 브레이크다운 전압( $V_{tb}$ )이 BJT 트리거링 전압( $V_{tr}$ )보다 클 때 보장되는 것으로 알려져 있다. 시뮬레이션 분석 결과에 의하면 이러한 선형성을 유지하기 위한 필요충분조건은 그림 2에서 언급했듯이 낮은 BDC를 갖는 GG\_EDNMOS 소자에서 매우 방해 받고 있음을 지적해 주고 있다. 이에 해당하는 TLP I-V 데이터는 내부 확산 폭 또는 핑거수의 변화에 따른 전류 면역 레벨에 선형성이 나타나지 않았다. 그러나 높은 BDC를 갖는 GG\_EDNMOS 소자는 그림 4에 보인바와 같이 선형성 필요충분조건을 만족하고 있음을 보여준다. 따라서 전류 면역 레벨의 선형성은 높은 BDC를 갖는 GG\_EDNMOS 소자에서 더 유리함을 알 수 있다.

그림 6은 그림 4 및 그림 5와 동일한 이온주입 조건인 높은 BDC를 갖는 GG\_EDNMOS 소자의 TLP I-V 특성을 보인 것으로, 그림 6(a)는 내부 확산 폭에 따른 변화이고, (b)는 핑거수 변화에 따른 TLP 결과를 나타낸 것이다. 여기서 그림 6에 삽입된 설명에서 첫 번째 열에서 앞 숫자는 내부 확산 폭이고, 뒤의 숫자는 핑거수를 나타낸다. 그리고 두 번째 열에 표시된  $I_{tb}$ 는 열적 브레이크다운 전류 레벨을 나타낸다. 시뮬레이션 결과와 일치하여 높은 BDC를 갖는 GG\_EDNMOS 소자의 경우 I-V 특성 곡선에 대한 TLP 측정 데이터는 그림 6에 보인 바와 같이 핑거수 및 내부 확산 폭의 다양한 변화에 대해 매우 양호한 선형성을 나타내었다. 이는 안정한 ESD 보호 성능이 BDC를 적절히 조절함으로써 GG\_EDNMOS 소자에서 달성될 수 있음을 한 번 더 입증하는 결과이다.

표 1. 최대 동작 전압이 30V인 GG\_EDNMOS 정전기 보호 소자의 이용 가능한 BDC 조절 범위를 최적화하기 위한 매트릭스 조합 결과. 여기에 사용된 용어는 다음과 같이 정의된다.  $V_{av}$ : 애발란치 브레이크다운 전압,  $V_{h1}$ : 1차 스냅백 홀딩 전압





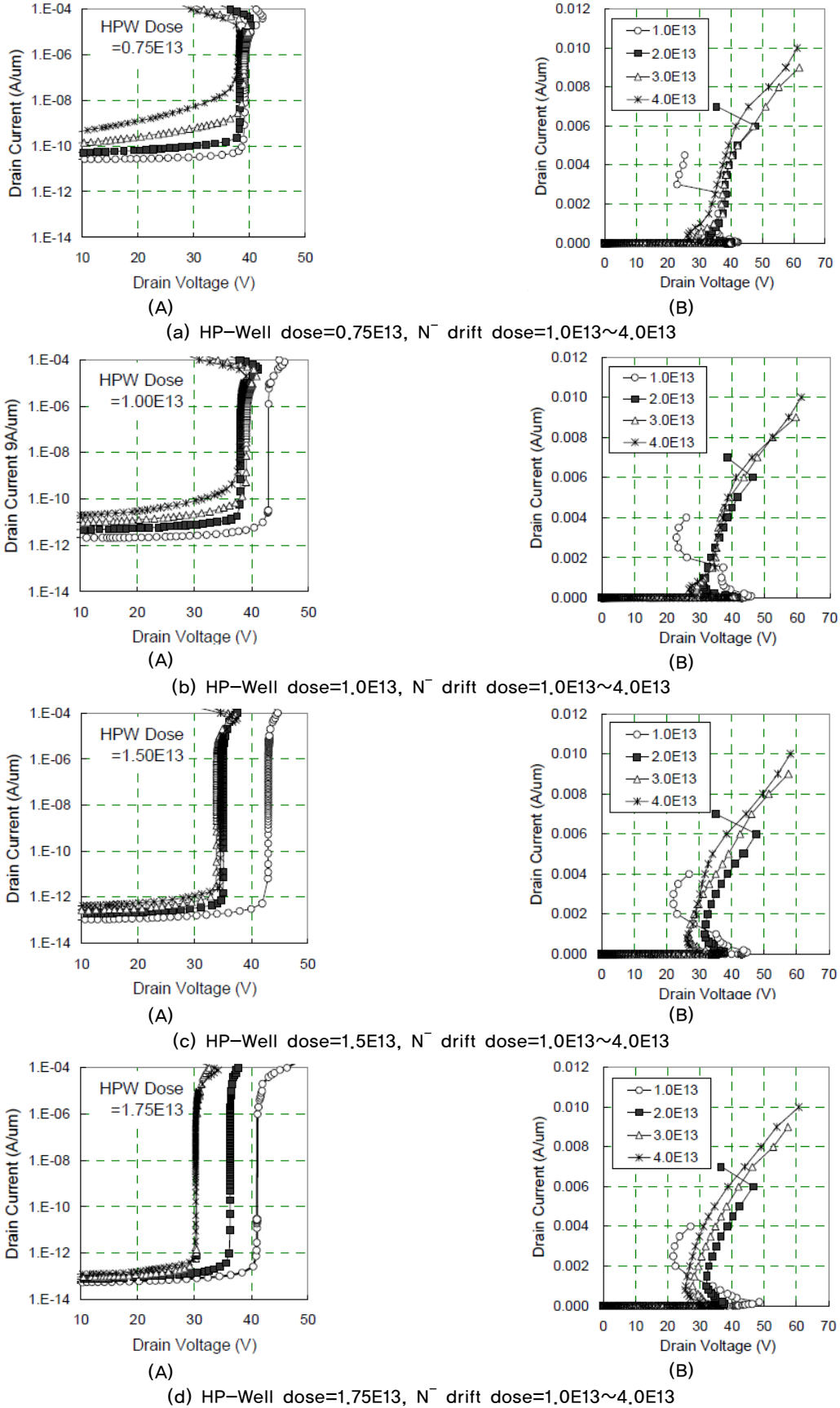


그림 7. BDC 매트릭스 조합에 따른 GG\_EDNMOS 소자의 I-V 특성. 각 이온주입 조건에서 (A)로 표기된 그림들은 오프 상태 누설전류와 애발란치 브레이크다운 전압 특성이고, (B)로 표기된 그림은 온 상태의 고전류 동작 특성을 보인 것이다.(여기서 HP-Well 이온주입량은  $0.75 \sim 1.75 \times 10^{13} \text{cm}^{-2}$ , N<sup>-</sup> 드리프트 이온주입량은  $1.0 \sim 4.0 \times 10^{13} \text{cm}^{-2}$ 의 범위에서 각각 조절되었다.)

#### 4. 최적의 BDC 결정을 위한 가이드라인 ; 매트릭스 방법론

GG\_EDNMOS 소자의 접합 브레이크다운 전압이 BDC에 강하게 의존하므로 ESD 보호 성능의 개선을 위해 BDC를 효과적으로 조절하기 위한 방법론은 실제적으로는 사용이 매우 제한되어짐에 주목되어야 한다. 앞에서 언급했던 제한 요소들을 극복하기 위해 그림 7에 보인 것과 같은 매트릭스 조합(matrix combination)을 갖는 HP-Well 이온주입량과 N<sup>-</sup> 드리프트 이온주입량을 동시에 변화시킴으로써 수차례의 시뮬레이션 분석이 반복 수행되었다. 이 매트릭스 분석에서 HP-Well 이온주입량은 0.75 ~ 1.75x10<sup>13</sup>cm<sup>-2</sup> 범위이고, N<sup>-</sup> 드리프트 이온주입량은 1.0 ~ 4.0x10<sup>13</sup>cm<sup>-2</sup> 범위에서 각각 변화시켜 주었다. 시뮬레이션 분석 결과에 의하면 HP-Well 이온주입량의 변화가 1차 온 상태에서 2차 온 상태로의 변화를 지배하는 것처럼 보이지만, 더블 스냅백의 발생에는 영향을 미치지 않았다. 따라서 N<sup>-</sup> 드리프트 이온주입량이 더블 스냅백의 발생을 결정하는 임계인자임이 그림 7을 통해 입증되었다. 만약 N<sup>-</sup> 드리프트 이온주입량이 임계값(이 경우에는 대략 2.0x10<sup>13</sup>cm<sup>-2</sup>)보다 더 높게 유지된다면 더블 스냅백을 피할 수 있음을 보여준다. 이는 N<sup>-</sup> 드리프트 이온주입량의 증가가 고전압 동작용 GG\_EDNMOS 소자에서 안정한 ESD 보호 성능을 구현하기 위한 유일한 효과적인 방법임을 암시하는 것이다. 그러나 N<sup>-</sup> 드리프트 이온주입량의 증가는 오프 상태 누설전류의 증가와 접합 브레이크다운 전압의 감소를 불가피하게 초래할 수도 있다는 것이다.

HP-Well 이온주입량의 증가는 오프 상태 누설전류의 증가를 상쇄(countervail)시켜 줄 수도 있지만, 이는 GG\_EDNMOS 소자를 채택한 마이크로칩의 최대 동작 전압을 결정함에 있어서 한계가 있다. 왜냐하면 접합 브레이크다운 전압을 감소시키기 때문이다. 즉, 다시 말해서 증강된 BDC를 갖는 GG\_EDNMOS 소자는 접합 브레이크다운 전압의 감소로 인해 제한된 범위의 동작전압에서만 적용될 수 있다는 것이다. HP-Well 이온주입량과 N<sup>-</sup> 드리프트 이온주입량의 매트릭스 조합을 갖는 시뮬레이션 분석에 기초하여 30V 공정에 이용할 수 있는 BDC를 최적으로 조절할 수 있는 범위는 표 1과 같이 추론될 수 있다.

### IV. 결 론

본 논문에서는 고전압 동작용 GG\_EDNMOS 정전기 보호 소자의 BDC에 관련된 더블 스냅백 메커니즘을 분석하기 위해 고전류 동작 특성이 조사되었다. 이 소자의 고전류 동작 특성은 초기에는 BJT 동작특성을 나타내었으나, 스트레스 전류의 증가에 따른 고전자 주입으로 N<sup>+</sup> 소오스로부터 N<sup>-</sup> 드레인까지 깊은 전자 채널링을 일으켜 그 결과로서 더블 스냅백을 초래하였다. 본 연구의 시뮬레이션 분석을 통해 N<sup>+</sup>

소오스로부터 N<sup>-</sup> 드레인 영역으로 전자 풍부 영역의 확장에 기인한 깊은 전자 채널을 통한 전류 흐름이 더블 스냅백에 문제가 되는 2차 온 상태의 발생에 매우 중요한 역할을 하고 있음이 입증되었다. 따라서 안정하고 튼튼한 ESD 보호 성능은 깊은 전자 채널링의 형성을 막음으로써 구현될 수 있다. 본 연구의 분석 결과 N<sup>-</sup> 드리프트 이온주입량의 증가는 깊은 전자 채널 형성을 방지할 수 있는 효과적인 선택이 될 수 있음을 보여주었다. 양호한 ESD 보호 성능을 위한 BDC의 최적값 결정 즉, 본 연구에서 제안하는 매트릭스 방법론의 실제적인 사용은 GG\_EDNMOS 소자의 접합 브레이크다운 전압이 BDC에 강하게 의존하기 때문에 제한되었지만, 이 방법론은 동작전압이 30V이거나 또는 다소 낮은 고전압 공정에서도 충분히 이용될 수 있음이 입증되었다. 본 연구의 BDC 매트릭스 조합 시뮬레이션에서 설명된 결과에도 불구하고 동작전압에 무관한  $\geq 30V$  이상 또는 같은 고전압 공정에서 안정한 ESD 보호 성능을 구현하기 위한 일반적인 방법론은 아직 제안되지 않았다. 이러한 연구를 바탕으로 N<sup>+</sup> 소오스 측면에 추가적인 P<sup>+</sup> 확산층을 삽입하는 DPS(double polarity source) 구조를 사용한 채널 차단이 더 효과적인 ESD 보호 특성을 얻는 방법이 될 수도 있음을 제안하면서, 이러한 이슈들에 관한 적절한 시도가 다음 연구에서 기대되어 진다.

### 참 고 문 헌

- [1] S. Dabral and T. J. Maloney, "Basic ESD and I/O Design", John Wiley, New York, 1998.
- [2] G. Bosselli, S. Meeuwesen, T. Mouthaan and F. Kuper, "Investigations on double diffused MOS (DMOS) transistors under ESD zap conditions", in Proc. EOS/ESD Symp., pp. 11-18, 1999.
- [3] M. P. J. Mergens, W. Wilkening, S. Mettler, H. Wolf, A. Stricker and W. Fichtner, "Analysis of lateral DMOS power devices under ESD stress conditions", IEEE Trans. Electron Devices, 47, pp. 2128-2137, 2000.
- [4] B. Keppens, M. P. J. Mergens, C. S. Trinh, C. C. Russ, B. V. Camp and K. G. Verhaege, "ESD protection solutions for high voltage technologies", in Proc. EOS/ESD Symp., pp. 289-298, 2004.
- [5] C. Duvvury, F. Carvajal, C. Jones and D. Briggs, "Lateral DMOS design for ESD robustness", in IEDM Tech. Dig., pp. 375-378, 1997.
- [6] K. Kawamoto, S. Takahashi, S. Fujino and I. Shirakawa, "A no-snapback LDMOSFET with automotive ESD endurance" IEEE Trans. Electron Devices, 49, pp. 2047-2053, 2002.
- [7] V. Parthasarathy, V. Khemka, R. Zhu, J. Whitfield, R. Ida and A. Bose, "A double RESURF LDMOS with drain profile engineering for improved ESD robustness", IEEE Electron Device Lett., 23, pp. 212-214, 2002.
- [8] B. C. Jeon, S. C. Lee, J. K. Oh, S. S. Kim, M. K. Han, Y.I. Jung, H. T. So, J. S. Shim and K. H. Kim, "ESD

characterization of grounded-gate NMOS with 0.35um/18V technology employing transmission line pulser (TLP) test", in Proc. EOS/ESD Symp., pp. 362-372, 2002.

- [9] Y. J. Seo, K. H. Kim, " N-type extended drain silicon controlled rectifier electrostatic discharge protection device for high-voltage operating input/output applications", Jpn. J. App. Phys. 46, pp. 2101-2106, 2007.
- [10] Y. J. Seo, K. H. Kim, "Characteristics of an extended drain n-type MOS device for electrostatic discharge protection of a LCD driver chip operating at high voltage", J. Korean Phys. Soc. 50, pp. 897-901, 2007.
- [11] M. D. Ker and K. H. Lin, "Double snapback characteristics in high-voltage nMOSFETs and the impact to on-chip ESD protection design", IEEE Electron Device Lett., 25, pp. 640-642, 2004.
- [12] K. H. Kim, Y. I. Jung, J. S. Shim, H. T. So, J. H. Lee, L. Y. Hwang, and J. W. Park, "Illumination of double snapback mechanism in high voltage operating grounded gate extended drain n-type metal-oxide-semiconductor field effects transistor electro-static discharge protection devices", Jpn. J. Appl. Phys. 43, pp. 6930-6936, 2004.
- [13] M. Streibl, K. Esmark, A. Sieck, W. Stadler, M. Wendel, J. Szatkowski and H. Goner, "Harnessing the base-pushout effect for ESD protection in bipolar and BiCMOS technologies" in Proc. EOS/ESD Symp., pp. 73-82, 2002.
- [14] 양준원, 서용진, "고전압용 LDI 칩의 정전기 보호를 위한 ENNMOS 소자의 특성 개선", 통신위성우주산업연구회논문지, 제7권 제2호, pp.18-24, 2012.
- [15] 양준원, 서용진, "CPS 이온주입을 통한 NEDSCR 소자의 정전기 보호 성능 개선", 통신위성우주산업연구회논문지, 제8권 제1호, pp.45-53, 2013.03
- [16] J. E. Barth, K. Verhaege, L. G. Henry and J. Richner: IEEE Trans. Electron. Packaging Manufact. 24 p. 99, 2001.

## 저자

### 양 준 원(Jun Won Yang)



- 1989년 2월 : 영남대학교 전자공학과 학사졸업
- 1995년 3월 : Keio대학교 이공학연구과 전기공학과 석사졸업
- 1999년 3월 : Keio대학교 이공학연구과 전기공학과 박사수료
- 1999년 3월~현재 : 세한대학교 컴퓨터교육과 부교수
- <관심분야> : 위성통신, 전자파 해석

### 정회원

### 김 형 호(Hyung Ho Kim)



- 1989년 2월 : 경희대학교 전자계산공학과 학사졸업
- 1992년 8월 : 경희대학교 전자계산공학과 석사졸업
- 1998년 3월 : Keio대학교 이공학연구과 계산기과학과 박사수료
- 1998년 3월~현재 : 세한대학교 컴퓨터교육과 교수
- <관심분야> : 신경회로망, 컴퓨터구조, ICT, IT융합기술

### 서 용 진(Yong Jin Seo)



- 1987년 2월 : 중앙대학교 전기공학과 학사졸업
- 1989년 2월 : 중앙대학교 전기공학과 석사졸업
- 1994년 2월 : 중앙대학교 전기공학과 박사졸업
- 1995년 3월~현재 : 세한대학교 교수
- 2004년 3월~현재 : 세한대학교 나노정보소재연구소 소장
- <관심분야> : 반도체소자, 정전기보호소자, CMP공정

### 정회원