

CPS 이온주입을 통한 NEDSCR 소자의 정전기 보호 성능 개선

양준원*, 서용진** 정회원

Improvement of ESD (Electrostatic Discharge) Protection Performance of NEDSCR (N-Type Extended Drain Silicon Controlled Rectifier) Device using CPS (Counter Pocket Source) Ion Implantation

Jun-Won Yang*, Yong-Jin Seo** Regular Members

요 약

기존의 NEDSCR 소자는 매우 낮은 스냅백 홀딩전압과 낮은 온-저항을 가져 정상적인 동작 동안 래치업을 초래하므로 ESD 보호소자로 사용하는데 어려움이 있었다. 본 연구에서는 NEDSCR 소자의 시뮬레이션 및 TLP 테스트를 통해 이러한 단점들을 극복할 수 있는 새로운 방법을 제안하였다. 매우 우수한 ESD 보호 성능과 높은 래치업 면역 특성을 구현하기 위해 N+ 소오스 확산영역을 둘러싸는 P형의 CPS 이온주입공정을 추가함으로써 NEDSCR 소자의 스냅백 홀딩전압과 온 저항을 증가시켜 정전기 보호 성능을 개선시킬 수 있는 것으로 입증되었다.

Key Words : ESD (Electrostatic discharge), NEDSCR (N-type Extended Drain Silicon Controlled Rectifier), CPS (Counter Pocket Source), TLP (Transmission Line Pulse), Snapback Holding, On-Resistance, Latch-up, Triggering

ABSTRACT

An electrostatic discharge (ESD) protection device, so called, N-type extended drain silicon controlled rectifier (NEDSCR) device, was analyzed for high voltage I/O applications. A conventional NEDSCR device shows typical SCR-like characteristics with extremely low snapback holding voltage. This may cause latch-up problem during normal operation. However, a modified NEDSCR device with proper junction/channel engineering using counter pocket source (CPS) ion implantation demonstrates itself with both the excellent ESD protection performance and the high latch-up immunity. Since the CPS implant technique does not change avalanche breakdown voltage, this methodology does not reduce available operation voltage and is applicable regardless of the operation voltage.

I. 서론

정전기 (ESD : Electrostatic Discharge)는 EOS (Electrical Overstress)의 한 분류로써 일반 가정이나 사무실, 연구소, 실험실 등 어느 장소에서나 일어날 수 있는 현상으로 각각 다른 전위를 갖는 두 물체 사이에서의 마찰 전기에 의한 전하이동이다. 따라서 ESD는 매우 빠른 속도(~ns)로 어떤 상황에서든 발생할 수 있는 현상으로 특히, 사람이나 전자장비에서 ESD 현상이 쉽게 발생한다. 오늘날 반도체 공정기술의 발전과 더불어 IC가 초고집적화되면서 ESD는 생산성과 상품의 안정성을 비롯한 전체적인 신뢰성에 영향을 미치는 중요한 요인으로 작용하고 있다. 반도체 산업에서 공정기술의

발전과 집적회로의 소형화 및 초고집적화는 회로의 성능과 속도 향상을 가져왔지만, ESD 현상에 의한 회로의 오작동 및 파괴는 점점 심각한 문제로 인식되면서 면적 대비 높은 감내 특성, 빠른 트리거 속도, 높은 래치업 면역 특성을 갖는 ESD 보호회로의 중요성이 커지고 있으며, 이러한 특성을 갖는 ESD 보호소자에 대한 연구가 활발히 진행되고 있다.

고전압에서 동작하는 마이크로 칩(microchip)에서 정전기 (ESD) 보호특성은 매우 중요한 이슈이며, 그동안 NMOSFET (N-type Metal-Oxide Semiconductor Field-Effect Transistor)가 입출력(I/O) 셀에 적용되어 정전기 보호소자로 사용되어 왔다. 그러나 종래의 이중 확산된 드레인을 갖는 n형 MOSFET(Double-Diffused Drain N-type MOSFET;

*세한대학교 컴퓨터교육과(jwyang@sehan.ac.kr)

**세한대학교 나노정보소재연구소(syj@sehan.ac.kr), 교신저자 : 서용진

접수일자 : 2013년 2월 18일, 수정완료일자 : 2013년 2월 25일, 최종 게재확정일자 : 2013년 3월 4일

DDDNMOS)가 고전압에서 동작할 경우 안정한 ESD 보호 성능을 구현하기가 어려웠다[1-2]. 이처럼 ESD 스트레스에 대한 약점은 강한 스냅백(snapback) 현상 및 불균일한 전류 흐름에 기인한 것으로, 그 결과 전류 집중(current crowding), 불균일한 멀티핑거 트리거링(nonuniform multi-finger triggering) 및 멜팅 손상(melting damage) 등을 초래한다 [1-2].

그 동안 이들 소자를 이용한 안정한 정전기 보호 성능을 구현하기 위한 연구들이 상당한 진전을 보였으나, 동작 전압이 더 낮아져 실질적인 사용에는 제한이 있어 왔다[3-4]. DDDNMOS 소자를 이용한 자기 보호 능력은 고전압 동작 범위에서는 실제로는 불가능하므로 그 대안이 강구되어야 한다. 여러 ESD 보호소자들 가운데, 고전압에서 동작하는 실리콘 제어 정류기(Silicon Controlled Rectifier; SCR)는 높은 전류 면적 레벨을 가지고 있어 매력적인 후보이다[5-8]. 그러나 고전압 동작용 SCR 소자는 정상적인 동작 동안 래치업 (latch-up)에 매우 취약하다. 그동안 래치업 문제를 해결하기 위한 많은 연구들[9-11]이 있어 왔으나, 완전히 성공하지는 못한 실정이다. SCR 소자가 래치업에 취약한 것은 고전류 제한 영역에서 매우 낮은 온-저항(on-resistance)과 이로 인한 낮은 스냅백 홀딩 전압(snapback holding voltage) 때문이다. 따라서 고전류 제한 영역에서 온-저항을 증가시키기 위해 접합/채널 구조를 변형시키는 기술이 이들 소자의 문제점을 해결하는데 효과적인 것으로 보고되고 있다[3-8].

본 연구에서는 N형 확장된 드레인을 갖는 실리콘 제어 정류기(N-type extended drain silicon controlled rectifier; NEDSCR) 소자의 ESD 보호 성능을 향상시켜 고전압 입출력 소자로 응용하기 위해 CPS (Counter Pocket Source) 이온 주입을 추가하는 새로운 방법을 제안하고자 한다. CPS 이온 주입을 통하여 NEDSCR 소자는 우수한 ESD 보호 성능과 높은 래치업 면적 특성을 나타내었다.

II. 정전기보호소자의 설계 창 (Design Window)

일반적으로 마이크로 칩의 입출력 회로는 입출력 신호를 전달하는 I/O 단자, 전력을 공급하는 Vdd 단자, 그리고 접지된 Vss 단자로 구성되어 있다. ESD 스트레스는 각각의 단자들 사이의 어떤 조합에 대해서도 발생 가능하며, 또한 양방향의 특성을 갖는다. 따라서 발생 가능한 모든 정전기 스트레스는 다음과 같이 6개의 형태로 분류할 수 있다[12].

- ① NS-Mode I/O: Negative, Vss: Ground, Vdd: Floating
- ② PD-Mode I/O: Positive, Vss: Floating, Vdd: Ground
- ③ PS-Mode I/O: Positive, Vss: Ground, Vdd: Floating
- ④ ND-Mode I/O: Negative, Vss: Floating, Vdd: Ground

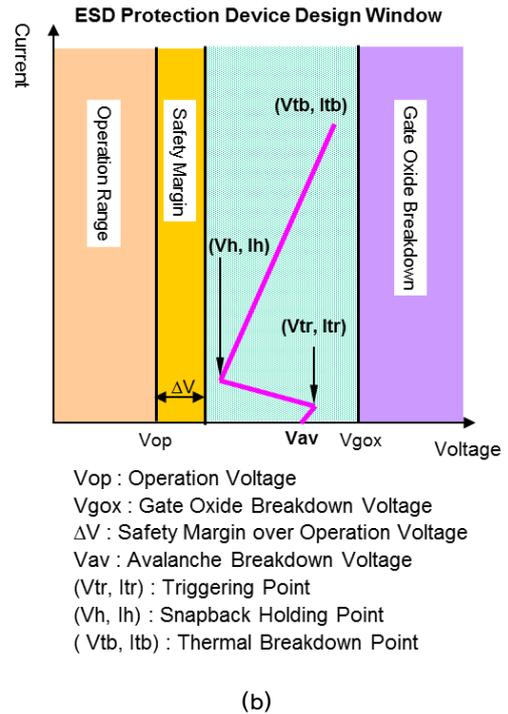
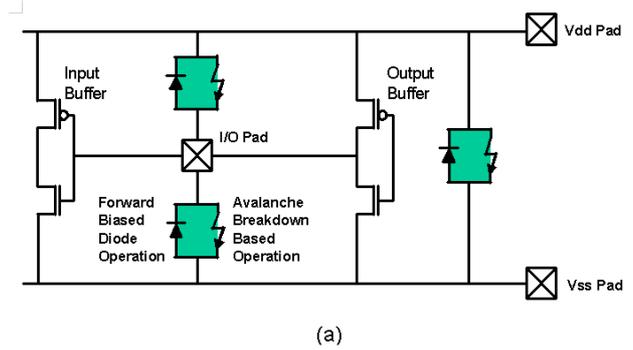


그림 1. (a) ESD 보호회로 (b) ESD 보호소자의 설계 창

⑤ Vdd Positive to Vss I/O: Floating, Vss: Ground, Vdd: Positive

⑥ Vss Positive to Vdd I/O: Floating, Vss: Positive, Vdd: Ground

이상적인 정전기 보호회로는 이상과 같은 6가지 형태의 모든 정전기 스트레스에 대해 효율적으로 대응하여 내부 회로를 보호할 수 있어야 한다. 이러한 정전기보호회로를 도식적으로 나타내면 그림 1(a)와 같다. 양방향의 정전기 스트레스에 효율적으로 대응하면서 회로의 정상 동작에 방해가 되지 않기 위해서는 각각의 정전기보호소자는 그 스트레스가 인가되는 방향에 따라 순방향 바이어스 다이오드(forward biased diode) 동작과 애발란치 브레이크다운 스냅백(avalanche breakdown snapback) 동작 특성을 함께 나타내야 한다. 이와 같은 전기적인 특성을 그래프로 나타내면 그림 1(b)와 같다. 그림 1(b)에 의하면 정전기 보호소자는 회로가 정상적인 조건 하에 있을 때 ($0 \leq \text{Voltage} \leq Vop$)에는 동작하지 않고, 정전기 스트레스와 같이 비정상적인 조건 하

에 있을 때에만 동작함을 알 수 있다. 이러한 기본적인 조건 이외에도 정전기 보호소자가 동작할 때의 전류-전압 특성이 갖추어야 할 추가적인 조건인 “정전기보호소자의 설계 창 (Design Window of ESD Protection Device)”이 필요하다. 정전기보호소자가 입출력 회로에 적용되어 정전기 보호 기능을 원만하게 수행하면서도 다른 부작용을 유발하지 않기 위해서는 다음에 명시된 조건에 부합하는 전기적 특성을 기본적으로 갖추어야 한다.

(1) 정전기 보호 소자는 칩에 정상적인 동작전압(V_{op})이 인가되었을 때는 동작하지 않아야 한다. 즉, 애발란치 브레이크다운 전압(V_{av}) 및 BJT 트리거링 전압(V_{tr})이 동작전압보다 커야 한다. ($V_{op} < V_{av} < V_{tr}$). 또한 애발란치 브레이크다운 이전에 발생하는 누설전류는 충분히 낮아야 한다.

(2) 정전기 보호 소자가 동작하는 동안 게이트 산화막이 파손되지 않아야 한다. 이를 위해서는 BJT 트리거링 전압(V_{tr})과 열적 브레이크다운 전압(V_{tb})이 게이트 산화막 브레이크다운 전압(V_{gox})보다 작아야 한다. ($V_{tr}, V_{tb} < V_{gox}$).

(3) 정전기 보호 소자가 래치업에 의해 비정상적으로 동작하지 않아야 한다. 이를 위해서는 충분한 안전 마진(safety margin)을 가지고 스냅백 홀딩전압(V_h)이 동작전압보다 커야 한다. ($V_{op} + \Delta V < V_h$). 또는 BJT 트리거링 전류(I_{tr})가 충분히 높아야 한다. ($I_{tr} > \sim 100\text{mA}$).

(4) 정전기 보호 소자는 그 자체로서 정전기 스트레스 전류에 대해 충분히 강해야 한다. 즉, 열적 브레이크다운이 발생하기 전에 충분히 많은 양의 정전기 스트레스 전류를 소화할 수 있어야 한다. (I_{tb} : Large).

(5) 정전기 보호 소자는 전체 활성 폭(total active width)에 대한 열적 브레이크다운 전류(I_{tb})의 선형성(linearity)을 확보해야 한다. 전체 활성 폭에 대한 열적 브레이크다운 전류(I_{tb})의 선형성을 확보하기 위해서는 다음과 같은 2가지 조건을 만족시켜야 한다.

- ① Unit finger active width에 대한 열적 브레이크다운 전류의 선형성을 확보해야 한다.
- ② 멀티핑거(multi-finger) 구조를 형성할 경우, 각각의 핑거가 균일하게 동작해야 한다.

이를 위해서는 열적 브레이크다운 전압이 트리거링 전압보다 크거나 비슷해야 한다. ($V_{tr} \leq V_{tb}$). 표 1은 이상에서 열거한 ESD 보호를 위한 필요충분조건들을 요약한 것이다.

표 1. ESD 보호를 위한 필요충분조건

| Requirements for ESD protection |
|---------------------------------|
| $V_{op} < V_{av}, V_{tr}$ |
| $V_{tr}, V_{tb} < V_{gox}$ |
| $V_{op} + \Delta V < V_h$ |
| I_{tb} : Large |
| $V_{tr} \leq V_{tb}$ |

III. 소자구조 및 분석방법

그림 2는 고전압에서 동작하는 (a) NEDSCR_Std 표준 소자와 본 연구에서 제안하는 (b) NEDSCR_CPS 변형 소자의 구조를 개략적으로 보인 것이다.

그림 2(a)에 보인 바와 같이 NEDSCR 소자는 이중 확장된 드레인 구조를 갖는 DDDNMOS 소자에 기초하여 제작되었다. 즉, 게이트와 N+ 드레인 확산영역이 서로 인접하지 않으며, 애노드(anode) 전극의 한 부분을 형성하기 위해 P+ 확산층이 N-드리프트(drift) 영역의 N+ 드레인 옆에 삽입되었다. 그 결과 소자 구조는 수직형의 PNP-BJT (bipolar junction transistor)와 측면형의 NPN-BJT로 이루어진 고전압 동작용 SCR 구조가 되었다. ESD 응용을 위해 애노드는 각각의 I/O 패드(또는 Vdd power pad)에 연결된 반면에 캐소드(cathode)는 Vss 접지 패드(ground pad)에 연결되었다. 종래의 NEDSCR_Std 표준소자는 접합/채널 영역에 대해 어떠한 변형도 없는 정상적인 DDDNMOS 소자의 구조를 가졌다.

한편, 본 연구에서 제안하는 변형된 NEDSCR_CPS 소자는 N+ 확산 영역의 캐소드를 에워싸기 위해 P형의 CPS 이온주입 (boron, 180 keV, $8.5 \times 10^{13} \text{ cm}^{-2}$) 공정이 추가되었다. 여기서 CPS 이온주입 도즈(dose)와 에너지는 N-드리프트 이온주입 조건에 따라 변화시켜 주었다. 따라서 N+ 확산층의 캐소드 바깥의 P형 도핑이 N-드리프트 이온주입 조건에 따라 변동되어 각 접합 및 채널의 도핑 프로파일이 각각 변화되었다.

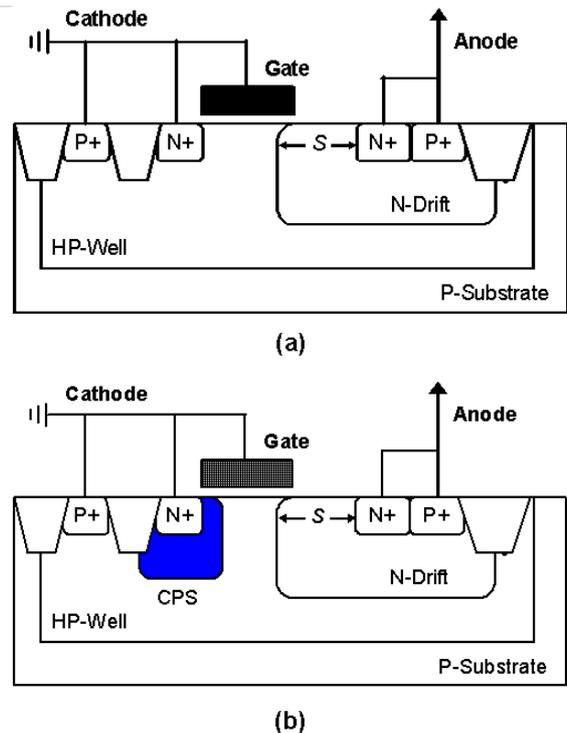


그림 2. (a) NEDSCR_Std 표준소자의 구조 (b) NEDSCR_CPS 변형소자의 구조

그러나 드레인 측의 접합 프로파일은 CPS 이온주입 조건과 후속 열 공정을 적절히 조절함으로써 변화되지 않도록 설계하였다. 이는 접합의 애발란치 브레이크다운 전압이 CPS 이온주입에 의해 변하지 않음을 의미한다.

그림 2에 보인 것처럼, N-드리프트 영역 위의 N+ 확산 애노드의 오버랩 마진(overlap margin)은 NEDSCR_Std 표준 소자와 동일하게 유지($s = S$)하거나 또는 더 작게 해 주었다 ($s < S$). 여기서 S는 표준 소자의 오버랩 마진이며, s는 CPS 소자의 오버랩 마진을 나타내며 $0.8\mu\text{m}$ 에서 $1.6\mu\text{m}$ 까지 변화시켜 주었다.

NEDSCR 소자의 특성은 2차원 공정 및 소자 시뮬레이션에 의해 분석되었다. NEDSCR 소자는 공정 시뮬레이터인 TSUPREM-4 (Avanti Co./Synopsys Co.)[13]를 사용하여 공정 파라미터를 추출한 후, 고전압 기술 ($0.18\mu\text{m}_{30\text{V}}$)에 적용하여 제작되었다. 소자 특성은 DESSIS (ISE Inc./ Synopsys Co.) 소자 시뮬레이터[14]를 사용하여 분석하였다. $1 \times 10^{-5} \text{ A}/\mu\text{m}$ 보다 낮은 전류밀도를 갖는 저전류 제한영역에서는 열적 효과가 포함되지 않은 DC 시뮬레이션이 수행되었다. $1 \times 10^{-5} \text{ A}/\mu\text{m}$ 보다 높은 전류밀도를 갖는 고전류 제한영역에서는 열적 효과가 포함된 MMT (mixed mode transient) 시뮬레이션이 수행되었다. 이 과도(transient) 시뮬레이션을 위해 10ns의 상승시간(rise time)과 100ns의 지속시간(duration time)을 갖는 사다리형의 전류 펄스가 HBM (Human Body Model)의 ESD 스트레스를 시뮬레이션 하기위해 인가되었다. Barth 402의 TLP (Transmission Line Pulse) 테스트 시스템이 NEDSCR 소자의 고전류 응답을 전기적으로 모니터링하기 위해 사용되었다[15]. 측정하는 동안, 10ns의 상승시간과 100ns의 지속시간을 계속 유지시켜 주었다. 그림 3은 본 연구의 흐름도를 개략적으로 보인 것이다.

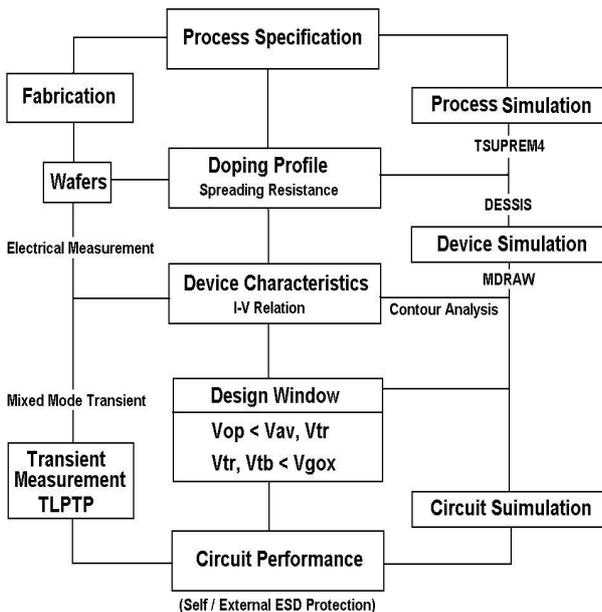
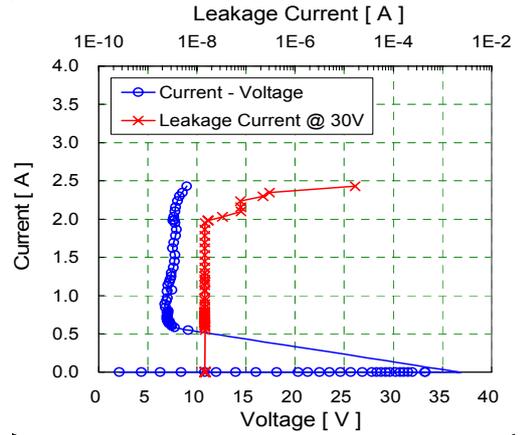
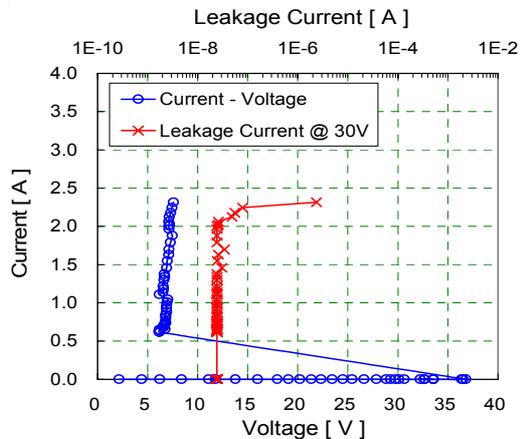


그림 3. 개략적인 연구 흐름도



(a)



(b)

그림 4. NEDSCR_Std 표준소자의 TLP 데이터
(a) Unit Finger Active Width : $50\mu\text{m} \times 2$ Finger
(b) Unit Finger Active Width : $50\mu\text{m} \times 4$ Finger

IV. 결과 및 고찰

1. NEDSCR_Std 표준소자의 전류-전압 특성 및 등고선 분석

그림 4은 NEDSCR_Std 표준소자의 TLP 테스트 데이터를 보인 것이다. 그림 4(a)는 확산폭(diffusion width)이 $100\mu\text{m}$ ($50\mu\text{m} \times 2$ -finger 소자)이고, (b)는 $200\mu\text{m}$ ($50\mu\text{m} \times 4$ -finger 소자)에 해당한다. NEDSCR_Std 표준소자의 TLP I-V 특성 데이터는 높은 전류 면적 레벨 ($50\mu\text{m} \times 2$ -finger 소자의 경우 대략 $20\text{mA}/\mu\text{m}$)을 나타내었는데, 이는 ESD 보호소자로서의 우수한 특성을 보여주는 것이다. 그러나 이 소자는 매우 낮은 스냅백 홀딩 전압($V_h \approx V$)과 낮은 온-저항($R_{on} \approx 50 \sim 100\Omega \cdot \mu\text{m}$)을 나타내었다. 또한 홀딩 전압(V_h)은 동작전압 ($V_{op} \approx 30 \text{ V}$) 보다 훨씬 더 낮았다. 이는 NEDSCR_Std 표준소자가 V_{dd} 와 V_{ss} 사이에서 파워 클램프 ESD 보호소자로 사용되었을 때 정상적인 동작 동안 래치업 문제에 매우 취약하게 됨을 암시하는 것이다. 게다가, 그림 4의 그래프는 열적 브레이크다운 전류(I_{tb})가 핑거 수에 완전히 무관함을

보여주고 있다. 즉, 이러한 공정조건하에 있는 NEDSCR_Std 표준소자는 핑거수가 2보다 더 큰 값 이상으로 변화시킴에 따라 전류 면적 레벨에서 더 이상 선형성을 갖지 않았다. 핑거 수 변화에 따른 전류 면적 레벨의 비선형성은 ESD 보호 소자로 채택된 NEDSCR_Std 표준소자가 ESD를 방지하는데 심각한 문제로 대두되었다.

그림 5는 NEDSCR_Std 표준소자의 시뮬레이션으로부터 얻은 I-V 및 I-T 관계를 나타낸 것이다. 시뮬레이션으로 추론된 NEDSCR_Std 표준소자의 I-V 곡선은 실험 결과와 일치하였으며, 전형적인 SCR 특성을 나타내었다. 시뮬레이션 분석에서 $1 \times 10^{-5} \text{ A}/\mu\text{m}$ 보다 낮은 저전류 특성이 열적효과를 고려하지 않은 DC 시뮬레이션으로 분석되었다. 반면에 $1 \times 10^{-5} \text{ A}/\mu\text{m}$ 보다 높은 고전류 특성은 열적효과가 포함된 TLP 시뮬레이션에 의해 분석되었다. 그림 5(a)는 로그 스케일(log scale)의 애노드 전류이고, (b)는 선형 스케일(linear scale)의 애노드 전류를 나타낸 것이다. 여기서, (A), (B) 및 (C)는 각각 트리거링 포인트, 스냅백 홀딩 포인트, 그리고 열적 브레이크다운 포인트 근처에서의 고전류 영역에 해당한다. 이들은 또한 높은 전류 면적 레벨(대략 $50 \text{ mA}/\mu\text{m}$), 매우 낮은 스냅백 홀딩 전압($V_h \approx 2\text{V}$) 및 낮은 온-저항($R_{on} \approx 270\Omega \cdot \mu\text{m}$) 특성을 나타내었다.

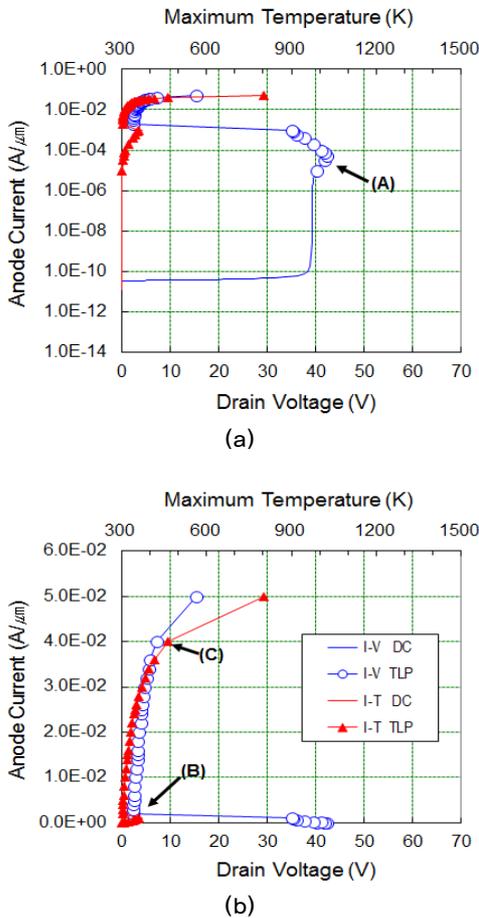


그림 5. NEDSCR_Std 표준소자의 시뮬레이션된 I-V 및 I-T 곡선. (a) 로그 스케일, (b) 선형 스케일.

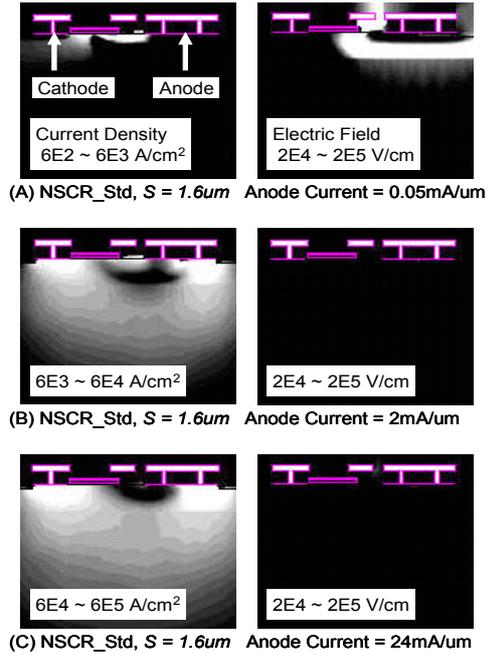


그림 6. NEDSCR_Std 표준소자의 전류밀도와 전계의 등고선 분포. (A) 트리거링 포인트, (B) 스냅백 홀딩 포인트, (C) 열적 브레이크다운 포인트

NEDSCR_Std 표준소자의 동작 특성을 이해하기 위해 그림 5에 보인 (A), (B) 및 (C) 포인트에서의 전류밀도와 전계의 등고선(contours) 분석을 수행하였다. 그림 6은 그림 5에 나타낸 바와 같이 (A) 트리거링 포인트, (B) 스냅백 홀딩 포인트 및 (C) 열적 브레이크다운 포인트에서 고전류 한계 내에서 NEDSCR_Std 표준소자의 전류밀도와 전계의 등고선 분포를 나타낸 것이다. (A)에 해당하는 트리거링 포인트에서 공핍에 의해 유도되는 높은 전계 영역은 N-drift/HP-well의 경계영역을 따라 형성되었다. 측면 방향의 NPN-BJT 동작만이 트리거링 포인트의 개시 초기에서부터 발생하고 있음을 알 수 있다. 이로 인해 N^+ 드레인과 N^+ 소오스 확산영역 사이의 표면 전류 경로를 방해하는 것으로 판단된다. 그러나 NEDSCR_Std 표준소자가 (B)에 해당하는 스냅백 홀딩 포인트, 또는 (C) 고전류 영역에 들어갈 때, 수직방향의 PNP-BJT 동작도 시작되었으며, 측면방향의 NPN-BJT 동작과 결합된 결과로 PNPN-SCR 동작을 초래하였다. 따라서 전류경로는 넓게 분포된 U-형의 경로를 나타내었다.

고밀도의 전자들은 N^+ 캐소드 확산영역으로부터 채널영역으로 주입되어 게이트 아래에 깊은 전자 채널링(deep electron channeling)을 유도하였다. 따라서 본래 저농도로 도핑되었던 HP-well 영역과 N-drift의 경계 영역은 주입된 자유전자들에 의해 완전히 차단되어 N-drift/HP-well의 경계선은 거의 사라졌음을 알 수 있다. 따라서 이에 해당하는 전계의 등고선 분포에 보인 것처럼 캐소드와 애노드 사이의 전체 전류 경로에는 무전계(field-free) 영역이 형성되었다. 즉, 낮은 홀딩 전압(V_h)과 낮은 온-저항(R_{on})은 두 전극 사이에 전계가 없는 전류 경로가 넓게 분포하고 있다는 관점에

서 설명되어진다. 고전자 주입에 의해 유도된 베이스 푸쉬아웃 (base push out 또는 Kirk 효과)과 이로 인한 낮은 V_h 와 낮은 R_{on} 은 선행 연구에서 이미 발표한 바 있다[4].

2. NEDSCR_CPS 변형소자의 전류-전압 특성 및 등고선 분석

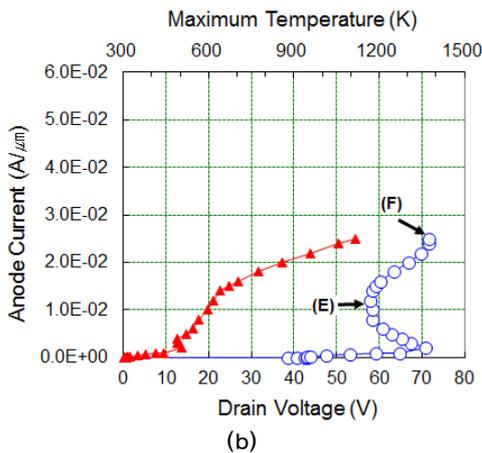
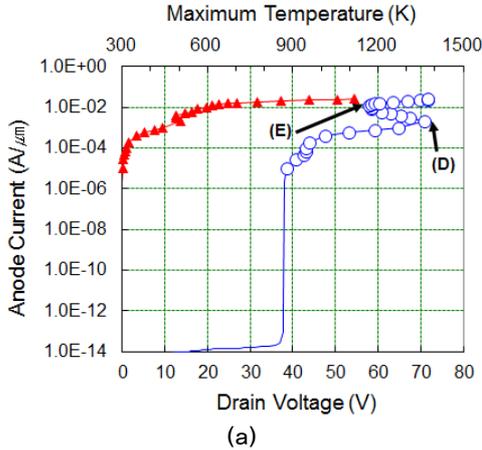


그림 7. NEDSCR_CPS 변형소자의 시뮬레이션된 I-V 및 I-T 곡선. (a) 로그 스케일, (b) 선형 스케일.

그림 7은 NEDSCR_CPS 변형소자의 시뮬레이션으로부터 얻은 I-V 및 I-T 특성을 보인 것이다. 시뮬레이션으로부터 얻은 I-V 파라미터 값들은 표 2에 제시하였다. 여기서 (D), (E), (F)는 각각 NEDSCR_CPS 소자의 트리거링 포인트, 스냅백 홀딩 포인트, 그리고 열적 브레이크다운 포인트 근처에서의 고전류 영역에 해당한다. NEDSCR_Std 표준소자의 시뮬레이션 결과와는 달리, NEDSCR_CPS 변형소자의 I-V 곡선은 비교적 높은 스냅백 홀딩 전압 ($V_h \approx 38V$)과 높은 온저항 ($R_{on} \approx 1120\Omega \cdot \mu m$) 특성을 나타내었다. 스냅백 홀딩 전압 ($V_h \approx 38V$)은 동작전압 ($V_{op} = 30V$) 보다 훨씬 더 높게 나타났다. 따라서 래치업 면역(latch-up immunity)이 보장되었다. 비교적 높은 스냅백 홀딩 전압과 높은 온저항은 트리거링 전압(V_{tr1} 과 V_{tr2}) 보다 훨씬 더 큰 열적 브레이크다운 전압(V_{tb})을 초래하였는데, 이는 균일한 멀티핑거 트리거

링과 핑거 수에 대해 선형적으로 안정한 전류 면역 레벨을 보장하는 것이다. NEDSCR_CPS 변형소자는 NEDSCR_Std 표준소자와 비교할 때, CPS 이온주입 공정기술이 애발란치 브레이크다운 전압(V_{av})과 트리거링 전압(V_{tr1} 과 V_{tr2}) 중 어느 것도 감소시키지 않고 있음을 강조할 필요가 있다.

본 연구에서 제안하는 CPS 이온주입 방법론(methodology)은 이용 가능한 동작 전압을 감소시키지 않기 때문에 임의의 동작전압에 대해서도 적용할 수 있다. EDNMOS (Extended Drain N-type MOSFET) 소자에 대한 우리의 선행 연구에 사용된 확장된 드레인을 갖는 ED(Extended Drain) 구조, 이중 확산된 드레인을 갖는 DDD(Double Diffused Drain) 구조와 같은 드레인 변형 기법은 이용 가능한 동작 전압을 불가피하게 감소시키므로 실제로는 적용하는데 한계가 있었다[4][12].

이러한 관점에서 볼 때, 본 연구에서 제안하는 CPS 이온주입 기법은 EDNMOS 소자의 드레인 변형 기법과 비교할 때, 개선점이 있음을 시사해주고 있다. NEDSCR_CPS 변형소자의 누설전류는 CPS 이온주입 기법에 의해 거의 3승 정도 감소되었다.(표 2 참조). NEDSCR_CPS 변형소자의 전류 면역 레벨은 NEDSCR_Std 표준소자의 전류면역 레벨과 비교할 때, 거의 1/2 정도 감소하였다. 그러나 이는 효과적인 칩의 면적을 고려해야 하는 ESD 보호 성능을 위해서는 여전히 높은 값이다. NEDSCR_CPS 변형소자의 전류 용량은 $100\mu m$ 의 소자 폭을 갖는 경우 대략 $\approx 3A$ 로 평가되었다.

그림 8은 그림 7에 보인 세 점 (D), (E) 및 (F)에서 NEDSCR_CPS 변형소자의 전류밀도와 전계분포 이다.

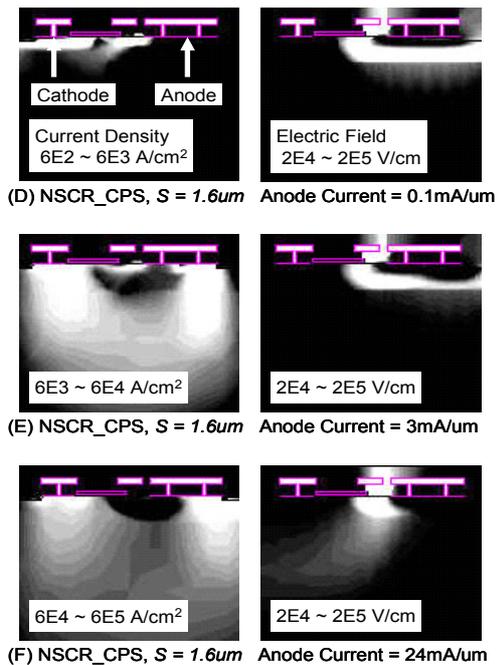


그림 8. NEDSCR_CPS 소자의 전류밀도와 전계의 등고선 분포. (D) 트리거링 포인트, (E) 스냅백 홀딩 포인트, (F) 열적 브레이크다운 포인트

표 2. NEDSCR_Std 표준 소자(S = 1.6 μ m)와 NEDSCR_CPS 소자(S = 1.0 and 1.6 μ m)의 시뮬레이션 결과.

| Description of I-V Parameters for ESD Design Window (Unit) | NEDSCR_Std (S=1.6μm) | NEDSCR_CPS (S=1.6μm) | NEDSCR_CPS (S=1.0μm) | NEDSCR_CPS (S=0.8μm) |
|--|----------------------|----------------------|----------------------|----------------------|
| Leakage Current @ 30V per Active Width (A/μm) | 4.8E-11 | 2.5E-14 | 2.3E-14 | 2.2E-14 |
| Avalanche Breakdown Voltage (V) | 39.2 | 38.7 | 38.7 | 38.6 |
| Triggering Voltage (V) | 41.9 | 45.1 | 44.7 | 43.9 |
| Triggering Current per Active Width (mA/μm) | 7.0E-02 | 7.0E-02 | 1.0E-01 | 6.0E-02 |
| Snapback Holding Voltage (V) | 2.3 | 43.3 | 42.8 | 41.6 |
| Snapback Holding Current per Active Width (mA/μm) | 2.0 | 0.4 | 0.6 | 0.6 |
| Thermal Breakdown Voltage (V) | 15.3 | 64.4 | 52.5 | 51.5 |
| Thermal Breakdown Current per Active Width (mA/μm) | 50.0 | 28.0 | 30.0 | 30.0 |
| Average On-State Resistance per Active Width (Ω·m) | 271 | 1121 | 824 | - |

여기서 트리거링 포인트(D), 스냅백 홀딩 포인트(E) 및 열적 브레이크다운 포인트(F) 근처에서의 고전류 영역에 해당하는 등고선 분포 데이터는 그림 6에 보인 NEDSCR_Std 소자와는 현저히 다른 변화를 보이는 현상론적인(phenomenological) 설명을 제공해 주고 있다. (D)에 해당하는 BJT 트리거링 포인트에서 공핍으로 유도된 고전계 영역은 N-drift/HP-well 영역의 경계를 따라 형성되었다. 이는 NEDSCR_Std 표준소자에서 관찰된 분포와 정성적으로는 동일하였다. 그러나 NEDSCR_CPS 소자가 (E)에 해당하는 스냅백 홀딩 상태에 들어갈 때, NEDSCR_Std 소자에서는 사라졌던 측면 방향의 높은 전계 영역이 CPS 이온주입으로 인해 여전히 남아있음을 알 수 있다. 즉, N+ 소오스 확산영역으로부터 갑자기 증가된 측면방향의 고밀도의 전자는 CPS 이온주입으로 인해 약해지거나 차단되므로 더 이상 베이스 푸쉬 아웃 현상이 일어나지 않았다. 넓게 분포된 U형의 전류 경로는 PNP-BJT 동작을 일으키고, 그로 인해 PNP-SCR 동작 특성이 개시되었다. 그러나 고전계 영역이 전류 경로의 방향에서 그대로 남아있기 때문에 스냅백 홀딩 전압은 현저히 감소하지 않았다. 그림 8의 (F)에 보인 바와 같이 스냅백 홀딩 상태 후에 애노드 전류가 24mA/μm로 더 증가하였을 때, 바닥(bottom) 방향의 N-drift/HP-well 경계선을 따르는 고전계 영역은 점점 사라졌다. 그러나 측면방향의 N-drift/HP-well 경계선을 따르는 고전계 영역은 결코 사라지지 않았음을 알 수 있다. 게다가, 새롭게 발생한 고전계 영역이 U형의 주(main) 전류경로의 방향에서 형성되어졌다. 이러한 결과는 열적 브레이크다운 포인트 (F) 근처의 고전계 영역에서 국부적인 최대 온도(local maximum temperature)의 급격한 증가와 비교적 높은 온-저항(Ron)의 영향으로 설명될 수 있다. 새롭게 발생한 고전계 영역에 대한 메카니즘은 현재로서는 명백하지 않다.

3. N-드리프트 영역과 N+ 확산 애노드 사이의 오버랩 마진의 영향

그림 9는 그림 2에 보인 바와 같이 N-drift 영역 위 N+ 애노드 확산 영역의 오버랩 마진 파라미터 S의 변화에 따른 고전류 동작 하의 NEDSCR_CPS 변형소자의 시뮬레이션된

I-V 특성곡선을 나타낸 것이다. 그림 9에 보인 것처럼, 고전류 제한 영역에서 I-V 특성은 파라미터 S에 강하게 의존하였다. 오버랩 마진 파라미터 S의 감소는 두 전극들 사이의 유효 베이스 폭(effective base width)의 감소를 초래하였다. 결과적으로 낮은 트리거링 전압, 낮은 스냅백 홀딩 전압 및 낮은 온-저항에서 이 결과들은 이상적인 ESD 보호 성능의 최적화에 있어서 유연성을 제공한다. 파라미터 S의 상당한 감소는 애발란치 브레이크다운 전압과 이에 해당하는 이용 가능한 동작 전압의 감소를 초래한다. 따라서 파라미터 S는 애발란치 브레이크다운 전압을 변화시키지 않기 위해 제한된 범위 내에서 감소되어야 할 것이다.

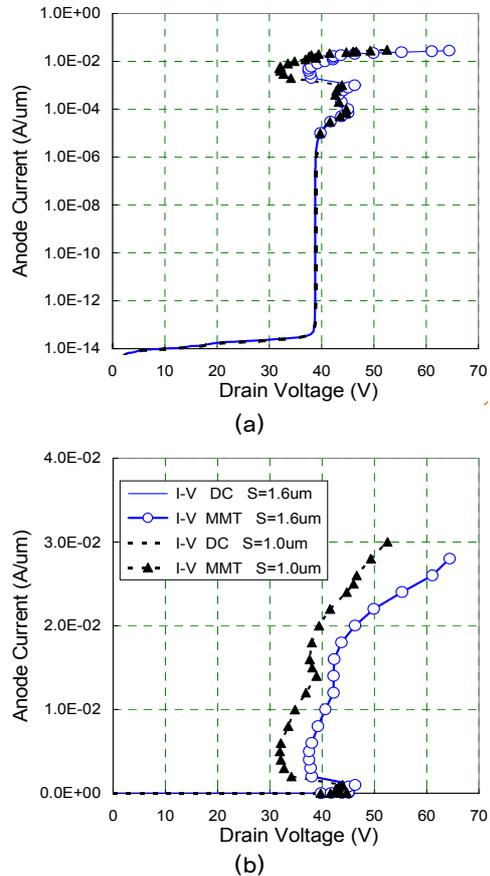


그림 9. 오버랩 마진 S의 변화에 따른 NEDSCR_CPS소자의 시뮬레이션된 I-V 특성곡선. (a) 로그 스케일, (b) 선형 스케일. (O : S=1.6μm, ▲ : S = 1.0μm)

표 2는 본 연구에 적용한 NEDSCR_Std ($S = 1.6\mu\text{m}$) 표준 소자와 NEDSCR_CPS 변형소자 ($S = 0.8\mu\text{m}, 1.0\mu\text{m}$ 및 $1.6\mu\text{m}$)의 시뮬레이션 결과로부터 추론한 I-V 파라미터값들을 비교하여 나타낸 것이다. 특히, 주목할 수 있는 것은 EDSCR_Std 표준소자의 경우 스냅백 홀딩 전압이 2.3V로 매우 낮았으나, 본 연구에서 제안하는 CPS 이온주입을 적용한 NEDSCR_CPS 변형소자의 경우에는 애발란치 브레이크다운 전압의 변화 없이도 스냅백 홀딩 전압이 40V 이상으로 현저히 증가하였다는 것이다.

V. 결론

종래의 NEDSCR_Std 표준소자는 ESD 스트레스에 대하여 높은 전류 면역 레벨을 나타내는 것으로 알려져 있었다. 그러나 정상적인 동작에서 전류면역 레벨의 선형성 결여, 래치업 면역의 부족으로 인해 ESD 보호소자로 채택될 수 없었다. 본 연구의 시뮬레이션 분석 결과들은 적당한 접합/채널을 갖도록 변형된 NEDSCR_CPS 변형소자는 정상적인 동작에서 높은 래치업 면역 레벨을 갖는 튼튼하고 안정한 ESD 보호 성능을 제공함을 제안하였다. CPS 이온주입과 함께, N-드리프트 영역 위의 N^+ 애노드 확산 영역의 오버랩 마진의 개선도 최적의 소자를 개발함에 있어서 부가적인 설계 인자 (design factor)임을 알 수 있었다. CPS 이온주입은 기본적으로 소오스 측에 대한 접합/채널 변형 기법이었으며, 이는 소자의 애발란치 브레이크다운 전압에는 결코 영향을 주지 않았다. 따라서 본 연구에서 제안하는 방법론은 이용 가능한 동작전압을 변화시키지 않으므로 동작전압에 무관하게 적용될 수 있다. 결론적으로 NEDSCR_CPS 변형소자는 표준소자에 비해 고전압 I/O 응용을 위한 안정한 ESD 보호소자로서 유망한 후보임을 알 수 있었다.

참 고 문 헌

[1] M. P. J. Mergens, W. Wilkening, S. Mettler, H. Wolf, A. Stricker, and W. Fichtner, "Analysis of DMOS power devices under ESD stress conditions", IEEE Trans. Electron Devices, 47, pp. 2128-2137, 2000.

[2] S. Dabral and T. J. Maloney, Basic ESD and I/O Design (John Wiley, New York, 1998).

[3] B. C. Jeon, S. C. Lee, J. K. Oh, S. S. Kim, M. K. Han, Y. I. Jung, H. T. So, J. S. Shim, and K. H. Kim, "ESD characterization of grounded-gate NMOS with $0.35\mu\text{m}/18\text{V}$ technology employing transmission line pulser (TLP) test", in Proc. EOS/ESD Symp., pp. 365-375, 2002.

[4] K. H. Kim, Y. I. Jung, J. S. Shim, H. T. So, J. H. Lee, L. Y. Hwang, and J. W. Park, "Illumination of double snapback mechanism in high voltage operating grounded gate extended drain n-type metal-oxide-semiconductor field effects transistor electro-static discharge protection

devices", Jpn. J. Appl. Phys. 43, pp. 6930-6936, 2004.

[5] A. Chatterjee and T. Polgreen, "A low-voltage triggering SCR for on-chip ESD protection at output and input pads", IEEE Electron Device Lett. 12, pp. 21-22, 1991.

[6] J. H. Lee, J. R. Shih, C. S. Tang, K. C. Liu, Y. H. Wu, R. Y. Shiue, T. C. Ong, Y. K. Peng, and J. T. Yue, "Novel ESD protection structure with embedded SCR LDMOS for smart power technology", in Proc. IEEE 40th Annu. Int. Reliability Physics. Symp. pp. 156-161, 2002.

[7] M. D. Ker, H. H. Chang, and C. Y. Wu, "A gate-coupled PTLSCR/NTLSCR ESD protection circuit for deep-submicron low-voltage CMOS ICs", IEEE J. Solid-State Circuits, 32, pp. 38-51, 1997.

[8] C. H. Lai, M. H. Liu, S. Su, T. C. Lu, and S. Pan, "A noble gate-coupled SCR ESD protection structure with high Latch-up immunity for high-speed I/O pads, IEEE Electron Device Lett. 25, pp. 328-330, 2004.

[9] M. D. Ker, "Lateral SCR devices with low-voltage high-current triggering characteristics for output ESD protection in submicron CMOS technology", IEEE Trans. Electron Devices, 45, pp. 849-860, 1998.

[10] M. P. J. Mergens, C. C. Russ, K. G. Verhaege, J. Armer, P. C. Jozwiak, R. P. Mohn, B. Keppens, C.S. Trinh, "Speed optimized diode-triggered WSCR (DTSCR) for RF ESD protection of ultra-sensitive IC nodes in advanced technologies", IEEE Trans. Device and Materials Reliability, 5, pp.532-542, 2005.

[11] M. Streibl, K. Esmark, A. Sieck, W. Stadler, M. Wendel, J. Szatkowski, and H. Goner, "'Harnessing the base-pushout effect for ESD protection in bipolar and BiCMOS technologies", in Proc. EOS/ESD Symp., pp. 73-82, 2002.

[12] 양준원, 서용진, "고전압용 LDI 칩의 정전기 보호를 위한 EDNMOS 소자의 특성 개선", 통신위성우주산업연구회논문지 제7권 제2호, pp.18-24, 2012.

[13] TSUPREM4TM Process Simulator, User's Manual (Avanti Co.)

[14] DESSISTM Device Simulator, User's Manual (ISE Inc.)

[15] J. E. Barth, K. Verhaege, L. G. Henry and J. Richner: IEEE Trans. Electron. Packaging Manufact. 24 p. 99, 2001.

저자

양 준 원(Jun Won Yang)

정희원



- 1989년 2월 : 영남대학교 전자공학과 학사졸업
- 1995년 3월 : Keio대학교 이공학연구과 전기공학과 석사졸업
- 1999년 3월 : Keio대학교 이공학연구과 전기공학과 박사수료
- 1999년 3월~현재 : 세한대학교 컴퓨터교육과 부교수
- <관심분야> : 위성통신, 전자과 해석

서 용 진(Yong Jin Seo)

정회원



- 1987년 2월 : 중앙대학교 전기공학과 학사졸업
- 1989년 2월 : 중앙대학교 전기공학과 석사졸업
- 1994년 2월 : 중앙대학교 전기공학과 박사졸업
- 1995년 3월~현재 : 세한대학교 교수
- 2004년 3월~현재 : 세한대학교 나노정보소재연구소 소장
<관심분야> : 반도체소자, 정전기보호소자, CMP공정