

# N형 실리콘 제어 정류기 소자의 구조 변형을 통한 정전기 보호 성능의 향상에 대한 연구

양준원\*, 서용진\*\* 정회원

## Improvement of Electrostatic Discharge (ESD) Protection Performance through Structure Modification of N-Type Silicon Controlled Rectifier Device

Jun-Won Yang\*, and Yong-Jin Seo\*\* *Regular Members*

### 요 약

PPS 구조가 삽입된 N형 실리콘 제어 정류기 소자를 마이크로 칩의 고전압 I/O 응용을 위해 연구하였다. 종래의 NSCR\_PPS\_Std 표준소자는 매우 낮은 스냅백 홀딩 전압을 갖는 전형적인 SCR 특성을 가지고 있어 정상적인 동작 동안 래치업 문제가 나타나는 것으로 보고되고 있다. 그러나 본 연구에서 제안하는 CPS 및 부분적으로 형성된 P-Well(PPW) 구조를 갖는 변형된 NSCR\_PPS\_CPS\_PPW 소자는 높은 래치업 면역과 트리거링 전압의 조절이 용이한 안정한 ESD 보호 성능을 나타내어 고전압 동작용 마이크로 칩의 정전기보호 소자로 적용 가능성을 확인하였다.

**Key Words** : ESD (electrostatic discharge), SCR (silicon controlled rectifier), PPS (P-type MOSFET pass structure), CPS (counter pocket source), PPW (partial P-type well)

### ABSTRACT

An electrostatic discharge (ESD) protection device, so called, N-type SCR with P-type MOSFET pass structure (NSCR\_PPS), was analyzed for high voltage I/O applications. A conventional NSCR\_PPS device shows typical SCR-like characteristics with extremely low snapback holding voltage, which may cause latch-up problem during normal operation. However, a modified NSCR\_PPS device with counter pocket source(CPS) and partial p-type well(PPW) structure demonstrates highly latch-up immune current-voltage characteristics.

## I. 서 론

태양에서 발생된 양성자, 알파입자 등의 고에너지 입자들에 의한 복사, 지구 자기장을 따라 형성되는 전하를 띤 전자, 양성자 등의 고에너지 포획입자에 의해 생성되는 복사와 은하계로부터 날라 오는 고에너지 입자들의 흐름인 우주선 등 자연복사는 메가전자볼트 정도의 고에너지로 정전기 방전과 같은 현상을 유발하여 위성 구성요소인 전자장비에 해를 입히는 것으로 알려져 있다. 따라서 위성체나 위성통신을 위해 지상에 설치되는 최첨단 기기에서 사용되는 고전압용 마이크로 칩의 정전기(ESD: Electrostatic Discharge) 보호가 매우 중요한 이슈이다[1][2][3]. 그동안 이중 확산된 드레인

(double diffused drain)을 갖는 N형 MOSFET (DDDNMOS) 소자가 ESD 보호를 위해 사용되어 왔으나 고전압에서 동작하는 마이크로 칩의 경우에는 ESD 스트레스에 매우 취약하기 때문에 ESD 보호를 구현하기 어렵다 [4][5][6][7]. 이는 불균일한 전류흐름에 기인하는 것으로 매우 강한 스냅백 (snapback) 특성은 전류 집중을 유도하여 멜팅 손상 (melting damage)을 초래한다[4]. 따라서 DDDNMOS 소자를 사용한 자기보호(self-protection) 능력은 실제적으로 불가능하므로 그 대안을 찾아야 할 필요가 있다. 다양한 ESD 보호 소자들 가운데 실리콘 제어 정류기 (SCR: silicon controlled rectifier)는 고전류에 대한 면역 특성이 우수하여 매우 매력적인 소자이다[4][8][9]. 그러나

\*세한대학교 컴퓨터교육과 (jwyang@sehan.ac.kr)

\*\*세한대학교 나노정보소재연구소 (syj@sehan.ac.kr), 교신저자 : 서용진

접수일자 : 2013년 11월 25일, 수정완료일자 : 2013년 12월 18일, 게재확정일자 : 2013년 12월 18일

SCR은 높은 트리거링(triggering) 전압 때문에 DDDNMOS 소자가 쉽게 파괴될 수 있다는 단점이 있다. 그 동안 트리거링 전압을 더 낮추기 위해 광범위한 연구가 시도되어 왔으며, 저전압 트리거링 SCR(low voltage triggering SCR; LVTSCR)[8] 또는 게이트 커플링(gate coupling) 기법 [10][11]이 보고되었다. LVTSCR도 정상적인 동작 동안 래치업(latch-up)에 매우 취약하므로 다양한 회로가 래치업 면역을 높이기 위해 제안되어 왔으나[11][12][13], 이러한 시도는 추가되는 회로 요소들 때문에 추가적인 레이아웃 면적을 필요로 하여 칩의 크기가 증가한다는 단점이 있다. 더구나 이들 연구들의 대부분은 저전압 I/O 응용에 집중되어 왔고, 고전압 I/O 응용을 위한 연구는 거의 없었다. 따라서 양호한 ESD 보호 성능, 높은 래치업 면역 특성 또한 파괴되기 쉬운 DDDNMOS 소자를 보호하기 위한 트리거링 전압의 유연성(flexibility)을 갖춘 고전압에서 동작하는 SCR타입의 MOS 소자를 개발할 필요가 있다.

본 연구에서는 PMOSFET 패스 구조(PMOSFET pass structure; PPS)를 갖는 N형 SCR(NSCR\_PPS) 소자를 고전압 I/O 응용을 위해 제안하였다. NSCR\_PPS 소자는 N형의 확장된 드레인(N-Drift 영역) 및 CPS(counter pocket source) 구조를 갖는 기존의 NEDSCR\_CPS 소자[2]에 PMOSFET 소자가 삽입된 구조이며, 본 연구에서는 제안하고 있는 CPS 및 부분적으로 형성된 P-Well(PPW) 구조를 갖는 변형된 NSCR\_PPS\_CPS\_PPW 소자에 대해, 2차원 공정 및 소자 시뮬레이션을 통해 안정적인 ESD 보호성능을 구현하기 위해 필요한 디자인 가이드라인(design guideline)을 제시하였다.

## II. 소자 구조 및 정전기보호회로

### 1. 소자구조

NSCR\_PPS 소자가 그림 1에 보인 것처럼 DDDNMOS 소자에 근거하여 각각 구조를 변형하여 설계되었다. N+ 확산 드레인은 그림 1(a)에 보인 것처럼 2개의 영역으로 나뉘어졌고, P형 MOSFET 소자가 삽입된 구조로 수직형 PNP-BJT(bipolar junction transistor)와 측면형 NPN-BJT로 이루어진 SCR형의 소자가 되었다.

종래의 NSCR\_PPS\_Std 표준소자는 그림 1(a)에 보인 바와 같이 P형의 CPS 이온주입(그림 1(b)의 회색영역)을 행하지 않고 정상적인 P-Well 구조(사선으로 표현된 영역)를 채택하였다. 변형된 NSCR\_PPS\_CPS 소자는 그림 1(b)에 보인 바와 같이 CPS 이온주입이 N+ 확산 캐소드(소오스)를 둘러싸기 위해 수행되었다. CPS 이온주입 도즈(dose)와 에너지는 N-드리프트 이온주입 조건에 따라 변화될 수 있다. 또한 그림 1(c)는 본 연구에서 제안하는 부분적으로 형성된 P-Well(PPW) 이온주입 영역(점선으로 표현된 영역)을 그

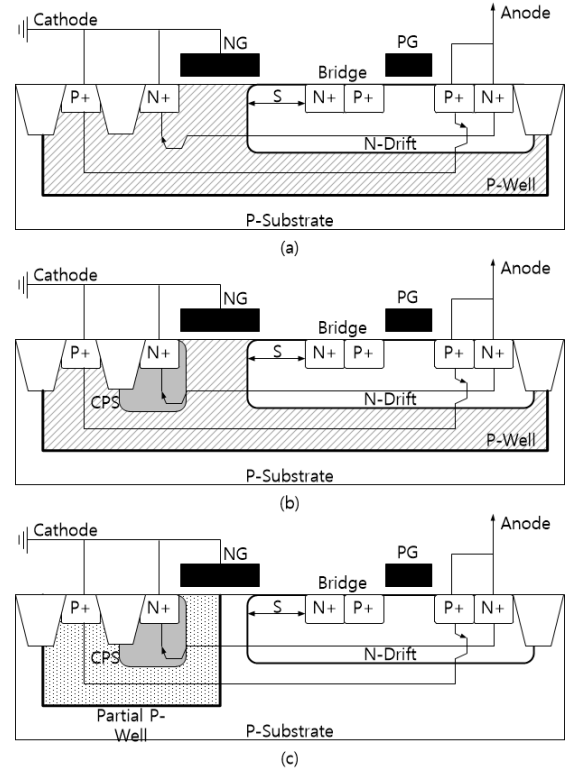


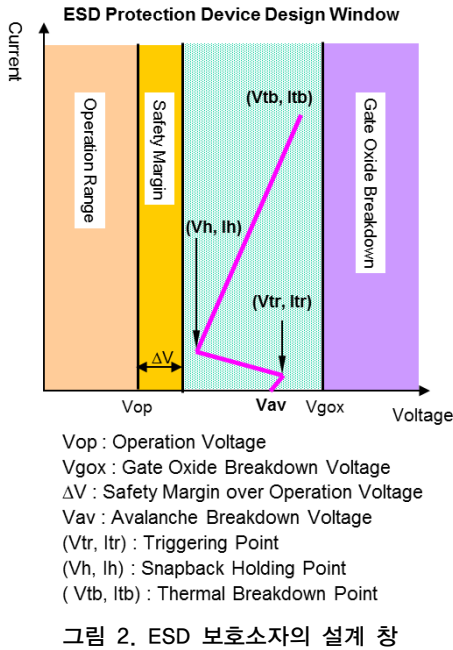
그림 1. NSCR\_PPS 소자 구조 및 SCR 동작 메커니즘

- (a) NSCR\_PPS\_Std; 표준소자, 오버랩 마진  $S=1.6\mu\text{m}$
- (b) NSCR\_PPS\_CPS; N+ 확산 소스 아래에 P-드리프트 이온주입에 의한 CPS 구조를 형성. 오버랩 마진  $S=1.6\mu\text{m}$
- (c) NSCR\_PPS\_CPS\_PPW; PPS\_CPS 소자에서 P-Well을 부분적인 P-Well(PPW)로 변형한 구조.  $S=1.6\mu\text{m}$ ,  $1.0\mu\text{m}$ ,  $0.5\mu\text{m}$ 로 각각 변화시킴

림에서 보인 것과 같이 NMOS 게이트(NG) 아래에 형성시킨 것이다. 따라서 N-드리프트 영역의 바닥(bottom)은 P형 기판(substrate)에 노출되었다. 더구나 CPS와 PPW 구조의 형성으로 인해 N+ 확산 캐소드 바깥의 P형 도핑농도가 변하였다. N-드리프트 영역 끝단과 N+ 확산 브리지 사이의 오버랩 마진은 NSCR\_PPS\_Std 소자와 같거나 ( $S=1.6\mu\text{m}$ ) 또는 더 작게 ( $S=1.0\mu\text{m}$ ,  $0.5\mu\text{m}$ ) 유지하였다. 이는 NSCR\_PPS 소자의 애발란치 브레이크다운 전압( $V_{av}$ )과 트리거링 전압( $V_{tr}$ )이 N-드리프트 위의 N+ 확산 브리지와의 오버랩 마진(overlap margin; S)에 강하게 의존함을 암시하는 것이다. 여기에서 측면방향의 NPN-BJT의 베이스 폭도 동일한 파라미터에 의존한다.

### 2. 정전기보호소자의 설계 창

이상적인 정전기보호회로는 모든 정전기 스트레스에 대해 효율적으로 대응하여 내부 회로를 보호할 수 있어야 한다. 정전기보호소자가 동작할 때의 전류-전압 특성이 갖추어야 할 조건인 “정전기보호소자의 설계창(Design Window of ESD Protection Device)”이 필요하다. 정전기보호소자가 입출력 회로에 적용되어 정전기 보호 기능을 원만하게 수행하면서도 다른 부작용을 유발하지 않기 위해서는 그림 2에

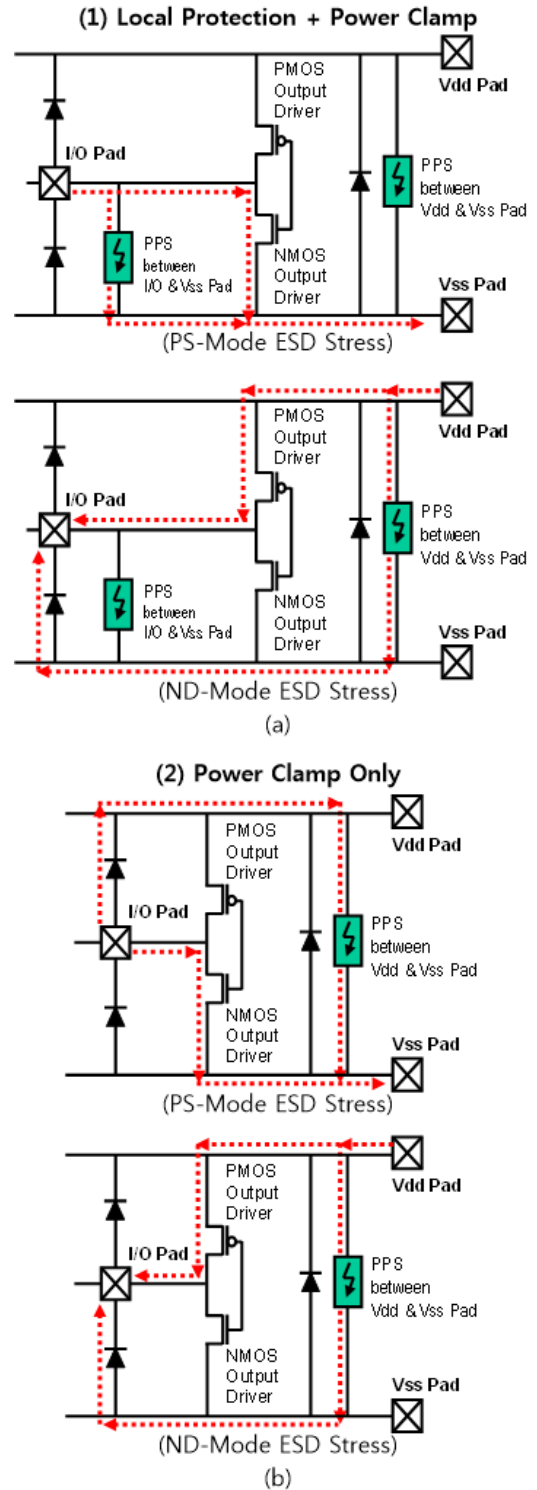


명시된 조건에 부합하는 전기적 특성을 기본적으로 갖추어야 한다. 각 조건에 부합하는 전기적 특성에 대한 자세한 설명은 참고문헌 [1][2]에 상세히 소개되었다.

- (1) 애발란치 브레이크다운 전압( $V_{av}$ ) 및 BJT 트리거링 전압( $V_{tr}$ )이 동작전압( $V_{op}$ )보다 커야 한다. ( $V_{op} < V_{av} < V_{tr}$ ).
- (2) BJT 트리거링 전압( $V_{tr}$ )과 열적 브레이크다운 전압( $V_{tb}$ )이 게이트 산화막 브레이크다운 전압( $V_{gox}$ )보다 작아야 한다. ( $V_{tr}, V_{tb} < V_{gox}$ ).
- (3) 스냅백 홀딩전압( $V_h$ )은 충분한 안전 마진(safety margin)을 가져 동작전압보다 커야 한다. ( $V_{op} + \Delta V < V_h$ ).
- (4) 열적 브레이크다운( $V_{tb}$ )이 발생하기 전에 충분히 많은 양의 정전기 스트레스 전류( $I_{tb}$ )를 소화할 수 있어야 한다. ( $I_{tb}$ : Large).
- (5) 열적 브레이크다운 전압( $V_{tb}$ )이 트리거링 전압보다 크거나 적어도 비슷해야 한다. ( $V_{tr} \leq V_{tb}$ ).

### 3. 정전기보호회로

그림 3은 PPS 소자를 이용한 출력 구동 회로(output driver circuit)를 보인 것이다. PPS 소자를 이용하여 출력 구동 회로에 대한 ESD 보호를 수행하는 방법은 그림 3(a)에 보인 것과 같이 PPS 소자를 국부적인 보호(local protection)와 파워 클램프(power clamp)에 동시에 채용하는 방식과, 그림 3(b)에 보인 파워 클램프에만 적용하는 방식이 있다. PPS 소자를 국부적인 보호와 파워 클램프에 동시에 채용하는 방식은 기생 버스 저항(parasitic bus resistance)에 영향을 받지 않는 안정적인 ESD 보호 성능을 구현할 수 있는 장점이 있지만, I/O 회로에 개별적으로 PPS 소자를 추가해야 하기



**그림 3. PMOS pass structure (PPS) 소자를 이용한 출력 구동기의 정전기 보호회로**

- (a) 국부보호 + 파워 클램프 회로
- (b) 파워 클램프만 사용한 경우. (여기서 PS 모드 스트레스는 I/O: positive, Vss: ground, Vdd: floating이고, ND 모드 스트레스는 I/O: negative, Vss: floating, Vdd: ground 상태)

때문에 칩의 레이아웃 면적(layout area)을 많이 소모하는 문제점이 있다. 반면에 PPS 소자를 파워 클램프에만 적용하는 방식은 레이아웃 면적 측면에서는 효율성이 높지만, 기생 버스 저항이 과도할 경우 파워 클램프가 효과적으로 동작하지

ESD 실패(failure)가 발생할 수 있는 문제점이 있다.

DDDMOS 소자를 출력 구동기(output driver)로 사용하는 고전압 출력 회로의 경우 NMOS 출력 구동기가 ESD 스트레스에 매우 취약한 특성을 나타낸다. 0.18um\_30V 고전압 공정기술의 경우 출력 구동기로 사용하는 NMOS 소자에서 BJT 트리거링이 발생한 직후 바로 열적 브레이크다운이 발생하는 문제점이 있다. 따라서 NMOS 출력 구동기를 효과적으로 보호하기 위해서는 반드시 PPS 소자의 트리거링 전압( $V_{tr}$ )이 NMOS의 BJT 트리거링 전압보다 작아야 한다. 이때 PMOS 출력 구동기의 경우에는 온 상태에서 스냅백이 발생하지 않는 특성을 나타내기 때문에 PPS의 트리거링 전압이 PMOS의 트리거링 전압보다 약간 커도 무방하다. 즉, PPS 소자를 이용하여 안정적인 ESD 보호 성능을 구현하기 위해서는 PPS 소자의 트리거링 전압을 자유롭게 조절하여 NMOS 출력 구동기의 BJT 트리거링 전압보다 작게 만들 수 있어야 한다.

그림 4는 그림 1(a)에 보인 구조를 갖는 NSCR\_PPS\_Std 표준소자의 전류-전압 특성을 TLP(transmission line pulse) 스트레스로 모니터링한 결과이며, PPS 표준소자는 그림 2에 보인 ESD 보호소자의 설계창에서 요구되어지는 특성들 중에서 (3), (5) 항목을 만족시키지 못하는 것으로 나타났다. 이는 PPS 소자의 온 상태 저항( $R_{on}$ )이 너무 작기 때문에 나타나는 문제점이다. 따라서 PPS 소자를 이용하여 안정적인 ESD 보호 성능을 구현하기 위해서는  $R_{on}$ 을 증가시킴으로서 스냅백 홀딩 전압( $V_h$ )을 동작전압( $V_{op}$ )보다 크게 만들고( $V_{op} + V < V_h$ ), 열적 브레이크다운 전압( $V_{tb}$ )을 트리거링 전압( $V_{tr}$ ) 이상으로 증가 시키는( $V_{tr} \leq V_{tb}$ ) 작업이 선행 되어져야 한다. 또한 DDDNMOS 소자를 출력 구동기로 사용하는 정전기보호회로에서는 NMOS 소자가 ESD 스트레스에 취약한 특성을 나타내므로 NMOS 소자를 효과적으로 보호하기 위해서는 본 연구에서 제안하는 PPS 소자의 트리거링 전압( $V_{tr}$ )이 NMOS 소자의 BJT 트리거링 전압보다 작아야 하므로 무엇보다 중요한 설계인자는 PPS 소자의 트리거링 전압을 원하는 값으로 자유롭게 조절할 수 있는 방법을 개발해야 한다. 따라서 본 연구에서는 이상과 같은 ESD 보호소자의 설계창이 요구하는 조건들을 만족시키기 위해 PPS 소자의 구조를 변형시키는 가이드라인을 제안하였다.

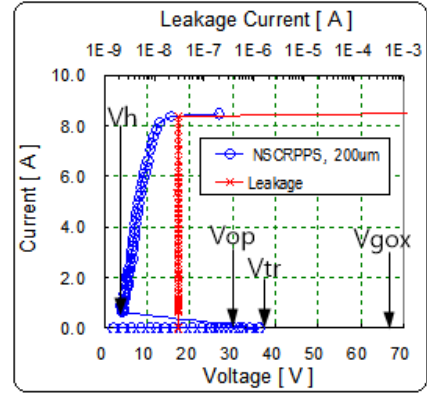


그림 4. NSCR\_PPS\_Std 표준 소자의 TLP I-V 특성 곡선 (@0.18um\_30V)

### III. 결과 및 고찰

NSCR\_PPS 소자의 전기적 특성이 열적 효과가 내재되어 있는 2차원 시뮬레이션을 사용하여 조사되었다. 소자는 동작 전압( $V_{op}$ )이 30V인 고전압 기술(@0.18um\_30V)을 적용한 TSUPREM4 공정 시뮬레이터를 사용하여 제작되었으며, 소자 특성은 DESSIS 소자 시뮬레이터를 사용하여 분석되었다. ESD 스트레스를 시뮬레이션하기 위해 10 ns의 상승시간(rise time)과 100 ns의 지속시간(duration time)을 갖는 사다리형 전류 펄스를 사용하여 과도 시뮬레이션이 수행되었다. 시뮬레이션으로 추론된 NSCR\_PPS\_Std 표준소자의 전류-전압 관계는 그림 5(심볼 ○)에 보인 것처럼 전형적인 SCR 특성을 나타내었다.  $V_h$ 는 동작전압 ( $V_{op} \sim 30V$ ) 보다 훨씬 더 낮은 스냅백 홀딩 전압 ( $V_h \sim 2V$ ), 낮은 온-상태 저항 ( $R_{on}$ ), 높은 전류 면적 레벨을 보였다(표1 참조). 따라서 NSCR\_PPS\_Std 표준소자는 정상적인 동작 동안 래치업 문제에 매우 취약함을 알 수 있다.

그림 5의 심볼 ■과 △에 보인 NSCR\_PPS\_CPS\_PPW 변형 소자는 NSCR\_PPS\_Std 표준소자와는 다르게 높은 스냅백 전압 ( $V_h \sim 37V$ )으로 특성화되었다. 이는 동작전압( $V_{op}$ )보다 더 높은 값이다. 따라서 래치업 면적이 보장되었다. 오프-상태 누설전류( $I_{off}$ )도 그림 5에 삽입된 그림에 보인바와 같이 거의 4승( $\sim 10^{-4}$ ) 정도 감소하였다. 이는 CPS 이온주입에 기인한 것으로 생각된다. NSCR\_PPS\_CPS\_PPW 소자의

표 1. NSCR\_PPS 소자의 시뮬레이션 결과

Ab. : Description of I-V Parameters for ESD Design Window (Unit)	Std (TLP Data)	Std (Simulation)	CPS (Simulation)	CPS_PPW (S=1.6um)	CPS_PPW (S=1.0um)	CPS_PPW (S=0.5um)
U <sub>lto</sub> : Current before Avalanche Breakdown per Active Width [A/um]	1.5E-09	1.2E-10	7.5E-14	6.4E-14	3.0E-14	3.0E-14
V <sub>av</sub> : Avalanche Breakdown Voltage [V]	36.0	41.0	40.5	38.9	37.5	36.6
V <sub>tr</sub> : Triggering Voltage [V]	36.0	45.0	46.5	45.9	44.7	43.0
U <sub>ltr</sub> : Triggering Current per Active Width [mA/um]	0	0.05	0.05	0.2	0.2	0.2
V <sub>h</sub> : Snapback Holding Voltage [V]	4.0	1.4	12.4	36.9	40.8	37.0
U <sub>lh</sub> : Snapback Holding Current per Active Width [mA/um]	0.1	0.4	2.0	5.0	3.0	4.0
V <sub>tb</sub> : Thermal Breakdown Voltage [V]	13.0	7.9	53.8	65.0	63.8	46.8
U <sub>ltb</sub> : Thermal Breakdown Current per Active Width [(mA/um)]	40.0	50.0	20.0	20.0	20.0	20.0
dR <sub>on</sub> : Average On-State Resistance per Active Width [ $\Omega \cdot m$ ]	169	131	2300	1873	1353	613

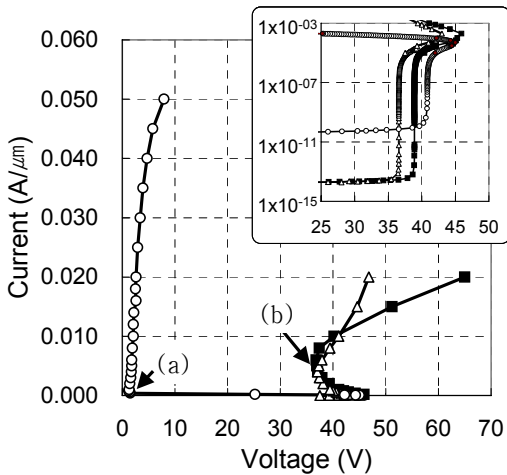


그림 5. NSCR\_PPS 소자의 전류-전압 특성 시뮬레이션 결과. (삽입된 그림은 동일한 전류-전압 곡선에서 y축을 로그 스케일로 다시 그린 것이다. (a)와 (b)는 각각 NSCR\_PPS\_Std 표준 소자와 본 연구에서 제안하는 NSCR\_PPS\_CPS\_PPW 소자의 스냅백 홀딩 포인트를 나타낸다.)  
 ○: NSCR\_PPS\_Std 표준소자  
 ■: S=1.6μm인 NSCR\_PPS\_CPS\_PPW 변형소자  
 △: S= 1.0μm인 NSCR\_PPS\_CPS\_PPW 변형소자

전류 면적 레벨이 소자구조의 변형(modification)에 의해 감소하였으나, 양호한 ESD 보호 성능을 위해서는 여전히 높은 값에 해당한다.

일반적으로 온-저항(Ron)은 NSCR\_PPS\_CPS\_PPW 변형 소자에서는 증가를 하였는데 이는 오버랩 마진 파라미터 S에 의존한다[2]. 표 1에 보인바와 같이 S=1.6μm 일 때 Ron은 1873[Ω·m]로 NSCR\_PPS\_Std 표준소자(Ron = 131[Ω·m])보다 훨씬 더 컸다. 그러나 S를 감소시킨 경우, S=0.8μm, 0.5μm 일 때 Ron은 감소하는 반면에 Vh는 여전히 높았다. 파라미터 S 값을 감소시킴으로써 Vav와 Vtr은 약간 감소를 하였는데, 이는 ESD 스트레스 하에서 파괴되기 쉬운 DDDNMOS의 안전을 보장할 수 있음을 의미한다. 따라서 NSCR\_PPS\_CPS\_PPW 변형소자에서는 S를 감소시키는 것이 고전압 I/O 응용에 있어서 최적화된 ESD 보호 성능을 제공할 수 있음을 지적하는 것이다.

그림 6에 보인 NSCR\_PPS 소자의 등고선 데이터는 전류-전압 관계의 급격한 변화를 현상학적으로 설명하는 2차원 시뮬레이션 결과를 제공해 준다. 낮은 전류 레벨에서의 고전계 영역은 공핍영역 때문에 N-드리프트 영역과 P-Well 경계선을 따라 형성되었다. NSCR\_PPS\_Std 표준소자가 그림 5의 (a)에 해당하는 스냅백 홀딩 포인트에 들어가 높은 전류가 흐를 때, N+ 확산 캐소드로부터의 고전자 주입은 NMOS 게이트(NG) 아래에 깊은 전자 채널링을 유도하였다. 즉, 깊은 전자 풍부 영역(si-rich region)은 캐소드로부터 애노드까지 측면방향으로 확장되었다. 이러한 상황 하에서 P-Well과 N-드리프트 영역의 백그라운드 도핑(background doping)은 주입된 자유캐리어 들에 의해 완전히 차단되었다. 따라서 그림 6(a)에 보인 스냅백 홀딩 포인트에서의 전계 등고선 결과

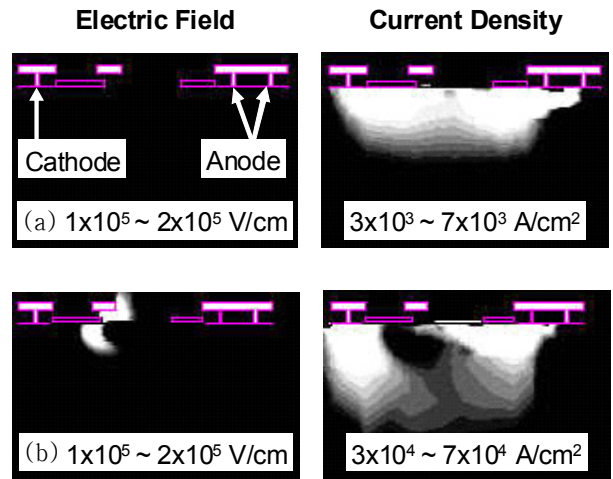


그림 6. 스냅백 홀딩 포인트에서 전계와 전류밀도의 등고선 분석  
 (a) NSCR\_PPS\_Std 표준 소자  
 (b) NSCR\_PPS\_CPS\_PPW 변형 소자. 각 그림에 표현된 숫자는 전계 및 전류밀도 값에 해당하는 범위를 나타낸다.

처럼, 두 전극사이의 전체 전류 경로에는 전계가 형성되지 않았다. NSCR\_PPS\_Std 소자에서의 낮은 Vh와 낮은 Ron은 두 전극사이에 전계가 형성되지 않았고, 짧고 넓은 전류 경로를 갖고 있기 때문으로 설명될 있다. 고전자 주입에 의한 베이스 푸쉬-아웃(base push-out 또는 kirk 효과) 효과에 의한 낮은 홀딩전압(Vh)과 낮은 온-저항(Ron)에 대한 결과는 선행 연구[5][14]에서 발표되었다.

그림 6(b)에 보인바와 같이 NSCR\_PPS\_CPS\_PPW 변형 소자의 고전계 영역은 낮은 전류 레벨에서 N-드리프트 영역과 P-Well 경계를 따라 형성되었다. 그러나 N-드리프트 영역 바닥에서의 전계는 부분적인 P-Well(PPW) 이온주입 때문에 훨씬 약하게 나타났다. 전류는 국부적으로 약한 전계 경로를 따라 흐르는 경향이 있다. 따라서 전류는 주로 U자 모양의 전류 경로를 형성하기 위해 N-드리프트 영역의 바닥면을 통해 흐르는 경향이 있다. U자 모양의 전류 경로가 한번 형성되어지면 높은 전류 레벨에서도 깊은 전자 채널링은 더 이상 일어나지 않는다. 따라서 측면방향의 고전계 영역은 그림 6의 (b)에 보인 스냅백 홀딩 포인트에서도 안전하게 견디었다. 또한 CPS 이온주입으로 캐소드와 애노드 사이에 저항성의 경로를 형성하였다. 더 저항적이고 긴 U자 모양의 전류 경로는 높은 Vh와 높은 Ron에 의한 결과라고 생각된다. 즉, 파라미터 S가 감소한다는 것은 두 전극 사이의 베이스 폭의 축소를 초래한다.

본 연구에서 제시한 등고선 분석은 베이스 폭이 어떤 임계값보다 더 작게 되었을 때 U자 모양의 전류 흐름은 더 높은 전류 레벨로 들어갈 경우 깊은 전자 채널링의 전류 흐름으로 되돌아가는 경향이 있음을 보여주는 것이다. 깊은 전자 채널링의 전류 흐름은 그림 5의 전류-전압 관계에서 보인 것처럼 낮은 온-저항에서도 일어날 수도 있다.

## IV. 결론

기존의 NSCR\_PPS 표준소자는 온 저항(Ron), 스냅백 홀딩 전압(Vh)과 열적 브레이크다운 전압(Vtb)이 너무 낮아 정전기 보호소자의 설계창을 만족시키지 못하여 적용이 어려웠으나, 본 연구에서 제안하는 NSCR\_PPS\_CPS\_PPW 변형소자는 오버랩마진 파라미터 S, CPS 및 부분적으로 형성된 P-Well (PPW) 이온주입을 통해 소자구조를 변형시킴으로서 안정한 정전기 보호 특성, 높은 래치업 면역과 유연한 트리거링 전압을 나타내었다. 따라서 NSCR\_PPS\_CPS\_PPW 구조의 변형소자를 위성체나 위성통신기기에 사용되는 고전압용 마이크로 칩의 I/O 응용을 위한 정전기 보호 소자로 사용될 수 있음을 확인하였다.

## 참고 문헌

[1] 양준원, 서용진, “고전압용 LDI 칩의 정전기 보호를 위한 ENNMOS 소자의 특성 개선”, 통신위성우주산업연구회논문지, 제7권 제2호, pp.18-24, 2012.

[2] 양준원, 서용진, “CPS 이온주입을 통한 NEDSCR 소자의 정전기 보호 성능 개선”, 통신위성우주산업연구회논문지, 제8권 제1호, pp.45-53, 2013.06

[3] 양준원, 김형호, 서용진, “DDIC 칩의 정전기 보호 소자로 적용되는 GG\_EDNMOS 소자의 고전류 특성 및 더블 스냅백 메커니즘 분석”, 통신위성우주산업연구회논문지, 제8권 제2호, pp.36-43, 2013.06.

[4] S. Dabral and T. J. Maloney, “Basic ESD and I/O Design”, John Wiley, New York, 1998.

[5] M. P. J. Mergens, W. Wilkening, S. Mettler, H. Wolf, A. Stricker and W. Fichtner, “Analysis of lateral DMOS power devices under ESD stress conditions”, IEEE Trans. Electron Devices, 47, pp. 2128-2137, 2000.

[6] B. C. Jeon, S. C. Lee, J. K. Oh, S. S. Kim, M. K. Han, Y.I. Jung, H. T. So, J. S. Shim and K. H. Kim, “ESD characterization of grounded-gate NMOS with 0.35um/18V technology employing transmission line pulser (TLP) test”, in Proc. EOS/ESD Symp., pp. 362-372, 2002.

[7] G. Bosselli, S. Meeuwesen, T. Mouthaan and F. Kuper, “Investigations on double diffused MOS (DMOS) transistors under ESD zap conditions”, in Proc. EOS/ESD Symp., pp. 11-18, 1999.

[8] A. Chatterjee and T. Polgreen, “A low-voltage triggering SCR for on-chip ESD protection at output and input pads,” IEEE Electron Device Lett., vol.12, pp. 21-22, Jan. 1991.

[9] J. H. Lee, J. R. Shih, C. S. Tang, K. C. Liu, Y. H. Wu, R. Y. Shiue, T. C. Ong, Y. K. Peng, and J. T. Yue, “Novel ESD protection structure with embedded SCR/LDMOS for smart power technology,” in Proc. IEEE 40-th Annual Int. Reliab. Phys. Symp., pp. 156-161, 2002.

[10] M. D. Ker, H. H. Chang, and C. Y. Wu, “A gate-coupled

PTLSCR/NTLSCR ESD protection circuit for deep-submicron low voltage CMOS IC’s,” IEEE J. Solid-State Circuits, vol. 32, pp. 38-51, Jan. 1997.

[11] C. H. Lai, M. H. Liu, S. Su, T. C. Lu, and S. Pan, “A novel gate coupled SCR ESD protection structure with high latchup immunity for high-speed I/O pad,” IEEE Electron Device Lett., vol. 25, pp. 328-330, May 2004.

[12] M. D. Ker, “Lateral SCR devices with low-voltage high-current triggering characteristics for output ESD protection in submicron CMOS technology,” IEEE Trans. Electron Devices, vol. 45, pp. 849-860, Apr. 1998.

[13] M. P. J. Mergens, C. C. Russ, K. G. Verhaege, J. Armer, P. C. Jozwiak, and R. Mohn, “High holding current SCRs (HHI-SCR) for ESD Protection and latch-up Immune IC operation,” in Proc. EOS/ESD Symp., pp. 14-21, 2002.

[14] M. Streibl, K. Esmark, A. Sieck, W. Stadler, M. Wendel, J. Szatkowski and H. Goner, “Harnessing the base-pushout effect for ESD protection in bipolar and BiCMOS technologies” in Proc. EOS/ESD Symp., pp. 73-82, 2002.

## 저자

### 양준원(Jun-Won Yang)



정회원

- 1989년 2월 : 영남대학교 전자공학과 학사졸업
- 1995년 3월 : Keio대학교 이공학연구과 전기공학과 석사졸업
- 1999년 3월 : Keio대학교 이공학연구과 전기공학과 박사수료
- 1999년 3월~현재 : 세한대학교 컴퓨터교육과 부교수

<관심분야> : 위성통신, 전자파 해석

### 서용진(Yong-Jin Seo)



정회원

- 1987년 2월 : 중앙대학교 전기공학과 학사졸업
- 1989년 2월 : 중앙대학교 전기공학과 석사졸업
- 1994년 2월 : 중앙대학교 전기공학과 박사졸업
- 1995년 3월~현재 : 세한대학교 교수
- 2004년 3월~현재 : 세한대학교 나노정보소재연구소 소장

<관심분야> : 반도체소자, 정전기보호소자, CMP공정