

유효 비트수 확장을 이용한 대전상관기의 상관 정밀도 개선에 관한 연구

A Study on Correlation Accuracy Improvement of the Daejeon Correlator using Expansion of Effective Bit-number

염재환*, 노덕규*, 오세진*, 오충식*, 정진승*, 정동규*, 윤영주*,
Kensuke Ozeki**, Hirohumi Onuki**, 김용현***, 황철준****

Jae-Hwan Yeom*, Duk-Gyoo Roh*, Se-Jin Oh*, Chung-Sik Oh*, Jin-Seung Jung*, Dong-Kyu Chung*, Young-Joo Yun*, Kensuke Ozeki**, Hirofumi Onuki**, Yong-Hyun Kim***, Cheol-Jun Hwang****

요약

본 논문에서는 대전상관기의 상관결과 정밀도 향상을 위해 FFT 모듈의 유효비트 확장에 관해 고찰한다. FPGA를 기반으로 하는 대전상관기는 데이터처리의 고속화를 위해 FFT 연산을 고정소수점으로 구현하였다. 그러나 상관결과에서 연산비트의 부족으로 인해 대역폭의 낮은 주파수 영역에서 위상의 0도 집중현상이 발생하고 있다. 이 현상은 관측천체를 분석할 때 위상 집중현상을 제외시키기 때문에 데이터 손실과 같은 효과를 주어 상관결과의 정밀도에 영향을 주고 있다. 따라서 상관결과의 정밀도 향상을 위해 FPGA의 주어진 리소스 범위 내에서 기존 FFT 모듈의 16비트 연산보다 비트수를 확장할 수 있는지에 대한 시뮬레이션을 수행하였다. 시뮬레이션 결과를 통하여 사용한 FPGA 리소스 범위 내에서 FFT 모듈의 유효비트 수는 확장할 수 있으며, FFT 모듈의 20-bit 연산비트가 실험결과의 비교를 통하여 상관결과의 정밀도를 향상시키는데 유효한 것으로 확인되었다.

Abstract

In this paper, we propose the effective bit expansion of FFT module for improving the accuracy of correlation result of the Daejeon correlator. The Daejeon correlator based on FPGA was implemented in order to fast data processing with the fixed-point of FFT operation. In correlation result, however, the phenomenon of phase concentration to 0 degree was appeared in lower frequency area of bandwidth due to lack of operational bit. This phenomenon has an affect on the accuracy of correlation result by introducing the effect of data loss because of excluding phase concentration during analysis of observed radio source. In order to improving the accuracy of correlation result we carried out the simulation by expanding bit-number than 16-bit operation of previous FFT module within given resource limits of FPGA. Through the simulation results, the effective bit number for FFT module within used FPGA resource limits is able to expand, and we confirmed that the operational 20-bit of FFT module is effective for improving accuracy of correlation result by comparing with experimental result.

Keywords: Daejeon correlator, effective bit of FFT module, phase concentration

I. 서론

한국천문연구원에서는 일본국립천문대와 공동으로 개발한 한일상관기(이하 대전상관기, Daejeon correlator)를 2009년에 설치하고 운영하고 있다[1][2]. 천파천문에서 사

용하는 상관기(Correlator)는 우주의 천체(블랙홀, 별탄생 영역, 만기형성 등)로부터 오는 천파신호를 수백 km이상 떨어진 여러 대의 천파망원경으로 관측하여 디지털 신호로 변환한 데이터에 대해 상관도를 측정하고, 천파망원경과 별사이의 거리, 천파망원경 간의 거리, 천체로부터 오는 천파신호의 지연시간 등을 측정하는 전용 계산기이다. 즉, 여러 대의 천파망원경의 관측신호를 구경 합성하는 원리인 초장기선천파간섭계(VLBI, Very Long Baseline Interferometry)의 초점을 잡는 전용 계산기이다[3][4]. 대전상관기는 한국천문연구원이 2009년부터 운영하고 있는 21미터 천파망원경 3대로 구성된 한국우주전파관측망(KVN, Korean VLBI Network)과 일본국립천문대가 2002년부터 운영하고 있는 20미터 천파망원경 4대로 구성된 VERA(VLBI Exploration of Radio Astrometry)관측

* 한국천문연구원 천파천문센터

** Elecs Industry Ltd.

*** 수성대학교

**** 대구과학대학교

투고 일자 : 2013. 9. 26 수정완료일자 : 2013. 10. 25

계재확정일자 : 2013. 10. 31

망으로 구성된 7대의 한일VLBI공동관측망(KJJVN, Korea-Japan Joint VLBI Network)으로 우주의 천체로부터 방출되는 우주 전파를 관측한 데이터를 대전상관기에서 상관처리를 수행하고 천문학자들이 이미지 합성, 분석을 위한 FITS(Flexible Image Transportation System) 파일을 제공하는 역할을 수행한다.

현재 KJJVN으로 천체로부터 방출되는 우주전파를 관측한 데이터를 상관처리 후 결과를 분석하는 과정에 주파수 채널의 시작부근에 DC와 유사한 성분이 나타나고 이와 함께 DC 부근 신호의 위상이 0도에 집중되는 현상이 발견되었다. 이는 강한 천체의 신호에서는 위와 같은 현상이 미약하게 보이지만, 약한 천체의 신호에서는 좀 더 명확하게 나타나는 경향이 있다. 또한 전파망원경에 구현된 아날로그/디지털 장치에서도 강한 Spurious 신호가 주파수 대역폭의 시작과 끝 부분에 가끔 나타나기 때문에 관측자와 상관처리 담당자가 그 결과를 판단할 수 없는 경우가 있다.

본 연구에서는 대전상관기의 상관결과 정밀도 향상과 관측대역의 시작에서 DC 성분의 출현 및 관측천체의 위상이 0도에 집중하는 현상을 해결하기 위해 FFT 모듈의 유효비트[5] 확장에 대해 시뮬레이션 시험을 수행하고 그 결과에 대해 고찰하고자 한다.

논문의 구성은 다음과 같다. II장에서는 대전상관기의 구성에 대해 간략히 기술하고 III장에서는 FFT 모듈의 유효비트 확장에 대해 논의하며, IV장에서는 대전상관기의 FFT 모듈에서 유효비트에 따른 시뮬레이션 시험결과에 대해 기술한 후 마지막으로 V장에서 본 논문의 결론을 맺는다.

II. 대전상관기의 구성

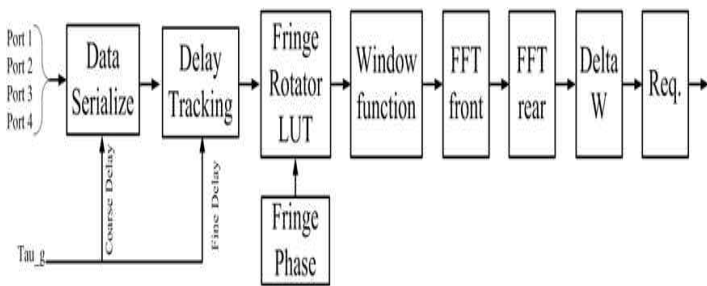


그림 1. 대전상관기의 안테나 유닛의 구성

Fig. 1. Configuration of antenna unit for Daejeon correlator

그림 1은 대전상관기의 안테나 유닛 구성을 나타낸 것이다. 4개의 포트(Port)에서 입력된 각 전파망원경의 관측 데이터는 Data serialize 부분에서 거친(Coarse) 지연추적을 수행하고 Delay Tracking 부분에서 정밀(Fine) 지연추적을 수행한다. 그리고 단일 전파망원경에서 지구자전에 의한 관측주파수 이동을 보정하기 위하여 슈퍼헤테로다인 수신기의 국부발전 신호에 주파수 오프셋을 추가하는 것과

동등하게, 개별 전파망원경의 관측 주파수를 맞추기 위해 cosine, sine 성분을 곱하는 프리지 회전, 연속적인 시계열 데이터를 단속적으로 처리할 때 발생하는 부작용을 최소화하기 위한 윈도우 함수의 적용, 주파수 스펙트럼으로 변환하기 위한 2단 FFT(Front-Rear Fast Fourier Transform)의 수행을 거친 뒤, 지연잔차의 보정(Residual delay compensation)인 Delta W 보정 및 재양자화를 거쳐 상관 유닛으로 전송된다.

III. FFT 모듈의 유효비트

FPGA와 같이 하드웨어에서 FFT 계산모듈을 구현할 때 소프트웨어와 비교하여 유효비트의 길이에 영향을 많이 받는다. 소프트웨어나 ASIC과 같이 전용 칩으로 시스템을 구현하면 계산기의 성능에 비례하며, 부동소수점 연산을 할 수 있도록 구현할 수 있다. 그리고 소프트웨어로 구현한 경우에는 계산속도가 낮고 빠름의 차이는 있지만 전체 계산을 통하여 정밀한 FFT 결과를 얻을 수 있다. 그러나 FPGA 칩을 사용한 시스템도 부동소수점 연산을 하도록 구현할 수 있으나 많은 물량의 리소스가 필요하여 개발비용의 증가를 초래한다. 소프트웨어에 비하여 고속연산을 수행하지만 FPGA 리소스의 한계를 고려하여 리소스가 많이 필요한 부동소수점보다 고정소수점 연산을 수행하도록 구현한다.

대전상관기의 FFT 출력채널은 최소 8,192에서 최대 262,144이다. 복소 FFT연산을 하기 때문에 레지스터 비트의 작은 조정에도 FPGA 리소스에 많은 영향을 미치므로 FPGA 사용량을 최소화할 수 있는 유효비트를 찾아야 한다.

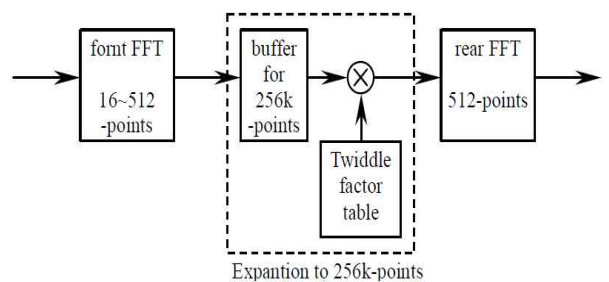


그림 2. 대전상관기 2단 FFT블록의 구성

Fig. 2. Configuration of 2step FFT block

최대 출력 채널인 262,144 점 FFT를 선형 버터플라이 방식으로 FPGA 내에 구현하는 것은 많은 어려움이 있다. 그림 2는 이와 같은 상황을 해결하고자 front FFT와 rear FFT로 분리된 2단 FFT방식을 이용한다. 이렇게 FFT 블록을 2단으로 구성함으로써 FPGA 리소스를 줄일 수 있다. 대전상관기는 rear FFT의 채널을 512점으로 고정하고 front FFT는 최소 16점에서 최대 512점으로 가변할 수 있

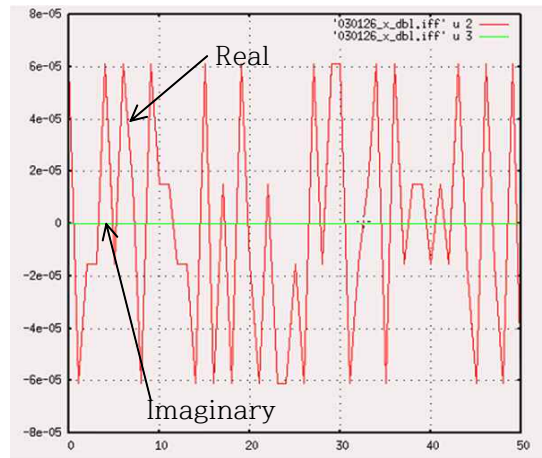
다. 연산 레지스터의 비트 수만을 조정하는 것이기 때문에 연산량은 동일하다. 1비트를 D Flip-Flop이라고 가정하고 레지스터의 비트 수 조정에 따른 리소스를 추정해 보면, 최대 출력인 262,144 채널에서 front FFT 9단, rear FFT 9단이 필요하다. 필요한 곱셈기는 9,216개이며 Twiddle계수 테이블은 262,144개가 필요하다. 중간 단계의 버퍼 262,144개를 추가한다면 기본 Q15 모드인 16비트에서 필요한 D Flip-Flop은 약 850만개로 추정할 수 있다. 레지스터를 Q19 모드인 20비트로 확장한다면 필요한 D Flip-Flop은 약 1,070만개로 약 25퍼센트의 리소스 증가를 추정할 수 있다.

본 연구에서는 FFT 계산모듈의 유효비트 길이에 따른 계산결과와 관측대역의 시작에서 DC 성분의 출현 및 위상의 0도 집중현상을 해결하기 위한 방법을 검토한다. 이와 관련된 시험 및 결과는 IV장에서 자세히 기술한다.

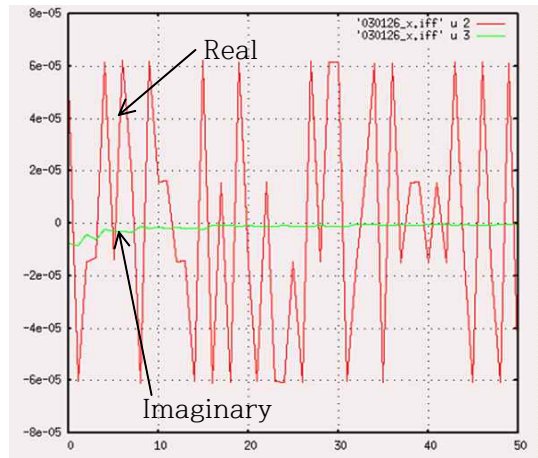
IV. 실험결과

FFT 계산모듈의 유효비트의 정밀도에 따른 영향을 확인하기 위해 소프트웨어를 구현하였다. 이 소프트웨어는 FFT 연산(16k-point FFT)만 가능하며, 샘플 데이터를 입력하여 FFT를 수행하고 그 결과를 IFFT 한 후 그림으로 나타내었다. FFT의 버터플라이 연산을 Double precision을 사용한 경우는 그림 3(a)에, Q15 모드인 16비트 고정소수점 연산을 사용한 경우는 그림 3(b)에 각각 나타내었다. 그림 3의 실험결과는 이론적으로 예상되는 결과로서 소프트웨어에서 부동소수점 연산을 수행함으로써 계산정밀도가 우수한 것을 알 수 있다. 그림 3(a)의 경우 Real, Imaginary 부분에 대한 신호의 왜곡이 보이지 않지만, 그림 3(b)는 Imaginary 부분에서 채널의 시작 부근에 0도에 수렴하지 않고 진폭이 (-)의 영역으로 감소되는 왜곡현상이 나타나는 것을 알 수 있다. 이와 함께 Real 값의 진폭 또한 감소됨을 알 수 있다.

이에 본 연구에서는 위 시험결과를 바탕으로 FFT 계산 모듈의 유효비트가 상관결과에는 어떤 영향을 미치는지 확인하기 위해 상관 소프트웨어 시뮬레이터에서 Double precision과 16비트 Precision에 대해 시뮬레이션 시험을 수행하였다. 샘플 데이터는 Gaussian 분포를 갖는 잡음 데이터를 2비트 샘플링 하여 시뮬레이션 하였다. 그림 4(a)는 예상되는 것과 같이 무상관에 위상이 랜덤한 결과를 나타내고 있다. 그러나 그림 4(b)는 Visibility, Cross power spectrum 등에서 대역시작 부근에서 DC와 같은 성분이 나타나고, Fringe Lag amplitude에서 작은 신호가 보이며, 위상이 0도 부근에 집중되는 현상을 보이고 있다.

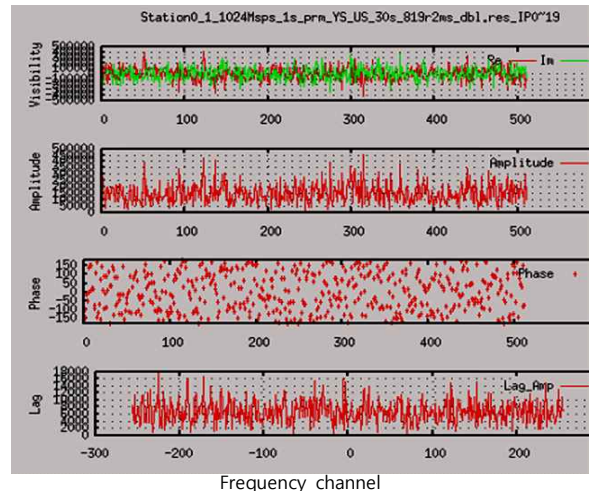


x: frequency channel, y: amplitude
(a) double precision in butterfly operation

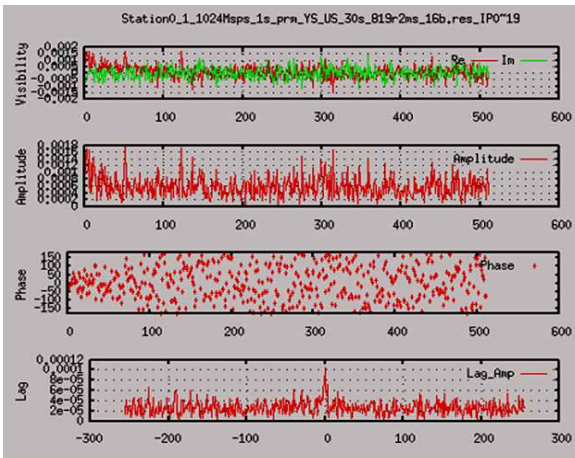


x: frequency channel, y: amplitude
(b) 16 bit fixed point in butterfly operation

그림 3. FFT butterfly 연산에서 유효비트에 따른 시험결과(y 축 : amplitude, 붉은선 : real, 초록선 : imaginary)
Fig. 3. Test result according to effective bit in FFT butterfly operation



(a) Double precision in FFT module



(b) 16 bit precision in FFT module

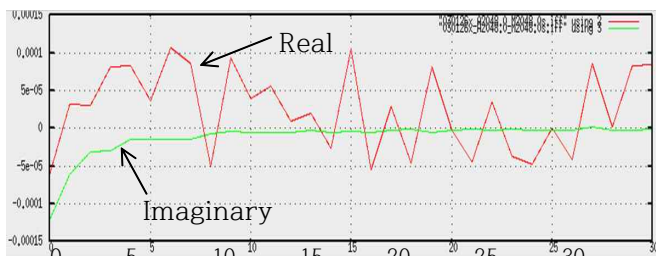
그림 4. 소프트웨어 시뮬레이터에서 FFT 모듈의 유효비트 정밀도에 따른 시뮬레이션 결과

Fig. 4. Simulation result according to the effective bit accuracy of FFT module in software simulator

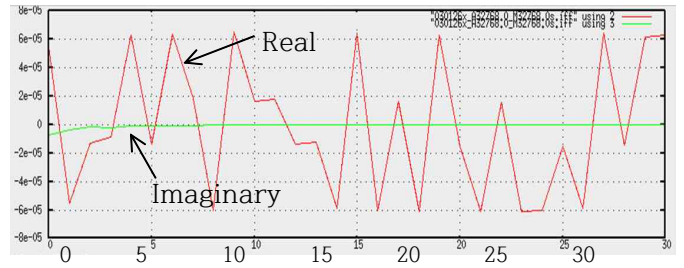
그림 4의 결과는 FFT 계산모듈의 유효비트에 따라 DC 성분과 위상이 0도 부근에 집중되는 현상이 나타나는 것으로 판단된다.

FFT 계산모듈의 유효비트의 영향을 좀 더 파악하기 위해 유효비트를 증감하면서 시뮬레이션을 수행하였으며, 그 결과를 고찰하였다.

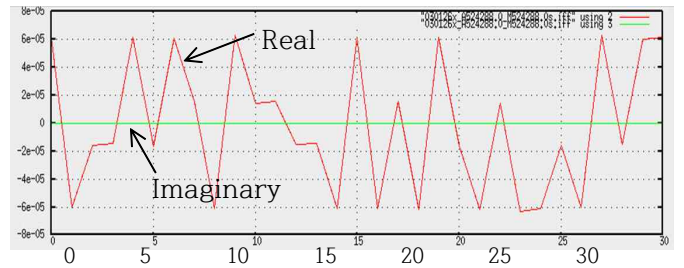
그림 5(a)와 (b)에 나타난 것과 같이 FFT 계산모듈에서 12 비트의 Q11형식과 16 비트의 Q15형식에서는 주파수 채널의 시작부근에서 Imaginary 성분의 신호왜곡이 발생하는 것을 볼 수 있다. 특히 그림 5(a)의 Q11형식은 Real 성분도 다른 경우와 비교하여 신호가 심하게 왜곡되는 현상을 확인할 수 있다. 이는 FPGA 내부에 구현된 FFT 모듈의 계산과정에서 덧셈과 곱셈을 수행하는 비트의 계산이 정수(Integer)로 수행하여 소프트웨어나 그림 5(c)에 비해 연산정밀도가 정확하지 않는 것이 원인이다. 그림 5(c)는 FFT블록 연산 레지스터의 비트를 20비트, 24비트, 28비트로 확장하였을 경우의 모든 결과를 나타낸 것이다. 레지스터가 20비트 이상 확장되었을 경우에 신호의 왜곡 없이 동일한 결과를 확인할 수 있다.



(a) Q11 format(12-bit)



(b) Q15 format(16-bit)



(c) Q19, Q23, Q27 format(20, 24, 28-bit, floating-point)

그림 5. 유효비트의 변화에 따른 FFT 시험결과

Fig. 5. FFT test result according to the effective bit variation

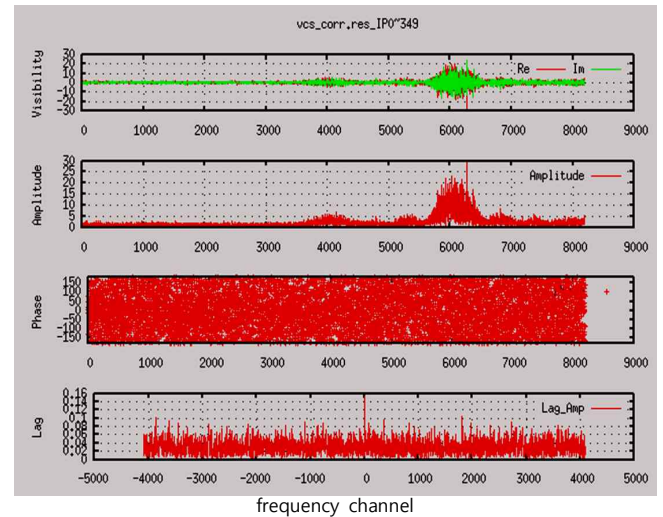


그림 6. Q19 형식(20비트)의 시뮬레이션 결과

Fig. 6. Simulation result of Q19 format(20-bit)

그림 6에 나타난 것과 같이 유효비트를 20 비트 이상으로 확장하여 시뮬레이션 데이터를 상관기에 입력한 후 시뮬레이션 상관처리를 수행한 결과, DC 성분과 위상 0도 집중현상이 나타나지 않는 것을 확인하였다.

이상의 실험결과로부터 전파천문과 같이 FFT 계산모듈의 정밀도를 향상하기 위해 FPGA를 이용하여 하드웨어를 구현할 경우에는 16 비트를 사용하는 Q15형식보다 유효비트 수를 증가시켜 최소한 20 비트이상으로 FFT 계산모듈을 구현하는 것이 유효할 것으로 판단된다. 그리고 시험결

과에서 나타낸 것과 같이 FFT 모듈의 유효비트를 20비트 이상의 경우 동일한 결과값을 나타내고 있으므로 현재 개발된 대전상관기의 제한된 FPGA 리소스(Resource)에서 20 비트를 사용하여 최대한 FPGA를 활용하기로 하였다. 따라서 FFT 계산모듈의 유효비트를 20 비트로 확장해도 FPGA의 리소스에는 문제없는 것을 대전상관기의 FPGA 시험으로 확인하였다.

V. 결 론

본 논문에서는 대전상관기의 상관결과 정밀도 향상을 위해 FFT 모듈의 유효비트 확장에 대해서 시뮬레이션 시험을 통하여 고찰하였다. 대전상관기는 FPGA를 기반으로 FFT 연산을 고정소수점으로 데이터 처리의 고속화를 실현하였다. 그러나 상관결과에서 연산비트의 부족으로 인해 대역폭의 낮은 주파수 영역에서 위상의 0도 집중현상이 발생하고 있다. 이 현상은 관측천체를 분석할 때 제외시키기 때문에 데이터 손실과 같은 영향을 주어 상관결과의 정밀도에 영향을 주고 있다. 따라서 이 문제를 해결하기 위해 지금 대전상관기에 구현된 FPGA의 주어진 리소스 범위 내에서 기존에 16비트 연산보다 비트수를 확장할 수 있는지 확인하였다. 시뮬레이션 시험을 통하여 FFT 모듈의 유효비트를 20비트 이상 확장할 경우 상관결과에서 DC 성분과 위상 0도 집중현상이 나타나지 않는 것을 확인하였다. 상관시험결과에서도 확인된 것처럼 전파천문학과 같이 정밀한 계산을 수행하는 하드웨어를 구현할 때는 소프트웨어와 같이 부동소수점 연산이 가능도록 구현하거나, 최소 20 비트 이상을 FFT 계산모듈에 사용하면 될 것으로 판단된다.

참 고 문 헌

- [1] 노덕규, 오세진, 염재환 외 15명, "2008년도 한일공동VLBI상관기 및 수신기 개발 결과보고서," 한국천문연구원, pp. 3-100, 2008.
- [2] 오세진, 노덕규, 염재환 외 6명, "VLBI상관서브시스템 본체품의 제작현장 성능시험," 신호처리시스템학회 논문지 제12권, 제4호, pp. 322-331, 2011.
- [3] Takahashi F., Kondo T., and Koyama Y., *Very Long Baseline Interferometer*, Ohmsha, pp. 35-55. 2000.
- [4] Thompson, A. R., Moran, J. M., and Swenson, G. W.Jr., *Interferometry and Synthesis in Radio Astronomy*, 2nd Ed., (New York:John Wiley & Sons), pp. 289, 2001.
- [5] Alan V. Oppenheim and Ronald W. Schaffer, *Discrete-Time Signal Processing*, Prentice Hall, Chapter 9, 1989.



염 재 환(Jae-Hwan Yeom)

2005년 8월 한양대 정밀기계공(석사)
2005년~현재 한국천문연구원 선임연구원

※주관심분야 : 디지털신호처리, 디지털제어, VLBI상관기 개발



노 덕 규(Duk-Gyoo Roh)

正會員
1985년 2월 서울대 천문학과(이학사)
1994년 8월 동경대 천문학과(이학석사)
1997년 8월 동경대 천문학과(박사수료)

1985년 4월 ~ 현재 한국천문연구원 책임연구원
2005년 11월 ~ 2009년 3월 한국천문연구원 그룹장

※주관심분야 : 전파천문, VLBI상관기 개발



오 세 진(Se-Jin Oh)

正會員
1996년 2월 영남대 전자공학과(학사)
1998년 2월 영남대 전자공학과(석사)
2002년 2월 영남대 전자공학과(박사)

2001년 9월 ~ 2002년 12월 대구과학대학 교수
2010년 6월 ~ 2011년 5월 한국천문연구원 그룹장
2002년 12월 ~ 현재 한국천문연구원 선임연구원
※주관심분야 : 디지털신호처리, VLBI상관기 개발, 천문관측기기개발



오 충 식(ChungSik Oh)

2002년 2월 서울대 천문학과(이학사)
2006년 3월 동경대 천문학과(이학석사)
2009년 3월 동경대 천문학과(이학박사)

2009년 4월-2010년 11월 한국천문연구원 박사후연수원
2010년 12월 - 현재 한국천문연구원 선임연구원

※주관심분야 : 전파천문, Astrometry, VLBI상관처리



정진승(JinSeung Jung)

正會員

2008년 2월 경남대 전자공학과(공학사)
2010년 2월 경남대 전자공학과(공학석사)
2010년 8월 ~ 현재 한국천문연구원 연구원

※주관심분야 : 디지털신호처리, FPGA 설계, 천문관측
기기 개발



김용현(Yong-Hyun Kim)

1994년 2월 영남대 전자공학과(공학석사)
1998년 2월 영남대 전자공학과(박사수료)
1996년~현재 수성대학교 방송영상미디어
과 조교수

※주관심분야 : 디지털신호처리, 전파통신



정동규(Dong-Kyu Jung)

2004년 8월 충남대 천문학과(이학사)
2006년 8월 충남대 천문학과(석사수료)
2012년 1월 ~ 현재 한국천문연구원 연구원

※주관심분야 : VLBI상관처리, 천문관측기기 개발



황철준(Chul-Jun Hwang)

1996년 2월 영남대 전자공학과(공학사)
1998년 2월 영남대 전자공학과(공학석사)
2002년 2월 영남대 전자공학과(공학박사)

2000년 3월 ~ 현재 대구과학대학교 정보통신과 조교수
※주관심분야 : 디지털신호처리, 전파통신, 멀티모달
시스템



윤영주(Young-Joo Yun)

1999년 2월 서울대 천문학과(이학사)
2001년 2월 서울대 천문학과(이학석사)
2011년 2월 서울대 천문학과(이학박사)
2011년 3월 ~ 현재 한국천문연구원 선임
연구원

※주관심분야 : 전파천문, VLBI상관기 소프트웨어 개발



오제키 켄스케(Kensuke Ozeki)

Elecs Industry Co. Ltd. 연구원

※주관심분야 : VLBI관측기기 개발



오누키 히로후미(Hirofumi Onuki)

Elecs Industry Co. Ltd. 연구원

※주관심분야 : VLBI관측기기 개발