

DBNS 변환오차를 고려한 비선형 ADC 엔코더 설계

Design of a nonlinear ADC encoder to reduce the conversion errors in DBNS

우경행*, 최원호*, 김종수*, 최재하**

Kyung-Haeng Woo*, Won-Ho Choi*, Jong-soo Kim*, Jae-ha Choi**

요약

아날로그 신호를 입력받아서 실시간으로 처리하기 위해서는 빠른 곱셈 연산회로와 고속 ADC(A/D converter) 회로가 필요하며 이를 위하여 Double-base Number System(DBNS)이 효과적인 것으로 알려져 있다. DBNS는 2와 3을 밑수로 이용하는 시스템으로서 이진 곱셈기와 비교할 때 곱셈 처리가 매우 빠르며, 칩 면적을 감소시킬 수 있으며, 저소비전력의 장점을 갖고 있다. 그러나 DBNS의 고유특성 때문에 변환오차가 발생하며, 디지털 필터의 구조로 인하여 오차가 연산결과에 누적되어 기존에 사용하던 2진수 방식에 비하여 차단 주파수의 S/N 특성이 저하되는 단점이 있다. 본 논문에서는 필터 계수에 대한 오차를 분석하여 ADC의 엔코더를 비선형으로 설계함으로써 DBNS의 누적오차를 상쇄시키는 방법을 제안하였다. 제안된 시스템은 엔코더 회로만이 수정되었으므로 DBNS의 장점은 그대로 유지된다. 제안한 ADC 엔코더가 비선형임에도 불구하고 -70dB의 차단 주파수 특성을 갖도록 설계한 FIR 필터와 비교하면, 기존의 DBNS 엔코더의 결과는 -35dB를 얻을 수 있었지만, 본 연구에서 제안된 비선형 DBNS 엔코더는 -45dB의 S/N로 -10dB의 향상을 이룰 수 있었다.

Abstract

A fast multiplier and ADC are essential to process the analog signals in real time. The double-base number system(DBNS) is known as an efficient method for this purpose. The DBNS uses the numbers 2 and 3 as the base numbers simultaneously. The system has an advantage of fast multiplication, less chip area, and low power consumption compared to the binary multiplier. However, the inherent errors of the log number's intrinsic tolerance in DBNS are accumulated in a FIR digital filter, so the signal-to-noise ratio(SNR) has a tendency to be degraded. In this paper, the nonlinear encoder of ADC is designed to compensate the accumulated errors of DBNS by analysing the error distributions of various filter coefficients. The new ADC does not sacrifice its own advantages because the encoder circuits are modified only. The experiments were done with an FIR filters those were designed to have -70dB of SNR in stop band. The proposed nonlinear ADC encoder could drop the SNR to -45dB in stop band, in contrast to -35dB with the linear encoder.

Keywords: Double-base Number System, DSP, FIR Filter

I. 서론

무선 통신, 바이오-영상 처리 등의 응용 분야에서는 소비 전력을 줄이면서도 고속으로 디지털 신호를 처리하는 회로

가 필요하다. 이러한 디지털 신호처리(DSP) 회로를 설계하기 위해서 빠른 속도의 ADC 회로 및 디지털 연산회로에 대한 연구들이 진행되었다[1]-[3]. 디지털 연산회로 중 곱셈에 많은 시간이 소요되므로 빠른 곱셈기를 개발하려는 연구들을 진행하여 $M\log N$ 의 형태가 있는데, N 은 bit의 크기로 bit 수가 많아지면 다른 종류의 곱셈기 보다 더 많은 시간이 소요된다. 근래에 곱셈기 속도 개선은 거의 한계에 이르러 큰 발전이 없고, 단지 공정 기술 개발에 따라 게이트의 스위칭 시간이 빨라지므로 이에 따라서 처리속도가 조금씩 향상될 뿐이다[4].

한편 여러 종류의 ADC 중에 가장 빠른 Flash ADC도 현

* 울산대학교

** 울산대학교 전기공학부(교신저자)

투고 일자 : 2013. 9. 5 수정완료일자 : 2013. 10. 22

게재확정일자 : 2013. 10. 31

※ 본 연구는 2011년도 울산대학교 교내연구비 지원으로 수행되었음.

제 디지털 신호의 처리속도인 GHz 정도로 신호를 처리 할 수 없다. 따라서 실시간으로 디지털 신호를 처리하기 위해서는 새로운 방법의 디지털 신호 처리나 ADC에 대한 연구가 필요하지만, 각 회로들의 특성으로 큰 발전을 이루지 못하고 있다. 따라서 이진수 대신에 새로운 방법으로 디지털 신호의 처리속도를 향상시키려는 연구가 진행되었다[5]. 또 다른 방법으로는 2차원으로 표현될 수 있는 2와 3의 밑수를 동시에 이용하는 Double-Base Number System(DBNS) 방법이 있다[6]-[9]. 이 방법의 문제점은 계속된 연산을 할 경우 표현되는 2차원 값들의 cell들이 점차 커지므로, 이를 줄이기 위하여 Greedy 알고리즘을 적용하여 FIR 필터에 적용하는 방법이 제안되었다[10]. 이러한 문제점을 해결하기 위해서 저자들은 기존에 연구한 ADC에 DBNS를 이용하여 디지털 신호 처리 회로를 제작하는 곱셈방법을 제안하였다[11]-[12]. 이러한 DBNS 방법은 기존의 시스템과 연결하도록 IEEE 32-bit floating point 방법을 사용하면서, 속도와 소비전력을 줄이도록 하였다. 그러나 컴퓨터에서 처리하는 IEEE FPNS(floating point number system)의 결과에 비하여 큰 오차가 발생하였다. 본 논문에서는 DBNS의 누적오차를 상쇄시키기 위하여 FIR 디지털 필터의 계수에 대한 오차를 분석하여 그 결과를 상쇄시킬 수 있도록 ADC의 엔코더를 비선형으로 설계하는 방법을 제안하였다.

본 논문의 구성은 다음과 같다. II절에서는 DBNS의 원리와 FIR 필터에 대하여 설명하고, III절에서는 이미 제안된 DBNS 곱셈기의 구조와 수학적인 알고리즘을 간단히 설명한다. IV절에서는 오차를 줄이기 위한 ADC 엔코더와 알고리즘 및 시뮬레이션 결과에 대하여 기술하며, V장에서 결론을 맺는다.

II. DBNS와 FIR 필터

오래전 2진법 대신에 다치 논리회로에 대한 연구가 활발한 때가 있었으나, 디지털 회로의 장점을 이용하지 못하는 문제들 때문에 지금과 같은 2진수 방식을 계속 사용하고 있다. 따라서 일련의 shift-addition으로 처리시간이 많이 걸리는 곱셈을 2진수의 전기적 특성을 이용하면서 신속히 처리하기 위한 방법으로 DBNS가 제안되었다. 기본적인 개념은 2차원 평면의 수직과 수평 축에 2진수와 3진수를 이용하여 한 개 또는 그 이상의 활성화 된 항을 더하면 임의의 수 X 를 모두 표현할 수 있다는 것이다.

DBNS의 기본적인 개념은 식 (1)과 같이 임의의 수를 2개의 밑수를 이용하여 표현하는 방식이다[7].

$$\left| X - \sum_k s_k 2^{b_k} 3^{t_k} \right| < \epsilon \quad (1)$$

여기서 X 는 임의의 실수이며 s_k 는 부호를, b_k 는 이진수의 지수를, t_k 는 삼진수의 지수를 나타낸다. 2진수도 정수가 아닌 소수를 표현할 경우에 변환오차가 발생되지만, DBNS

의 경우에도 변환오차가 발생하는데 그 오차를 ϵ 라고 표현한다. 오차의 허용치가 충분히 작은 값이라면 X 는 식(2)와 같이 나타낼 수 있다.

$$X \cong \sum_k s_k 2^{b_k} 3^{t_k} \quad (2)$$

일반적으로 작은 오차를 유지하기 위해서는 k 의 값이 커야한다. 그러나 k 값이 1이라고 하여도 ADC의 경우에는 DBNS의 변환오차 ϵ 가 ADC의 0.5 LSB 이내의 변환오차보다도 충분히 적게 만들 수 있다. 예를 들면, 입력 $X=0.875$ 일 때 실제 X 는 $2^{-2}3^1=0.75$ 로 오차 최고치 (ϵ_{MAX})는 0.125이다. 지수의 자릿수가 증가할수록 오차허용치 ϵ 는 감소한다. 입력 신호의 전압이 0.5에서 1 volt 정도 까지 변하는 ADC와 연계한 경우, 2진수와 3진수의 지수 크기가 9-bit 정도가 되면 오차의 크기는 0.5 LSB 보다 대단히 적다. 이와 같이 ADC의 경우에 $k=1$ 로, 지수는 9-bit로 처리할 수 있으므로 X 는 식(3)과 같이 나타낼 수 있다.

$$X \cong s 2^{b_3} 3^{t_3} \quad (3)$$

위와 같이 표현한 식(3)의 X 의 값은 다음과 같은 4가지 산술연산을 할 수 있다.

$$\begin{aligned} X &= X_1 \times X_2 = (s_1 \oplus s_2) 2^{b_1+b_2} 3^{t_1+t_2} \\ X &= X_1 \div X_2 = (s_1 \oplus s_2) 2^{b_1-b_2} 3^{t_1-t_2} \\ X &= X_1 \pm X_2 = s_1 2^{b_1} 3^{t_1} [1 \pm (s_1 \oplus s_2) 2^{b_2-b_1} 3^{t_2-t_1}] \\ &= s_1 2^{b_1} 3^{t_1} \cdot 2^{b_2} 3^{t_2} = s_1 2^{b_1+b_2} 3^{t_1+t_2} \end{aligned} \quad (4)$$

식 (4)에서 곱셈은 단지 지수의 덧셈으로 처리할 수 있으므로 systolic array 곱셈기의 일련의 shift-addition과 같은 회로가 필요 없다[12]. 또한 normalize하면 식(5)와 같이 간단히 표현된다.

$$\Phi(b_2-b_1, t_2-t_1) = 2^{b_2} 3^{t_2} = 1 \pm (s_1 \oplus s_2) 2^{b_2-b_1} 3^{t_2-t_1} \quad (5)$$

한편 일반적인 FIR 디지털 필터는 식(6)와 같은 연산을 하는 회로이다[13]-[14].

$$y(n) = \sum_{k=0}^{N-1} h(k)x(n-k) = \sum_{k=1}^{N-1} h(k)x(n-k) + h(0)x(n) \quad (6)$$

디지털 필터의 입력 $x(n)$ 는 디지털 신호이며, 다른 입력 $h(k)$ 필터 계수로 컴퓨터에서 제공되는 값들이다. 실시간 디지털 신호처리 회로에서 디지털 신호는 보통 ADC에서 얻는 신호이므로 시뮬레이션에서 처리하는 값과는 달리 ADC를 설계할 때 DBNS를 제공한다면 디지털 신호처리의 연산속도를 개선할 수 있다. 본 논문에서 필터의 계수는 IEEE 32-bit의 값을 이용하고, 디지털 신호는 DBNS의 값을 얻을 수 있으므로 ADC에서 $2^{bd}3^{td}$ 의 형태로 변환시킨다. 그러므로 연산하는 필터의 어느 1개의 신호에 대한 식은 식(7)과 같이 표현된다.

$$y(n) = y(n-1) + m 2^{bc} \cdot 2^{bd} 3^{td} \quad (7)$$

ADC와 연계된 디지털 신호처리의 전체 회로의 구성은 그림 1과 같다[11]. 보통 디지털 신호처리에서는 정규화된 수를 이용하므로 IEEE 표준에서 사용하는 실수 형태의 유효숫자를 m 으로 나타낸다. 유효값 m 은 $m=1.f$ 로 나타낼

수 있으며, $f = 0.X_{22}X_{21} \dots X_1X_0$, $f \in [0, 1)$ 이며, B_c , b_d 와 t_d 는 $[-127, 127)$ 사이의 수이다.

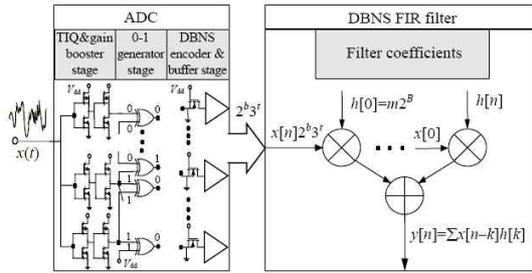


그림 1. Flash ADC와 DBNS를 위한 디지털 필터.
Fig. 1. Flash ADC, and digital filter for DBNS.

III. DBNS의 곱셈기 원리 및 구조

기존에 제안된 DBNS 방식은 ROM에 LUT(Look-Up Table)을 이용하여 구현한 것이므로 유연성이 없으므로 이러한 문제점을 해결하기 위하여 저자는 II절에서 설명한 방법을 이용하여 곱셈하는 방법을 제안하였다[15]. 이방법의 기본 개념은 식(7)의 이진수와 DBNS의 곱셈을 $M \cdot 2^B$ 로 간략화 할 수 있는데, 이와 같이 변환하는 이유는 다른 시스템과 공유하기 위한 것이다. 여기서 $M \in [0, 1)$ 이고 $B \in [-127, 127)$ 이다. DBNS로 표현된 신호와 계수의 곱셈식을 IEEE 표준으로 변형하면서 연산이 이루어지도록 하기 위해서는 $M \cdot 2^B$ 에 있는 2^B 비선형 항을 $y = 2^f \approx 1 + f$ 로 허용 오차 내에서 변환시킬 수 있다면 가능하다. 그런데 비선형 함수 $y = g(x)$ 를 선형 함수 $y = f(x)$ 로 그림 2와 같이 변형시킬 수 있다. 여기서 D_{MAX} 는 $g(x)$ 와 $f(x)$ 사이의 최대차를 나타낸다. 그림 2에서 나타낸 것과 같이 $y = (1-d) + x$ 를 이용하여 수직으로 이동하면 주어진 오차 범위 내에서 곱셈이 처리된 결과가 된다. 여기서 d 는 식(8)과 같으며, N 은 시프트 수를 나타낸다.

$$d = \frac{D_{MAX}}{N} \tag{8}$$

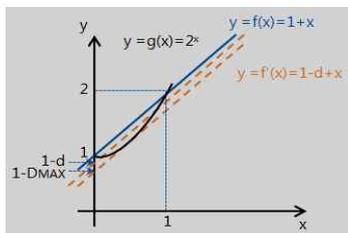


그림 2. 비선형 함수의 선형 함수로의 근사화.

Fig. 2. An approximation between nonlinear and linear function.

식(6)에서 $m = 1 + f$ 이고, 이를 근사화하면 식(9)와 같이 나타낼 수 있다.

$$T = m \cdot 2^{B_c} \cdot 2^{b_d \cdot 3^{t_d}} \approx 2^{f+d} \cdot 2^{B_c} \cdot 2^{b_d \cdot 3^{t_d}} \tag{9}$$

여기서 d 는 식(7)로 계산할 수 있다. 또한 $3^{t_d} = 2^{t_d \cdot \log_2 3} \approx 2^{I+F}$ 이고, I 는 $(t_d \cdot \log_2 3)$ 의 정수 부분이고, F 는 소수부분으로 식(10)와 (11)과 같이 표현된다. B_c , b_d , t_d 는 $[-127, 127)$ 사이의 값이다.

$$I = \sum_{i=0.1, 4.6}^{int} [t_d \cdot (2^{-i})] \tag{10}$$

$$F = \sum_{i=1, 4, 6, 8, 9, 20, 21}^{frac} [t_d \cdot (2^{-i})] \tag{11}$$

따라서 T 는 식 (12)과 같이 정리할 수 있다.

$$T \approx 2^{f+d+F} \cdot 2^{B_c+b_d+I} \tag{12}$$

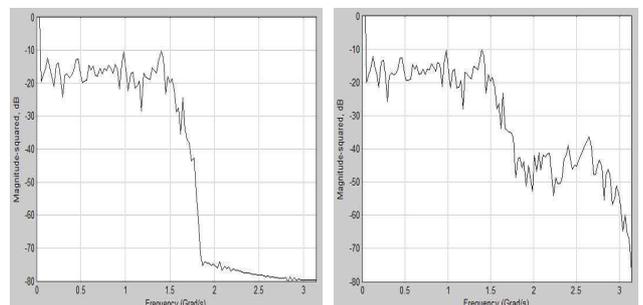
이제 IEEE 형식으로 근사화시키면 식(13)과 같다.

$$\begin{aligned} (a) \quad & \text{if } (f+d+F) > 1 \text{ then } T \approx (f+d+F) \cdot 2^{B_c+b_d+I+1} \\ (b) \quad & \text{if } (f+d+F) < 1 \text{ then } T \approx (1+f+d+F) \cdot 2^{B_c+b_d+I} \end{aligned} \tag{13}$$

여기서 T 는 곱셈후의 IEEE 표현식이 된다.

IV. 비선형 ADC 엔코더 설계

기존 방법으로 회로를 설계하면 DBNS의 빠른 연산으로 속도개선 및 소비전력을 줄일 수 있었으나 그림 3(b)와 같은 나쁜 필터특성을 얻었는데, 이는 그림 3의 (a)의 -70dB 로 설계한 IEEE의 FPNS 방식에 비하여 -35dB 로 동작하였다. ADC의 입력은 0.55V 에서 1.05V 사이의 값이며 0에서 62까지 6bit 해상도로 양자화한다. FIR 필터의 차단주파수는 $0.45 \sim 0.55\text{rad/s}$ 이고 정지 대역 감쇠를 -70dB 의 특성을 가지도록 52개의 계수를 가지는 필터를 설계하였다. 결국 하드웨어적인 측면에서 장점이 있었으나 필터의 차단주파수 특성이 저하되는 문제점이 발생하였다[12]. 따라서 이를 개선하기 위하여 ADC의 엔코더부분을 다시 설계함으로써 필터의 특성을 개선한 방법에 대하여 설명한다. 기존에 제안한 DBNS 방식으로 계산하는 FIR 필터가 그림 3(b)와 같은 특성을 보이는 원인은 DBNS가 임의 값을 표현하는데 따른 오차가 누적된 결과이다. 그러므로 기존에 설계한 DBNS 회로의 처리속도와 소비전력을 유지하면서, 필터의 성능을 향상시킬 수 있는 방법이 필요하다. 이에 기존에 설계한 회로의 문제점을 파악하기 위하여 DBNS로 처리되는 과정에 어떤 오차가 발생되는지를 분석할 필요가 있다.



(a) (b)

그림 3. 필터 주파수 응답 (a) FPNS (b) DBNS.

Fig. 3. The frequency response of filter (a)FPNS (b)DBNS.

본 논문에서 설계한 필터의 계수는 52개이므로 각 필터의 계수와 DBNS로 표현되는 63개의 입력신호들과의 연산 결과를 FPNS의 결과를 기준으로 하여 분석하였다. 즉, FPNS 값과 DBNS 값의 차이를 오차로 정의하였다. 그림 4(a)는 52개의 필터계수에 대한 오차의 분포를 나타내는데, 0값인 수평 축 직선이 FPNS 기준 값이다. 그림 4(b)는 DBNS로 표현된 입력신호에 따른 오차를 나타낸다. 그림 4의 자료를 보면 52개의 필터 계수들 중에 중간 값들의 경우 오차가 크게 발생하며, ADC 입력신호들 중에서도 중간 신호들에서 오차가 많이 발생함을 알 수 있다.

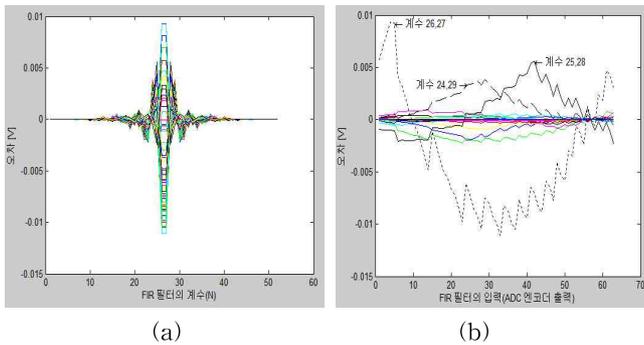


그림 4. 필터 계수와 입력신호에 따른 오차분포
(a) 52개 필터 계수에 따른 오차분포
(b) 63개 입력신호에 따른 오차분포.

Fig. 4. The error distribution of filter coefficients and input signals (a) The error distribution of 52 filter coefficients (b)The error distribution of 63 input signals.

전체 오차들의 평균값을 구해보면 그림 5와 같다. 따라서 이러한 오차를 상쇄시킬 수 있는 값들을 제공할 수 있는 DBNS의 비선형 엔코더를 설계한다면 DBNS의 필터특성을 향상시킬 수 있다. 기본적으로 DBNS로 표현된 비선형 값들을 선형화하는 과정에 발생하는 오차를 상쇄시키기 위한 값들을 ADC 엔코더에서 제공하면 필터의 성능을 개선할 수 있을 것이다. DBNS로 계산된 결과를 보면 2^B 의 특성으로 인하여 비선형성 오차를 만들어내므로 이를 상쇄시키기 위하여 ADC의 엔코더를 그림 6과 같은 모양의 비선형으로 설계한다면 오차를 줄일 수 있을 것이다. 비선형 엔코더 값을 구하는 방법은 식(14)와 같이 표현할 수 있는데 이와 같은 식을 만든 논리는 다음과 같다. 우선 ADC의 동작전압이 0.55V부터 시작되므로 이 값만큼 offset을 더해주며, $\log(i+1)$ 의 1은 \log 식이 갖는 특성 때문에 0부터 62까지 동작하도록 이동하기 위한 값이다. 2로 나뉘준 이유는 63번째 해당하는 디지털 값이 ADC의 입력전압이 1.05V에 해당되도록 하기 위한 조절 값이며, $x(i)$ 는 이전에 설계한 ADC 값이다. 분모 α 는 비선형 엔코더의 값의 모양으로 그림 6의 직선에서 벗어나는 비선형 scaling factor값이다.

$$offset(i) = (\log_2(i+1)/2 + 0.55 - x(i))/\alpha \quad (14)$$

Scaling factor α 가 적어지면 직선 값에서 벗어나는 정도가 커진다. α 에 따른 오차의 변화는 그림 7과 같이 α 가 1일

때 - 방향으로 오차가 제일 크지만 α 가 10으로 증가하면 감소한다. 그러나 + 방향의 오차는 이와 반대로 증가한다. 그림 7에서 + 방향의 변화는 크지 않아 거의 값의 변화를 보면, 제일 큰 오차는 α 가 1일 때 - 0.0305와 +0.0057인데 α 가 10일 때 - 0.0129와 +0.0081이 된다. 따라서 α 가 7일 때 +와 -의 편차가 상쇄되므로 필터의 특성이 향상된다.

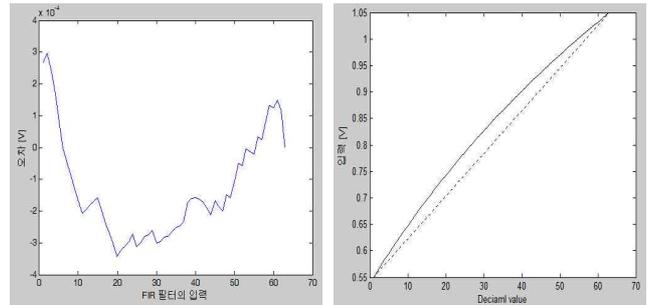


그림 5. 입력신호에 따른 오차분포
그림 6. 비선형으로 설계한 엔코더 출력.

Fig. 5. The error distribution of input signal. Fig. 6. The output of encoder designed nonlinear.

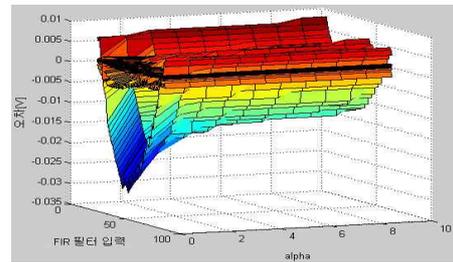


그림 7. a에 따른 오차분포

Fig. 7. The error distribution of α

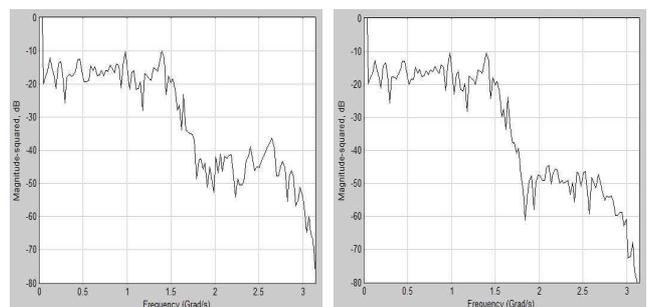


그림 8. DBNS Code의 필터 응답
(a)선형 엔코더 방식 (b)비선형 엔코더 방식.

Fig. 8. The filter response of DBNS code

(a) Linear encoder type (b) Nonlinear encoder type.

이렇게 계산된 DBNS 값을 이용하여 필터를 설계할 경우 최대 오차가 0.0382에서 0.0283로 감소하였다. MATLAB을 이용한 필터 응답 결과를 그림 8에 나타내었다. 그림 8의 (a)는 기존에 설계한 선형 엔코더 결과로 그림 3(b)와 동일한 그림인데 2가지 방식을 비교하기 위하여

다시 이용한다. 그림 8(b)는 본 논문에서 제안한 비선형 엔코더를 사용하였을 때의 필터 응답이다. 동일하게 52개의 필터계수에 차단 주파수는 1.55 rad/s로 설계한 경우 차단 주파수대의 리플이 -35dB에서 -45dB로 -10dB가 개선됨을 알 수 있다.

간단하게 엔코더 회로만을 수정하였으므로 이미 제안된 log 방식 회로의 장점인 저소비전력, 빠른 처리속도 및 반도체 면적 등에는 변화가 없다.

V. 결 론

이미 제안한 DBNS 곱셈기는 비교기와 덧셈기 및 간단한 shifter 회로로 구현되어 IEEE FPNS 방식에 비하여 빠른 계산을 할 수 있지만 수를 표현하는 log 표현 때문에 오차가 발생하였다[11]-[12]. 이러한 오차들이 디지털 필터에서 누적되어 차단주파수 대역의 S/N 특성이 좋지 않았다. 이와 같은 문제점을 해결하기 위하여 필터의 각각의 계수들과 입력신호 값들이 출력에 어떤 오차를 만드는지 분석하였다. 분석결과 ADC 출력의 중간 값들에 해당하는 신호들에서 오차가 포물선모양의 음의 값들을 형성하므로 본 논문에서는 이를 상쇄하도록 엔코더 값을 조절함으로써 오차의 원인을 제거하는 방법을 제안하였다. 비선형 엔코더로 계산한 결과 최대 오차 값이 0.0382에서 0.0283으로 26%가 감소하였는데, 이는 FIR 필터의 주파수 특성을 -35dB에서 -45dB로 향상시킬 수 있다. 상용으로 제작된 필터의 주파수 특성을 측정하면 이론값과는 차이가 나오는 이유 중 하나인 ADC의 변환오차와 비선형 특성 때문이다. 결국 FPNS 방식의 결과를 모든 값의 기준으로 정의할 수 없지만, DBNS의 오차가 어느 정도의 영향을 주는지 분석하는데 기준으로 사용할 수 있다. 두 종류의 필터를 비교하기 위해서는 동일한 아날로그 입력신호를 FPNS와 DBNS에 공급하여 출력을 측정하여야 하지만, 여러 가지 실질적인 제한 때문에 FPNS 필터를 기준으로 비교하였다. 그러므로 제안된 회로의 오차는 FPNS에 비하여 최대 오차가 될 것이다.

향후 연구내용으로 ADC의 양자화 오차가 필터에 미치는 영향을 분석하여 이를 기초로 최소 오차한계에 가까운 새로운 DBNS 곱셈기를 설계하는 방법과, 계수 중간 값에서 대칭으로 비교적 큰 오차 값들이 발생하는 원인을 분석하여 오차를 해결하려고 한다.

참 고 문 헌

- [1] Kacem R., Khouja N., Grati. K., Ghazel A., "Low Power Implementation of Digital Filters using DBNS Representation and Sub-expression Sharing", The 2nd International Conference on Signals, Circuits and Systems ,pp. 1-6, November 2008.
- [2] Kriangyut Wangjitman and Athasit Surarerks, "Addition Transducer for Double Base Number System", ISCIT'06, pp. 994-999, September 2006.
- [3] M. Pankaala, A. Paasio, and M. Laiho, "Implementation alternatives of a DBNS adder", 9th International Workshop on Cellular Neural Networks and Their Applications, pp. 138-141, May 2005,
- [4] Amitabha, Kolkata, Pavel Sinha, Kenneth Alan Newton, Krishana Mulherjee, "Triple-Base Number Digital Signal and Numerical Processing System", US Patent, January 24, 2008.
- [5] R. Muscedere, V. Dimitrov, G. A. Jullien, W. C. Miller, "Efficient Techniques for Binary-to-Multi digit Multidimensional Logarithmic Number System Conversion Using Range-Addressable Look-Up Tables", IEEE Trans. on Computers, vol.54, pp. 257-271, March 2005.
- [6] Vassil S. Dimitrov and Graham A. Jullien, "A New Number Representation with applications", IEEE Circuits and Systems Magazine, 2003.
- [7] Vassil S. Dimitrov and Graham A. Jullien, and W. C. Miller, "Theory and Applications of the Double-Base Number System", IEEE Transactions on Computers, vol.48, pp. 1098 - 1106, 1999.
- [8] V. Berthe, Laurent Imbert, and Graham A. Jullien, "More on Converting Numbers to the Double-Base Number System", Research Report LIRMM-0403 1, Montpellier France, October 2004.
- [9] Y. Ibrahim, W. C. Miller, Graham A. Jullien, and Vassil S. Dimitrov, "DBNS Addition using Cellular Neural Networks", IEEE International Symposium on Circuits and Systems, vol. 4, pp. 3914-3917, May 2005.
- [10] G. Gilbert and J. M. P. Langlois, "Multipath Greedy Algorithm for Canonical Representation of Numbers in the Double Base Number System", IEEE-NEWCAS Conference, pp. 39-42, June 2005.
- [11] Nguyen Minh Son, et al, "Algorithm and Design of Double-Base Log Encoder for a Flash A/D Converter", 신호처리.시스템학회논문지, vol 10, no. 4, pp. 289-293, October 2009.
- [12] Nguyen Minh Son, et al, "New Multiplier for a Double-Base Number System linked to a Flash ADC", ETRI journal vol. 34, no. 2, pp. 256-259, April 2012.
- [13] H.-J. Kang and I.-C. Park, "FIR Filter Synthesis Algorithms for Minimizing the Delay and the Number of Adders", IEEE Trans. Circuits Syst., vol 48, pp 770-778, Aug 2001.
- [14] Bhaskar D. Rao, "Floating-point Arithmetic and Digital Filter", IEEE Trans. on Signal Processing,

vol. 40, pp. 85-95,1992,

- [15] Nguyen Minh Son, Jong-soo Kim, Jae-ha Choi, "A New Multiplication Architecture for DSP Applications", 신호처리,시스템학회논문지, vol12 no.2, pp.139-144, 2011.



우 경 행(Kyung-Haeng Woo)

1993년 울산대학교 전자및전산기공학과(공학사)
1995년 울산대학교 전자공학과(공학석사)
2005년 울산대학교 전자공학과(박사수료)
2005년~2011년 이엔아이테크(주) 대표

2011년~2012년 울산대학교 객원교수

※주관심분야: 영상처리, 비전시스템, 고장 진단 등



최 원 호(Won-Ho Choi)

正會員

1978년 연세대학교 전자공학과(공학사)
1980년 연세대학교 전자공학과(공학석사)
1990년 연세대학교 전자공학과(공학박사)
1979년 12월~1985년 1월 제일정밀공업(주)

1985년 2월~1986년 2월 삼성휴렛패커드

1986년 3월~현재 울산대학교 전기공학부 교수

※주관심분야: 영상처리, 고장 진단 등



김 중 수(Jong-soo Kim)

正會員

1976년 연세대학교 전자공학과(공학사)
1978년 연세대학교 전자공학과(공학석사)
1990년 University of Arizona (공학석사)
1994년 University of Alabama in Huntsville (공학박사)

1994년~현재 울산대학교 전기공학부 교수

※주관심분야: 저전력회로, ADC 회로 설계 등



최 재 하(Jae-ha Choi)

正會員

1976년 연세대학교 전자공학과(공학사)
1978년 연세대학교 전자공학과(공학석사)
1980년 9월~현재 울산대학교 전기공학부 교수

※주관심분야: RF 아날로그 회로 설계, MMIC 등