

순차바이어스를 이용한 반도체 레이더용 SSPA 설계

구용서*

A Design for Solid-State Radar SSPA with Sequential Bias Circuits

Ryung-seo Koo*

Defense Agency for Technology and Quality, Busan, Korea

요 약

본 논문에서는 순차 바이어스를 이용한 반도체 레이더용 SSPA를 설계 하였다. 전력증폭기의 상승/하강 바이어스 지연에 의해 발생하는 신호의 왜곡을 제거하기 위하여 가변확장 펄스 생성기를 적용하였다. 최적화된 임피던스 매칭 회로는 GaN-전력 소자의 높은 효율을 갖기 위하여 로드-풀 방식을 통한 마이크로파 특성 측정으로 설계되었다. 설계된 SSPA는 X밴드 반도체 레이더에 적용하기 위하여 전치 증폭기, 구동 증폭기 그리고 주 증폭기의 3개의 단으로 구성되었다. 그 결과로 200W 출력 펄스 최대 53.67dBm을 가지고 평균 52.85dBm의 SSPA를 만들 수 있었다. 본 논문에 제시된 반도체 펄스 압축 레이더 트랜시버 모듈의 최적화 설계는 추가적인 디지털 레이더에 대한 연구를 통해 소형화와 동작향상이 가능하다.

ABSTRACT

In this paper, we present a design for solid-state radar SSPA with sequential bias. We apply to variable extension pulse generator to eliminate signal distortion which is caused by bias rising/falling delay of power amplifier. There is an optimum impedance matching circuit to have high efficiency of GaN-power device by measuring microwave characteristics through load-pull method. The designed SSPA is consisted of pre-amplifier, drive-amplifier and main-amplifier as a three stages to apply for X-Band solid-state radar. Thereby we made a 200W SSPA which has output pulse maximum power shows 53.67dBm and its average power is 52.85dBm. The optimum design of transceiver module for solid-state pulse compression radar which is presented in this dissertation, it can be available to miniaturize and to improve the radar performances through additional research for digital radar from now on.

키워드 : 반도체전력증폭기, 펄스압축, 가변확장 펄스 생성, 동작영역

Key word : SSPA, Pulse compression, VEPG, Dynamic range

접수일자 : 2013. 10. 01 심사완료일자 : 2013. 10. 30 게재확정일자 : 2013. 11. 10

* **Corresponding Author** Ryung-seo Koo(E-mail:koo0964@naver.com, Tel:+82-51-750-2555)

Defense Agency for Technology and Quality, Busan, Korea

Open Access <http://dx.doi.org/10.6109/jkice.2013.17.11.2479>

print ISSN: 2234-4772 online ISSN: 2288-4165

©This is an Open Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License(<http://creativecommons.org/licenses/by-nc/3.0/>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.
Copyright © The Korea Institute of Information and Communication Engineering.

I. 서 론

전파를 방사하여 물체에 관련된 각종 정보를 분석하는 레이더 시스템의 응용과 적용분야에 따라 탐색레이더, 추적레이더, SAR 및 기상레이더, 군사적 목적, 선박과 항공기 및 자동차등 상용화를 위한 민수용 레이더 시스템으로 구분할 수 있다[1-3]. 레이더 송신기에 적용되는 진공관(마그네트론, TWT등)은 수kW~수십kW급의 큰 출력을 생성하지만 이러한 출력을 얻기 위해서는 장비구동을 위한 예열시간이 필요하며, 수kV의 고전압에서 동작하기 때문에 고전압 펄스 발생장치가 추가적으로 필요해 크기가 커지는 단점이 있다. 이러한 고출력 레이더의 단점은 레이더를 민수용으로 이용하는데 있어 치명적인 약점으로 작용 하므로 새로운 형태의 레이더 증폭기의 개발이 요구되고 있는 실정이다[4].

최근 진공관을 대체하기 위한 반도체 레이더 설계 동향에 의하면 다음과 같은 설계법이 제시되고 있다. 첫째는 수W에서 수십W의 전력증폭기용 GaAs를 이용한 MMIC 형태의 능동소자를 이용하여 위상배열(Phase Array)형태의 레이더의 개발, 둘째는 수십W에서 수백W급의 GaN 고출력 반도체 전력증폭기를 이용하여 캐스케이드(Cascade) 방식을 적용한 설계, 셋째 진공관 레이더를 수십W SSPA로 대체시키기 위해서는 펄스압축(Pulse Compression)기술을 적용한 송수신 모듈의 최적 설계와 최적화된 파형을 분석하기 위한 알고리즘의 개발 등이 필연적으로 요구되고 있다[5-8].

반도체 SSPA를 설계하기 위하여 반도체를 이용한 전력증폭 모듈에 적용되는 순차바이어스 회로는 게이트 바이어스가 인가된 후 드레인 바이어스가 인가되는 방식이다. 이러한 순차 바이어스 회로는 레이더 시스템에서 운용시 드레인 바이어스 펄스인가와 동시에 RF입력 펄스신호의 증폭이 이루어진다. 일반적인 순차바이어스 회로를 적용한 SSPA는 구동 방식에서 발생하는 드레인 바이어스 펄스의 상승/하강 지연에 의한 SSPA의 열화현상을 개선하기 위하여 전력증폭소자의 드레인 바이어스 전원 펄스폭을 가변시켜 동작함으로써 SSPA의 안정화에 따른 신호왜곡과 효율 문제점을 해결할 수 있다. 바이어스 전원을 VEPG(Variable Extension Pulse Generator)회로를 이용하여 펄스폭을 가변시키고 순차적으로 전력증폭모듈을 동작시키는 200W 전력증폭모듈을 설계하고자 하며, SSPA의 출력 효율향상을

위해 AB급 바이어스에 VEPG회로, 드레인 스위칭 회로, 순차회로로 구성된 TR 제어회로를 적용한다. 본 논문에서는 상하향 변환기 및 펄스압축 기능을 적용한 신호처리용 모듈을 포함하는 레이더 시스템의 분석을 위하여 향후 소프트웨어 기반 고해상도 광대역 다기능 레이더 등 디지털 레이더시스템이 가능함을 나타내고자 한다[9,10].

II. 순차바이어스 회로 구현

레이더 송신 신호는 짧은 듀티사이클을 갖는 펄스신호이다. 전력증폭모듈의 드레인 바이어스를 펄스인가와 동시에 RF 입력 펄스신호를 증폭시키면 드레인 바이어스 펄스의 상승/하강시간 지연에 의한 왜곡이 발생하게 된다. 출력신호의 왜곡을 없애기 위해서는 드레인 바이어스의 펄스폭이 RF 입력 펄스폭보다 넓어야 하며, 효과적으로 증폭하기 위해 각 증폭모듈의 스위칭 제어와 순차제어가 요구되므로 전력증폭 모듈의 RF 제어회로가 설계되어야 한다. 그림 1은 전력증폭 모듈의 TR 제어회로 구성도를 보여주고 있다. 레이더 제어신호에 의하여 드레인 바이어스 펄스신호가 VEPG회로에 인가되면, VEPG 회로에서는 드레인 바이어스 펄스폭을 증폭소자에 입력되는 RF 입력 펄스보다 넓게 가변시켜 출력에서는 펄스폭이 확장된 드레인 바이어스 펄스신호를 생성한다. 출력된 신호는 드레인 바이어스 스위칭 회로와 순차제어회로(sequential control circuit)를 동작시킨다.

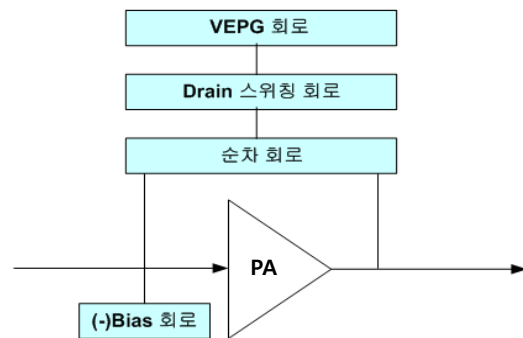


그림 1. 전력증폭기의 제어회로 구성도
Fig. 1 Control circuit diagram of PA

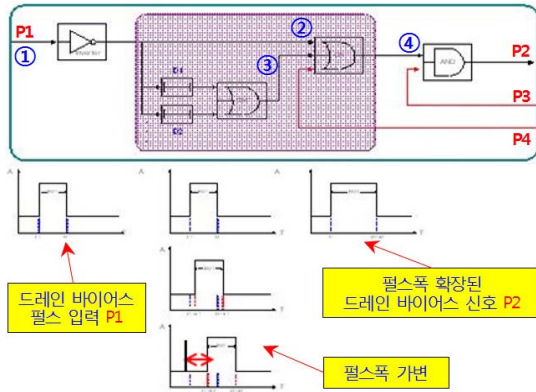


그림 2. VEPG를 이용한 드레인 바이어스 펄스폭 가변
Fig. 2 The pulse width variation of drain bias using VEPG

그림 2는 VEPG 회로의 구성도를 보여주고 있다. 그림 2에서 P1과 P2는 각각 VEPG 입/출력 포트이다. 레이더 시스템 제어에 따라 전력증폭모듈이 동작할 수 있도록 P3는 전력증폭모듈 구동 신호, P4는 펄스동작 신호로 구성하였다. 레이더 제어신호에 의해 P1에 드레인 바이어스가 입력되면(①), 이 신호는 둘로 나뉘어 한 신호는 직접 XOR에 입력되고(②), 다른 신호는 딜레이 모듈을 거쳐(③) P4와 연산되어 마지막 AND에 입력된다(④). ④에 입력된 신호는 P3와 연산되어 P2를 통해 펄스폭이 확장된 드레인 바이어스 펄스 신호를 생성한다.

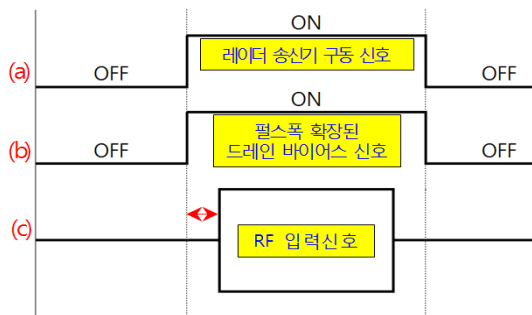


그림 3. VEPG 회로의 시간에 따른 펄스형태
Fig. 3 The time chart of VEPG

그림 3은 VEPG의 동작을 시간에 따른 펄스형태 (time chart)로 보여주고 있다. (a)는 레이더 송신기 구동 신호, (b)는 VEPG에 의해 출력된 펄스폭이 확장된 드레인 바이어스 신호, (c)는 증폭소자로 인가되는 RF 입력펄스 신호이다. 펄스폭이 확장된 드레인 바이어스 신호

호 동안 증폭소자로 들어온 RF 입력신호가 안정적으로 증폭할 수 있음을 알 수 있다.

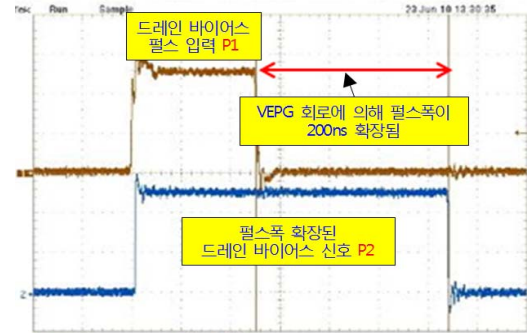


그림 4. VEPG 회로의 측정결과
Fig. 4 The measurement result of VEPG

그림 4는 실제 제작된 VEPG의 측정 결과를 보여주고 있다. 입력펄스 신호(위)가 그림 3에서의 VEPG 회로에서 P1에 입력된 신호이고 펄스폭이 확장된 드레인 바이어스 출력신호(아래)가 P2이다. 딜레이모듈 특성에 따라 드레인 바이어스 펄스폭을 최대 300ns까지 확장시킬 수 있으며, 레이더 송신기 구동신호와 동기를 맞추기 위해 200ns 확장시켰다.

그림 5와 그림 6은 드레인 바이어스 스위칭 회로의 성능을 확인하기 위해 측정한 결과를 보여주고 있다. CW 신호를 입력하고 스위칭 제어신호로 듀티사이클 10%인 구형파를 입력하였을 때, 상승시간 50ns, 하강시간 150ns의 동작특성을 보였다.

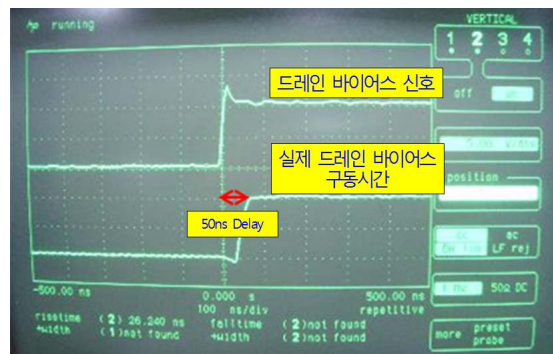


그림 5. 드레인 스위칭 회로의 측정결과(상승시간)
Fig. 5 The measurement result of drain switching circuit (rising time)

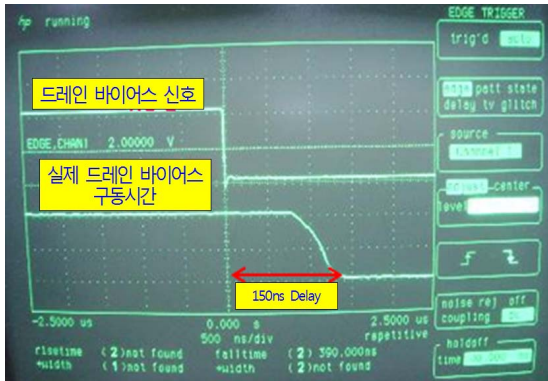


그림 6. 드레인 스위칭 회로의 측정결과(하강시간)
 Fig. 6 The measurement result of drain switching circuit (falling time)

X-대역 200W 전력증폭 모듈에 적용된 증폭소자들은 공핍형 구조의 GaAs 화합물 반도체로 전원인가 시 반드시 게이트 전압이 안정적으로 인가된 후 드레인 전압이 인가되어야 하므로 순차회로가 요구된다. 순차회로 설계 시 충분한 지연시간을 확보하기 위해 단순히 RC 충전회로로 구현한다면 상당히 큰 값의 커패시터가 필요하고 공간적인 제약을 가져오므로 본 논문에서는 연산증폭기를 비교기로 사용하고 적은 용량의 커패시터, 그리고 저항을 이용하여 충분한 지연시간을 조정할 수 있는 순차회로를 설계하였다. 그림 7은 전력증폭 모듈의 동작에 영향을 미치지 않는 한도 내에서 게이트 전압 인가하고 VEPG회로를 통한 500ms 지연시간 이후에 드레인 전압을 인가한 것을 보여주고 있으며 100ms의 하강시간을 나타내고 있다.

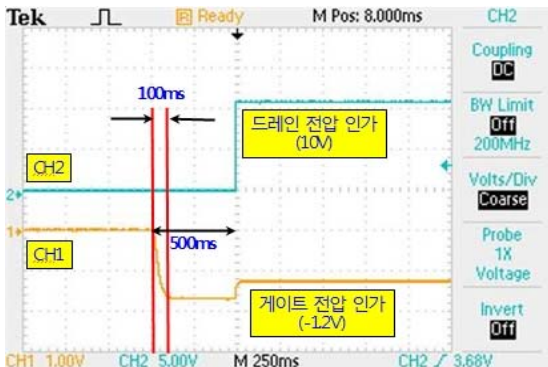


그림 7. 순차회로의 측정결과
 Fig. 7 The measurement result of sequential circuit

III. X-Band 200W SSPA 구현

3.1. X-Band 200W SSPA 구성

본 논문에서 구현한 X-Band 200W SSPA의 구성은 그림 8과 같이 전치증폭단, 구동증폭단-1과 2, 주전력증폭단의 캐스케이드 결합 방식으로 구성하였다. 각 증폭단의 소자에 안정적인 전원공급을 위한 순차 바이어스 회로가 추가로 들어간다. 전치증폭단과 구동증폭단-1은 GaAs를 이용하여 이득을 높이고, 구동증폭단-2와 주전력증폭단은 X-Band에서 요구조건에 맞는 출력을 내기 위하여 충분한 이득과 전력을 얻을 수 있는 GaN을 이용한 병렬구조로 구성하였다. 내부구성을 모듈화하여 수리 및 확장이 용이하도록 하였으며, 캐스케이드로 구성하여 한 소자가 고장이 나더라도 단계적 성능저하로 인해 어느 정도의 낮은 출력으로도 구동이 계속될 수 있다.

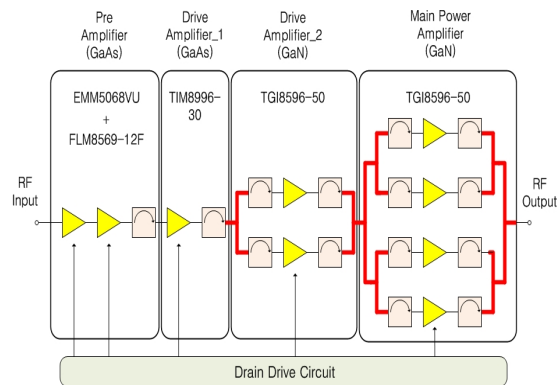


그림 8. X-대역 200W SSPA 구성
 Fig. 8 Block diagram of X-Band 200W SSPA

3.2. X-Band 200W SSPA 증폭단 설계

각 증폭단(전치/구동/주전력 증폭단) 설계 시 사용된 소자들은 50옴 입출력 내부정합 된 소자이다. 설계된 캐스케이드형 SSPA의 증폭기의 동작영역은 AB급으로 하였고 각 증폭소자 사이에는 증폭소자의 보호와 동작 안정성을 위해 아이솔레이터(isolator)를 배치하였다. 설계 시 주어진 능동소자의 최적 동작특성을 위해 이득의 튜닝과 P1dB 튜닝을 함께하였다.

전치증폭단은 구동증폭단을 구동하기 위한 증폭단으로 GaAs 소자로서 2W급의 소자와 12W급의 소자를 이용하여 설계를 하였다. 전류특성은 무신호시, $I_{dq} =$

4A@Vd = + 10Vdc이고 Pout=41dBm, It=4.36A@Vd = +10Vdc이다.

구동증폭단은 주전력증폭단을 구동하기 위한 증폭단으로 GaAs 소자로서 30W급 소자를 사용한 구동증폭단-1과 GaN 소자로서 50W급 소자를 사용한 2단 병렬 구조로 된 구동증폭단-2로 구성되어 있다.

구동증폭단-1 자체의 특성은 무신호시, Idq=4.5A@Vd=+10Vdc이고 전치증폭단과 구동증폭단-1을 연결하면 무신호시, Idq=3.2A@Vd=+26V, 그리고 Pout=46.7dBm, It=3.7A@Vd=26Vdc이다. 또한 구동증폭단-2의 경우는 무신호시, Idq=2.8A@Vd=+26Vdc이고 Pout =51.3dBm, It =1.2A@Vd=+26Vdc이다. 측정된 이득은 9.4GHz에서 구동증폭단-1이 9.04dB, 구동증폭단-2가 9.928dB, 그리고 전치증폭단과 구동증폭단-1을 연결했을 때는 44.855dB가 나왔다.

주전력증폭단은 GaN 소자로서 50W급 소자 4개를 사용하여 200W이상의 출력을 내고 부득이한 고장에 대한 신뢰성 확보를 위해 병렬구조로 구성하였다. 전류 특성은 무신호시, Idq=6A@Vd=+26Vdc이며 9.4GHz에서 이득은 8.139 dB이다.

그림 9는 각 증폭단과 전력분배기 및 결합기, 그리고 바이어스회로를 모듈화 하여 실제 구현한 X-Band 200W급 SSPA의 내부구조를 보여주고 있다. 전체 사이즈는 375mm × 163mm × 23mm이다.

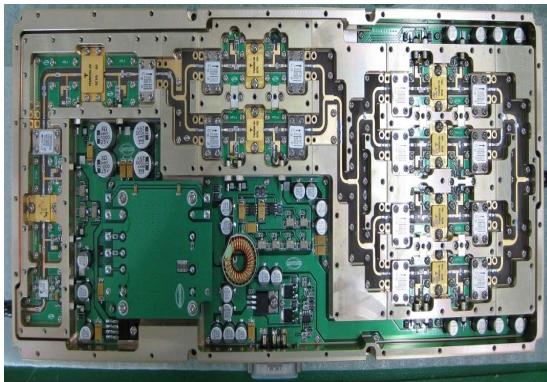


그림 9. 구현한 X-대역 SSPA
Fig. 9 The implemented of X-Band SSPA

본 논문에서는 주파수 범위 9.2GHz-9.6GHz, 펄스주기 1ms, 펄스폭 100μs, 듀티사이클 10%, 증폭소자 바이어스 인가조건을 AB급으로 하여 측정 및 분석하였다.

전체모듈의 전류특성은 무신호시, Idq=10A@Vd=+30Vdc이고 Pout=54.2dBm, It=6.8A@Vd=+30Vdc이다. 그림 10은 Vd=+27Vdc일 때의 측정된 이득과 VSWR을 보여주고 있다. 이득을 보면 9.2GHz에서 전체 이득은 59.77dB, 9.6GHz에서 전체 이득은 58.97dB이다.

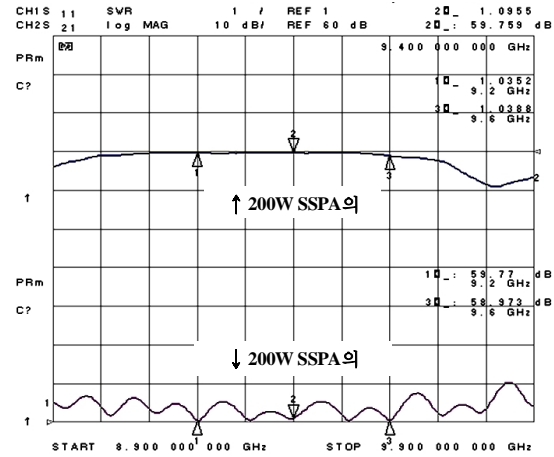


그림 10. X-대역 200W SSPA의 이득과 정제파비
Fig. 10 Gain and VSWR of X-Band 200W SSPA

그림 11은 Vd=+30Vdc일 때의 전체 모듈의 출력특성을 나타내고 있다. 그림 12는 전체 모듈의 펄스특성을 보여주고 있다. 펄스폭 99.1μs에서 최대전력 53.67dBm, 평균전력 52.85dBm으로 P-A가 0.82dB인 것을 볼 수 있다.

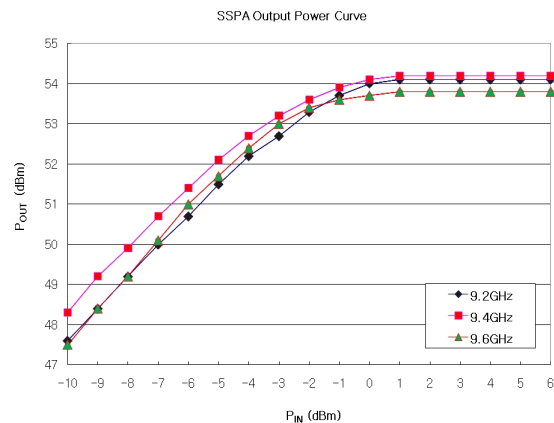


그림 11. X-대역 200W SSPA 출력전력
Fig. 11 Output power of X-Band 200W SSPA



그림 12. X-대역 200W SSPA 펄스특성
Fig. 12 Pulse characteristic of X-Band 200W SSPA

그림 13은 전체 모듈의 입력에 따른 전력부가효율 (PAE, Power Added Efficiency)를 나타낸다. 측정기상에서 측정되는 평균값으로 하여 구하면 PAE는 약 12.9%이다. 효율이 낮게 나타난 것은 전체 라인업의 전치증폭단 및 구동증폭단-1에서 GaAs를 사용하였기 때문이며 보통 GaAs를 사용할 경우 펄스증폭 시(Duty Cycle 10%, A or AB급 구동) 대략 포화되는 지점에서 4~5%의 효율 밖에 얻을 수 없다. 전체를 GaN 소자로 사용하면 25%의 효율(펄스증폭 시)을 얻을 수 있을 것으로 보인다. 전체 모듈에 대한 측정결과를 분석을 토대로 X-Band 200W SSPA의 성능을 표현하면 표 1과 같다.

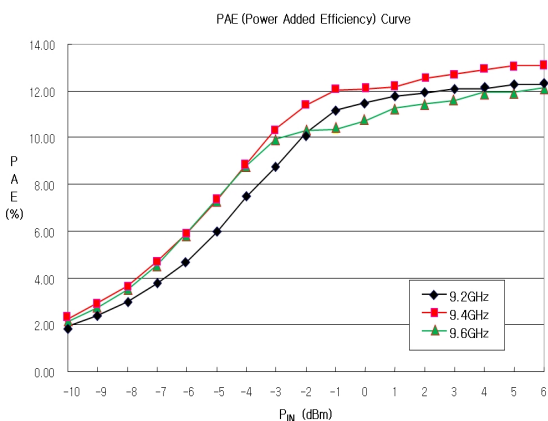


그림 13. 200W SSPA의 전력부가효율 특성
Fig. 13 PAE characteristic of 200W SSPA

표 1. X-대역 200W SSPA 성능
Table. 1 Performance of X-Band 200W SSPA

	단 위	성능
동작 주파수	GHz	9.2 - 9.6
최대 출력전력	W	> 200
전체 이득	dB	> 59
펄스주기	ms	1
듀티사이클	%	10
펄스폭	μ s	100
동작전압(DC)	Vdc	30
전체 사이즈	mm	375 × 163 × 23

IV. 결 론

본 논문에서는 기존의 레이더 시스템에서 고출력 증폭을 위해 사용된 진공관의 문제점을 개선하고, X-Band 펄스압축 레이더 시스템을 위한 GaN SSPA를 이용한 반도체 레이더 시스템에 대한 설계 방안을 보였다. 200W급 고출력 SSPA의 신호왜곡을 개선하기 위해 펄스폭 가변회로와 드레인 전원 스위칭 제어회로, 그리고 순차회로로 구성된 VEPG 회로를 적용하였다. 설계/제작된 SSPA의 신뢰성을 확보를 위해 병렬구조로 구성한 결과, 펄스 주기 1ms에서 듀티 사이클 10%인 펄스폭 100 μ s에서 생성된 출력펄스는 최대전력 53.67dBm, 평균전력 52.85dBm을 나타내었다. 설계한 모듈은 향후 소프트웨어 기반 고해상도 광대역 다기능 및 통신지법을 적용한 디지털 레이더 시스템에 적용이 가능하다.

REFERENCES

- [1] Merrill Skolnik, *Radar handbook, Third Edition*, Mc Graw Hill, 2008.
- [2] William L. Melvin, James A. Scheer, *Principles of Modern Radar : Advanced Techniques*, SciTech PUBLISHING, 2012.
- [3] Mark A. Richards, James A. Scheer, William A. Holm, *Principles of Modern Radar : Basic Principles*, SciTech PUBLISHING, 2010.

- [4] Casto M., Lampenfeld M., Pengcheng Jia, Courtney P., Behan S., P. Daughenbaugh P., Worley R., “100W X-band GaN SSPA for medium power TWTA replacement”, *2011 IEEE 12th Annual, Wireless and Microwave Technology Conference (WAMICON)*, pp.1-4, Apr. 2011.
- [5] Quresh, A.A., Afzal, M.U., Tauqeer, T. Tarar, M.A., “Signal Analysis, Design Methodolgy, and Modular Development of a TR Module for Phased Array Radars”, *2011 7th International Conference on Emerging Technologies*, pp.1-6, Sep. 2011.
- [6] Golden, K., Bessmoulin, A., Dadello, A., Hales, P., “A 3-Chip MMIC Solution for X-Band Phased Array Radar”, *2011 IEEE International Conference on Microwaves, Communications, Antennas and Electronics Systems (COMCAS)*, pp.1-4, Nov. 2011.
- [7] Bertuch T., Pamies M., Locker C., Knott P. , Erkens H. , Wunderlich R., Heinen S., “System aspects of a low-cost coherent radar system with AESA antenna for maritime applications”, *2010 International Kharkov Symposium on Physics and Engineering of Microwaves, Millimeter and Submillimeter Waves(MSMW)*, pp.1-6, Jun, 2010.
- [8] C. Tarran, “Advances in affordable Digital Array Radar”, *2008 IET Waveform Diversity & Digital Radar Conference-Day2: From Active Modules to Digital Radar*, pp.1-6, Dec. 2008.
- [9] Ian G. Cumming, *Digital Processing of Synthetic Ap erture Radar Data*, Artech House, pp.130-131, 2005.
- [10] C.J. Peacock, G.S. Pearson, “Digital Radar”, *2007 IET International Conference on Radar Systems*, pp.1-5, Oct. 2007.



구용서(Ryung-seo Koo)

전파공학박사
국방기술 품질원 책임연구원
※관심분야 : 위성통신, 반도체 레이더 시스템 설계