

# Memory Effect를 최소화한 C-대역 내부 정합 GaAs 전력증폭기

## C-Band Internally Matched GaAs Power Amplifier with Minimized Memory Effect

최운성\* · 이경학\*\* · 어윤성\*\*\*

Woon-Sung Choi\* · Kyung-Hak Lee\*\* · Yun-Seong Eo\*\*\*

### 요약

본 논문에서는 C-대역에서 입출력 정합 회로가 패키지에 내장된 10 W급 내부 정합 증폭기 설계 및 제작을 하였다. 전력증폭기 설계에 사용한 트랜지스터로 GaAs pHEMT bare-chip을 사용하였다. 트랜지스터 패드 위치와 커패시터 크기를 고려한 와이어 본딩 해석으로 정확도 높은 설계를 하였다. 패키지와 정합 회로를 함께 EM simulation하여 패키지가 정합 회로에 미치는 영향을 해석하였다. 2-tone 측정 시 memory effect로 인해 발생하는 IMD3의 비대칭성을 줄이기 위한 memory effect 감쇄 바이어스 회로를 제안 및 설계하였다. 측정 결과, 7.1~7.8 GHz 대역에서  $P_{1dB}$ 는 39.8~40.4 dBm, 전력 이득은 9.7~10.4 dB, 효율은 33.4~38.0 %을 얻었고, 제안된 memory effect 감쇄 바이어스 회로로 IMD3(Upper)와 IMD3(Lower)차는 0.76 dB 이하를 얻었다.

### Abstract

In this paper, a C-band 10 W power amplifier with internally matched input and output matching circuit is designed and fabricated. The used power transistor for the power amplifier is GaAs pHEMT bare-chip. The wire bonding analysis considering the size of the capacitor and the position of transistor pad improves the accurate design. The matching circuit design with the package effect using EM simulation is performed. To reduce the unsymmetry of IMD3 in 2-tone measurement due to the memory effect, the bias circuit minimizing the memory effect is proposed and employed. The measured  $P_{1dB}$ , power gain, and power added efficiency are 39.8~40.4 dBm, 9.7~10.4 dB, and 33.4~38.0 %, respectively. Adopting the proposed bias circuit, the difference between the upper and lower IMD3 is less than 0.76 dB.

Key words : IMFET, Memory Effect, C-Band Power Amplifier, GaAs pHEMT

### I. 서론

원거리 군사용 무선 통신 시스템이나 레이더 시스템에 많이 사용되고 있는 수십, 수백 W급의 고풍력 증폭체 개발을 위해서 일반적으로 내부적으로 입출력 정합이 되어 있고, 패키징된 고주파 전력증폭기 부품을 사용하고 있다. 이를 전력 증폭기 칩의 입·출력 정합 회로가 패키지 안에 있다고 하여

IMFET(Internally Matched FET)라고 한다. 대부분의 전력증폭기 및 증폭체를 개발할 때 개발자가 외부에 전원 회로 및 바이어스 회로만 설계해 주면 이미 입출력이 50 ohm에 대해 전력정합 등이 이루어져 있어 사용이 편리하여 많이 사용된다<sup>[1]</sup>. 사용되는 고주파 전력 트랜지스터의 소자로는 GaAs HEMT, HFET 등이 사용된다. 최근에는 GaN HEMT 같은 화합물 소자들이 주류를 이루고 있으며<sup>[2],[3]</sup>, 낮은 주파수에

\*광운대학교 전자공학과(Department of Electronic Engineering, KwangWoon University)

\*\*실리콘알앤디(Silicon R&D)

· Manuscript received September 2, 2013 ; Revised October 4, 2013 ; Accepted October 7, 2013. (ID No. 20130902-07S)

· Corresponding Author : Yun-Seong Eo (e-mail : yseo71@kw.ac.kr)

서 Si 기반의 LDMOS 소자가 많이 사용되고 있다. 이러한 전력증폭기를 위한 bare-chip들을 이용하여 증폭기를 개발하게 되는데, 이들 칩의 입·출력 이득 및 전력정합 회로를 패키지 안에 함께 내장하는 것이다. 즉, 알루미나( $Al_2O_3$ ) 등의 세라믹 기판에 입출력 정합 회로를 설계하고, 이를 패키지 내부에 칩의 입출력에 배치한 후 와이어 본딩을 하여 구성하게 되는데, 높은 주파수에서 이들 입·출력 정합 회로의 설계는 기생 성분에 의한 영향 및 모의실험이 실제 패턴과 물성을 정확히 반영하지 못해 생기는 오차로 인해 설계와 측정치가 상당히 달라지는 문제가 있다. 또한, 패키지가 금속인 경우 이로 인해 고주파 특성이 축적으로 변하여 더더욱 설계는 어려워지게 된다. 이런 설계 및 개발의 어려움을 해결하고자 본 연구에서는 전자기장 해석 프로그램을 이용하여 입·출력 정합 회로와 와이어 본딩 및 패키지 등을 포함하여 설계에 반영하여 설계의 정확성을 높였다. 증폭기의 패키지는 열 방출을 위하여 금속 재질의 패키지를 사용하였다.

본 논문에서는 C-대역(7.1~7.8 GHz)에서 동작하는 10 W급의 전력을 출력하는 IMFET을 설계 및 제작하였다. 사용되는 전력소자로는 GaAs pHEMT 소자를 사용하였고, 2-tone 테스트 시 발생하는 memory effect로 인해 발생하는 IMD3의 비대칭성을 최소화하기 위해 본 연구에서 제안된 입력 게이트 바이어스 회로를 설계였다. 저주파 성분에서의 임피던스를 매우 작게 하여 memory effect를 최소화함으로써 IMD-3의 비대칭성을 최소화 하였다.

## II. Internally Matched FET 설계

### 2-1 Internally Matched FET 패키지 설계

그림 1에 IMFET의 회로도들을 나타내었다. Bare-chip 형태의 전력소자와 소형화 된 입·출력 정합 회로가 패키지 내에 들어가 있는 구조이다. 와이어 본딩을 이용하여 전력소자와 정합 회로, 정합 회로와 패키지 리드를 연결하여 패키지의 리드가 외부 바이어스 회로 PCB에 연결되게 된다. 정합 회로로 일반적인 PCB를 사용할 경우 고주파에서의 손실이 크며, 패키지 내에 집적이 힘들다. 따라서 알루미나( $Al_2O_3$ ) 기반의 세라믹 기판을 이용하여 정합 회로의 크기를 소형화 하여 패키지에 내장하였다. 전력증폭기는 동

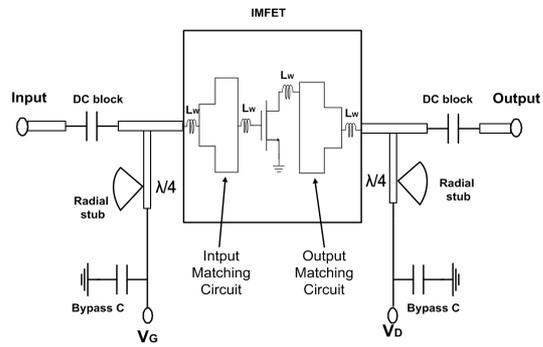


그림 1. IMFET 회로도  
Fig. 1. IMFET circuit.

작시 전력소자에서 많은 열이 발생된다. 발생하는 열이 패키지 외부로 효과적으로 방출시키기 위하여 전력소자, 패키지, 세라믹 기판은 eutectic bonding을 하였다. Eutectic bonding을 위한 재료로는 금 도금된 부품들 접합에 용이하고, 열전도도가 좋은 AuSn(80:20)을 사용하였다.

### 2-2 전력증폭기 소자

본 논문에서는 GaAs pHEMT bare-chip을 이용하여 전력증폭기를 설계 및 제작하였다. 본 논문에서 사용된 소자는 Triquint 사의 TGF2021-12이다. 표 1은 TGF2021-12의 10 GHz, 10 V 드레인 전압에서 최적 전력 정합된 상태에서의 성능이다.

데이터 시트에 나타난 바에 의하면 전력소자는 최대 12.5 V 드레인 전압을 사용할 수 있으나, 신뢰성 및 전력 증폭기가 적용될 시스템을 고려하여 10 V의 전원을 사용하여 설계하였다. 일반적으로 전력소자의  $P_{1dB}$  지점은 포화출력전력 대비 1~1.5 dB 정도 낮은 지점에서 형성된다. 따라서 본 논문에서는  $P_{1dB}$ 가 10 W급인 전력 증폭기 제작을 목표로 설계하였다.

표 1. TGF2021-12의 성능  
Table 1. Performance of TGF2021-12.

Frequency	10 GHz
Psat	41.5 dBm
PAE	49 %
Power gain	11 dB
Drain bias voltage	10 V
Load reflection coefficient	0.947 $\angle$ 177.7
Chip dimension	0.57×2.93×0.1 mm <sup>3</sup>

### 2-3 EM Simulation을 이용한 와이어 본딩 해석

논문에서 사용된 전력소자의 입력 게이트 임피던스는 매우 작기 때문에 아주 작은 임피던스의 변화가 출력에 큰 영향을 미친다<sup>[4]</sup>. 따라서 입력 게이트 단자와 정합 회로를 연결하기 위한 와이어 본딩의 인덕턴스 값이 설계에 큰 영향을 미친다. 본 논문에서 사용된 전력소자의 경우 다수의 단일 트랜지스터가 병렬로 연결되어 있는 구조로 되어 있으므로 트랜지스터의 게이트 및 드레인의 개수만큼의 와이어를 사용해야 한다. 이 때 와이어 본딩 간의 상호 인덕턴스가 발생하는데, 일반적인 회로 시뮬레이션 상에서는 상호 인덕턴스가 고려되지 않기 때문에 전자기장 해석 시뮬레이션을 통해 해석하여야 정확한 와이어 본딩 인덕턴스 값을 알 수 있다. 전자기장 시뮬레이션 코드인 Ansys사의 HFSS를 이용하여 와이어 본딩을 해석하였다.

그림 2(a)는 전력소자의 게이트 패드 위치와 SLC (Single Layer Capacitor) 크기를 고려한 본딩 와이어 구조를 나타낸다. A면은 전력소자의 게이트 패드 면이고, B면은 SLC의 경계 면이다. 그림 2(b)는 SLC

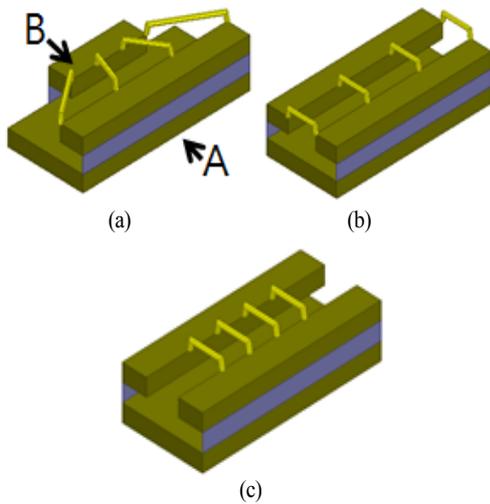


그림 2. (a) 트랜지스터와 SLC 크기를 고려한 와이어 본딩, (b) 트랜지스터 크기만 고려한 와이어 본딩 (c) 크기를 고려하지 않은 와이어 본딩

Fig. 2. (a) Wire bonding with considered size of SLC and transistor, (b) Wire bonding with considered size of transistor, (c) Wire bonding with out size of SLC and transistor.

표 2. 와이어 구조에 따른 와이어 본딩 인덕턴스  
Table 2. Wire bonding inductance of wire structure.

와이어 본딩 구조	전체 인덕턴스(nH)
그림 2(a)	0.11
그림 2(b)	0.08
그림 2(c)	0.09

크기가 고려되지 않은 와이어 본딩 구조를 나타낸다. 그림 2(c)는 전력소자의 패드 간격과 SLC 크기 모두 고려되지 않은 와이어 본딩 구조를 나타낸다. 정확한 시뮬레이션을 위하여 트랜지스터와 SLC의 크기는 데이터 시트에서 제공된 크기 정보를 참고하여 트랜지스터 패드 간격은 0.32 mm, SLC 크기는 0.5 mm로 그렸으며, 와이어 본딩 길이는 0.2 mm, 높이는 0.05 mm로 하여 시뮬레이션 하였다. 표 2는 7.5 GHz에서 그림 2의 와이어 본딩을 EM simulation을 통해 해석하여 얻어진 파라미터를 pi-형 인덕터 등가회로의 인덕턴스 값인 식 (1)을 이용하여 구한 값을 나타낸다.

$$Inductance = \frac{imag\left(\frac{1}{Y_{21}}\right)}{2\pi f} \quad (1)$$

게이트 패드 간격이나 SLC의 크기가 고려되지 않았을 경우 인덕턴스 값의 차이가 보임을 알 수 있다. 따라서 증폭기 설계 시 패키지 내에 전력소자와 SLC의 크기를 고려한 와이어 본딩이 증폭기 설계의 정확도를 크게 좌우할 수 있다.

## 2.4 입·출력 정합 회로 설계

### 2.4.1 입력 정합 회로 설계

Triquint사에서 제공된 전력소자의 소신호 파라미터를 이용하여 입력 정합 회로 설계를 하였다. 그림 3은 입력 정합 회로 개념도를 나타낸다. 그림 3의 Port 1은 패키지 외부 리드의 입력 경계면이고, Port 2는 전력소자의 게이트 패드 위치 경계면이다.

본 논문에서 사용된 전력소자의 입력 게이트 임피던스는 7.5 GHz에서  $0.391 - j0.039$ 로 매우 작아서 전력소자와 정합 회로를 와이어 본딩으로 바로 연결할 경우 임피던스를 높이는게 힘들기 때문에 회로 설계가 매우 까다롭다. 그림 3는 커패시터를 이용하

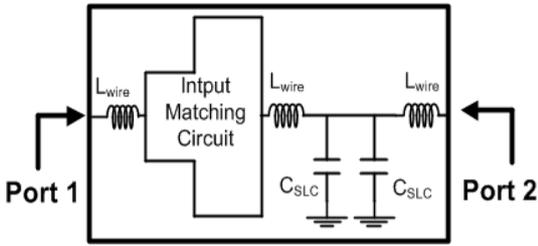


그림 3. 입력 정합 회로 개념도  
Fig. 3. Conceptual diagram of input matching circuit.

여 입력 임피던스를 높인 입력 정합 회로 개념도를 나타낸다. 전력소자와 정합 회로 사이에 high-Q 커패시터를 병렬로 사용하여 트랜지스터가 가지고 있는 임피던스를 높여 정합 회로 설계에 용이하게 한 뒤 정합 회로를 설계하였다. 와이어 본딩 인덕턴스 값은 그림 2와 같이 전력소자의 게이트 패드 위치와 SLC 크기 및 간격을 고려하여 추출하였으며, 얻어진 인덕턴스 값을 고려하여 커패시터 값을 선정하였다.

2-4-2 출력 정합 회로 설계

본 논문에서 사용된 전력소자는 비선형 모델이 제공되지 않고 주파수에 따른 최적 임피던스도 제공되지 않아 로드-풀 측정을 통해 전력증폭기의 최적 임피던스를 찾아야 한다<sup>[5],[6]</sup>. 하지만 로드-풀 측정은 측정 장비 세팅의 어려움과 측정 장비의 기생성분의 De-embedding도 매우 어려운 단점이 있다.

따라서 정확한 최적 출력 임피던스를 알 수 없지만 데이터시트에 제공되는 10 GHz에서 최적 출력

임피던스를 기초로 하여 출력 정합 회로를 설계한 뒤 출력 임피던스를 변화시켜가면서 출력전력 값과 EM simulation으로 얻어진 임피던스 비교를 통해 최적 출력 정합 임피던스를 찾는 방식을 사용하였다. 그림 4는 출력 정합 회로 개념도를 나타낸다. 그림 4의 Port 1은 GaAs pHEMT bare-chip의 트랜지스터 드레인 패드 경계면이고, Port 2는 패키지 외부 리드의 출력 단자 경계면이다. 사용 주파수 대역에서 최적 출력 임피던스를 찾기 위하여 그림 4의 출력 정합 회로의 A면에 와이어 본딩을 이용하여 출력 임피던스를 변화시킬 수 있는 튜닝 패드를 만들었다. 튜닝 패드에 와이어 본딩을 한 후 출력 전력을 측정 반복 과정을 통해 최대 출력을 찾는 방식으로 설계하였다.

2-5 패키지 영향을 고려한 EM Simulation 설계

그림 5에 입·출력 정합 회로 설계에 패키지가 미치는 영향을 포함하여 해석하기 위하여 정합 회로와 패키지 도면을 함께 보였다. 정확한 해석을 위하여 패키지 내의 크기와 높이는 실제 측정 도면 기준으로 설계하고, 패키지 재질은 gold로 설정하였다.

그림 5의 Port 1과 Port 4는 패키지 외부 리드 경계면을 나타내고, Port 2와 Port 3은 전력소자의 게이트와 드레인 패드 경계면을 나타낸다. EM simulation을 통해 패키지 전체를 해석하고 얻어진 소신호 파라미터를 Agilent사의 ADS로 불러들여, 제공된 전

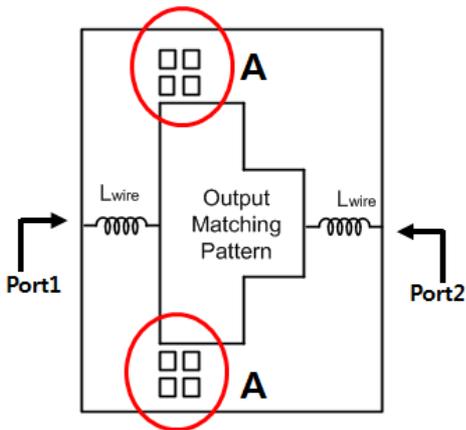


그림 4. 출력 정합 회로 개념도  
Fig. 4. Conceptual diagram of output matching circuit.

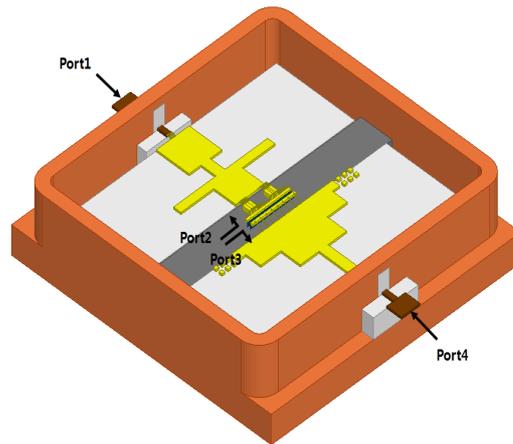


그림 5. 패키지 영향 해석을 위한 HFSS 모델  
Fig. 5. HFSS model for package effect.

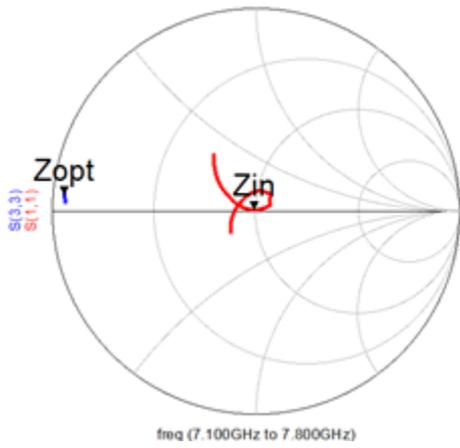


그림 6. 설계된 입출력 정합 임피던스  
Fig. 6. Designed input output optimum impedance.

력소자의 소신호 파라미터와 연결하여 이득 및 반사 계수를 확인하는 방식으로 설계하였으며, 패키지 영향으로 인해 발생된 임피던스 부정합은 도체 패턴의 폭과 길이를 조정하며 최적화 하였다.

그림 6에 최적화 과정을 통해 얻어진 패키지 외부 단자 기준 입력 반사계수와 최적 출력 임피던스를 보였다.

시뮬레이션 결과, 입력 반사계수는 7.5 GHz에서 약 50 Ω에 정합이 이루어져 있고, 드레인 패드 경계면에서 바라본 부하 반사계수는  $0.947 \angle 174.5^\circ$ 을 얻었다. 이는 표 1의 최적 부하 반사 계수와 거의 근사하므로 출력 정합 회로는 최적 출력 임피던스에 근접하게 설계되었음을 알 수 있다.

### 2-6 Memory Effect 현상과 Memory Effect 감쇄 바이어스 회로 설계

전력증폭기에 2개의 주파수 신호를 인가하였을 때 Taylor series 같은 비선형 모델로 해석할 경우 tone spacing에 무관하게 양쪽 IMD3의 크기가 같다. 하지만 실제 증폭기에서 그림 7과 같이 IMD3(lower)의 위상이 tone spacing 따라 일정하지 않고 변하는 memory effect 현상<sup>[7]</sup>이 발생하여 양쪽 IMD3 성분이 비대칭으로 출력된다. 따라서 memory effect를 분석할 새로운 모델이 필요하다.

그림 8에 memory effect를 해석하기 위한 그림을 나타냈다. 해석을 위해 전력증폭기를 2개의 다항식

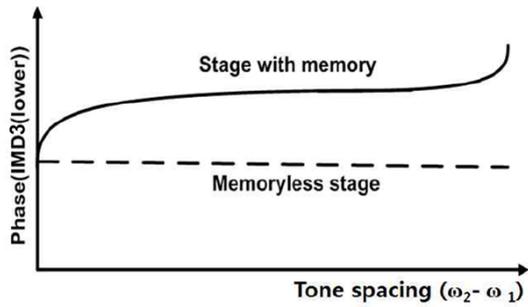


그림 7. Memory effect 정의  
Fig. 7. Definition of memory effect.

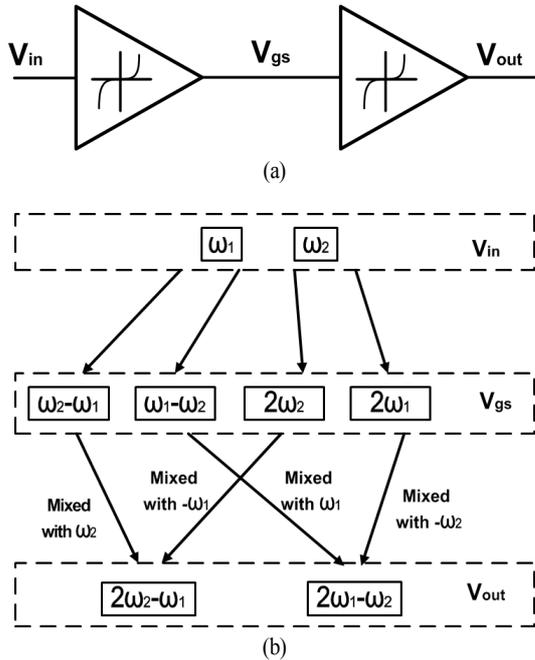


그림 8. Memory effect 해석을 위한 비선형 모델  
Fig. 8. Nonlinear model for analysis memory effect.

이 종속 연결된 트랜지스터 구조로 모델링하였다.  $V_{in}$ 에 2개의 주파수를 인가하였을 경우, 게이트의 1차 비선형성에 의해 비선형적인  $V_{gs}$  성분으로 2차 envelope 주파수 성분( $\omega_2 - \omega_1$ ,  $\omega_1 - \omega_2$ )과 2차 하모닉 주파수 성분( $2\omega_2$ ,  $2\omega_1$ )이 생성된다. 이 중 envelope 성분  $\omega_2 - \omega_1$ 과  $\omega_2$  성분이 transconductance를 거치면서  $V_{out}$ 으로 출력될 때 2차 비선형성에 의해  $2\omega_2 - \omega_1$ 이 생성된다. 2차 harmonic 주파수 성분  $2\omega_2$ 과  $-\omega_1$  성분이 2차 비선형성에 의해  $2\omega_2 - \omega_1$  신호가 생성된다. 2차 envelope 성분과 2차 하모닉에

의해 생성된  $2\omega_2 - \omega_1$ 와 3차에서 발생한  $2\omega_2 - \omega_1$ 과 섞이게 되면서 IMD3 성분이 생성된다. 이 때 3차에 의해 생성된  $2\omega_2 - \omega_1$ 과  $2\omega_2 - \omega_1$ 는 서로 크기와 위상이 같으나, 2차 envelope 성분에서 생성된  $2\omega_2 - \omega_1$ 과  $2\omega_2 - \omega_1$ 는 크기 및 위상이 달라서 IMD3(upper)와 IMD3(lower)가 비대칭될 수가 있다<sup>[8]~[10]</sup>.

2차 envelope 신호는 게이트의 입력 임피던스가 envelope 성분의 주파수에 대해 바뀌게 되고, 이 임피던스에 의해 전압이 생겨나 바이어스 회로에 반사되어 들어온다. 따라서 게이트 바이어스 회로에서 바이어스를 바라본 임피던스가  $\omega_2 - \omega_1$ 의 envelope 주파수에서 전압이 생기지 않도록 낮은 임피던스가 되게 하여 envelope 성분을 제거해 줘야 비대칭성이 작아져 IMD3가 향상될 수 있다. Envelope 주파수 성분을 제거하기 위한 방법으로 게이트 바이어스에 tantalum 커패시터를 연결하여 envelope 신호를 제거해 IMD3를 개선시키는 방법이 있다<sup>[11]</sup>. 하지만 tantalum 커패시터 사용은 손실이 큰 문제와 본 논문에서 사용된 GaAs pHEMT의 경우 게이트에 음전원을 인가하기 때문에, 전압에 따라 tantalum 커패시터가 고장 날 우려가 있어서 사용할 수가 없다.

본 논문에서는 입력 게이트 바이어스 회로에서 게이트 바이어스를 바라본 임피던스가 사용 주파수 대역에서는 개방되고, envelope 주파수에서는 단락되어 입력에서 바이어스 회로를 통해 envelope 주파수 성분  $\omega_2 - \omega_1$ 을 제거하는 바이어스 회로를 제안하였다.

그림 9에 일반적인 게이트 바이어스 회로와 memory effect에 의해 생긴 envelope 주파수 성분을 제거하기 위해 제안한 게이트 바이어스 회로도 나타냈다. 사용 주파수에서 게이트 바이어스 회로 불안정으로 인한 발진을 막기 위하여 일반적으로 바이어스 회로에 직렬 저항을 삽입한다.

일반적인 게이트 바이어스 회로의 경우에 A에서 게이트 바이어스 회로를 바라본 임피던스가 사용 주파수 대역에서 높은 임피던스를 갖는다. 하지만 B에서 바라본 임피던스는 envelope 주파수 성분에서 저항으로 낮은 임피던스가 아니기 때문에 envelope 주파수 성분을 제거할 수 없다.

Envelope 주파수 성분을 제거하기 위해 제안한 게이트 바이어스 회로는 저항과 병렬로 인덕터를 연결

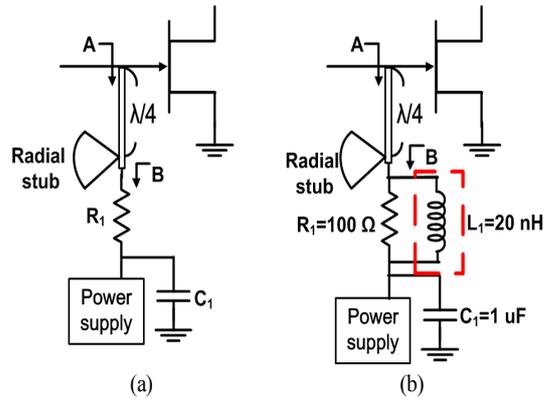


그림 9. (a) 일반적인 게이트 바이어스 회로, (b) 제안한 게이트 바이어스 회로  
Fig. 9. (a) General gate bias circuit, (b) proposed gate bias circuit.

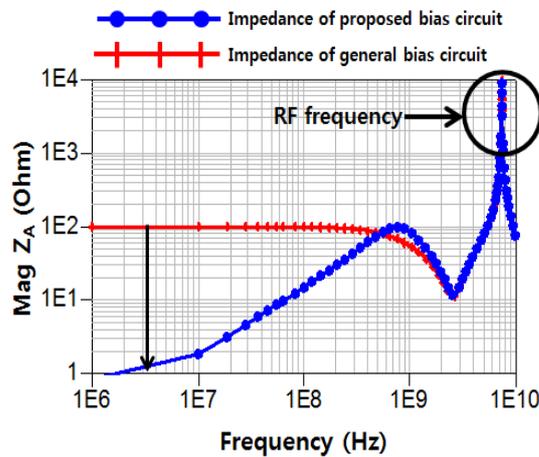


그림 10. 일반적인 게이트바이어스 회로와 제안한 게이트 바이어스 회로의 임피던스  
Fig. 10. Impedance of proposed gate bias circuit and general gate bias circuit.

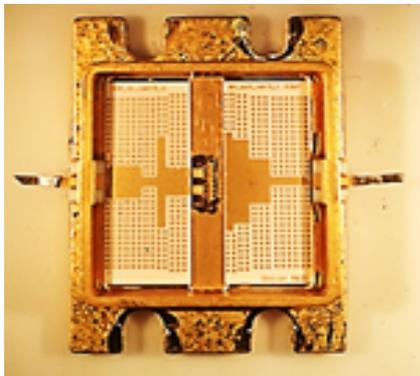
하여 A에서 바라본 게이트 임피던스가 사용 주파수 대역에서 높은 임피던스 값을 가지면서 B에서 바라본 임피던스가 인덕터로 인해 낮은 임피던스 값을 갖게 되어 envelope 주파수 성분이 게이트 바이어스에서 단락되도록 제안하였다.

그림 10는 그림 9(a), (b)에서 게이트 바이어스 회로를 바라본 임피던스  $Z_A$ 를 나타낸다. 시뮬레이션 결과, 일반적인 게이트 바이어스 회로의 임피던스는 envelope 주파수에서  $R_1$ 의 값을 보인다. 하지만 본 논문에서 제안한 게이트 바이어스 회로의 임피던스

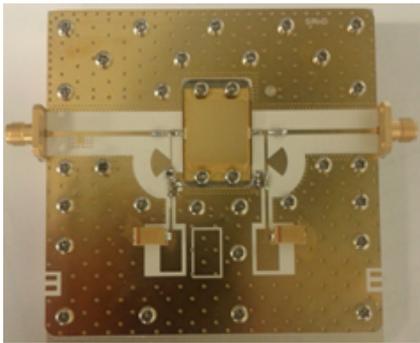
는 사용 주파수 대역에서는 동일한 특성을 보이면서 envelope 주파수에서  $L_1$ 으로 인해 단락된 것처럼 보여 낮은 임피던스를 갖는 것을 볼 수 있다. 따라서 envelope 주파수 성분이 게이트 바이어스에서 단락 되도록 설계된 것을 볼 수 있다.

### III. 제작 및 측정 결과

그림 11(a)에 제작된 패키지 내부에 전력소자와 입·출력 정합 회로가 내장된 패키지 사진을 보였다. 패키지의 크기는  $17.4 \times 24.0 \text{ mm}^2$ 이며, 정합 회로를 소형화 하여 패키지 내에 삽입하기 위하여 유전율 9.9, 두께 0.635 mm인 알루미늄( $\text{Al}_2\text{O}_3$ ) 세라믹 기판을 사용하였다. 패키지의 제한된 크기를 고려하여 알루미늄 세라믹 기판은 각각  $5.3 \times 14 \text{ mm}^2$  크기로 설계하였다. 입·출력 정합 회로 도체 패턴은 박막 공



(a)



(b)

그림 11. (a) IMFET 사진, (b) memory effect 감쇄 회로가 포함된 측정 치구

Fig. 11. (a) IMFET photograph, (b) measurement jig with minimized memory effect bias circuit.

정을 이용하였다. 전력소자에서 발생하는 열을 효과적으로 배출시키고, 전력소자와 알루미늄 기판 높이를 맞추기 위해 CuW 재질의 단층 구조 heat sink를 패키지 내에 삽입하였다. AuSn(80:20)을 이용하여 패키지와 heat sink, 입·출력 정합 회로, 전력소자간 eutectic bonding 하였다.

그림 11(b)에 IMFET 측정을 위해 제안된 memory effect 감쇄 게이트 바이어스 회로가 포함된 IMFET 측정 치구 사진을 보였다. 바이어스 회로는 유전율 3.0 두께 0.5 mm인 Rogers사의 RO3003을 사용하였다. 패키지와 측정 치구 사이에 thermal grease를 사용하고, 나사로 패키지를 측정치구에 접착시켜 열 방출 효과를 높였다.

그림 12에 EM simulation을 통해 얻어진 IMFET의 이득과 입력 반사 계수와 실제 측정을 통해 얻어진 이득과 입력 반사 계수를 나타내었다. EM simulation을 통해 얻어진 입력 반사계수는 7.1~7.8 GHz 에서 -10 dB 미만이며, 실제 측정을 통해 얻어진 입력 반사 계수는 7.8 GHz 대역 근처에서 -10 dB 이상을 보였다. 두 값의 차이가 있지만 EM Simulation 결과와 실제 측정의 입력 반사계수 형태가 거의 유사하기 때문에 이는 제작 시 발생된 오차로 판단된다.

그림 12를 통해 패키지의 영향을 고려하여 설계할 경우 상당한 정확성을 보임을 알 수 있다. 그림 13에는 제작된 IMFET을 측정하기 위한 개념도이다. IMFET이 적용될 시스템을 고려하여 RF 무입력 시

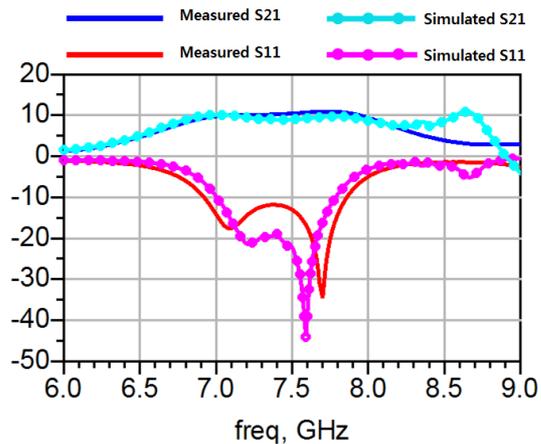


그림 12. EM simulation과 측정 S-parameter

Fig. 12. EM simulated and measured S-parameter.

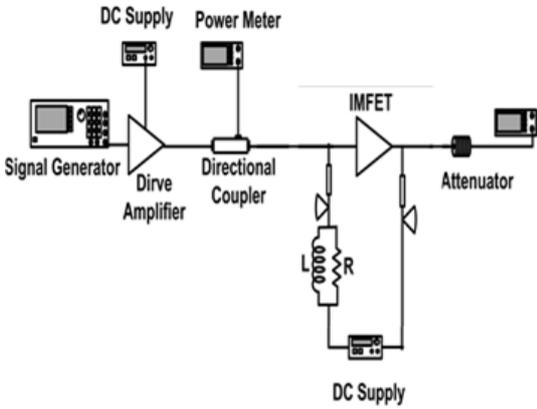


그림 13. IMFET 특성 측정 개념도  
Fig. 13. Block diagram of characteristic measurement of IMFET.

표 3. 와이어 구조에 따른 본딩 와이어 인덕턴스  
Table 3. Bonding wire inductance of wire structure.

부하 반사 계수	$P_{1dB}$ (dBm)
0.946 $\angle$ 175.1	38.51
0.924 $\angle$ 177.8	40.21
0.934 $\angle$ 176.3	39.71
0.928 $\angle$ 177.2	40.28
0.932 $\angle$ 176.6	39.98

드레인 전류가 1 A가 되도록 게이트 바이어스 전압으로  $-0.73$  V를 인가하였다. Drive amplifier의 특성을 배제하고, IMFET의 전력 이득 및 효율을 계산하기 위하여 입력전력은 drive amplifier와 IMFET 사이에 방향성 결합기를 이용하여 입력 단으로 들어가는 전력을 Agilent사의 E4418으로 계측하였다. 출력전력은 power sensor의 dynamic range를 감안하여 감쇄기를 통과한 후 Agilent사의 E4418으로 계측하였다.

표 3는 출력 정합 회로와 튜닝 패드에 와이어 본딩을 연결하고, EM simulation으로 해석하여 얻어진 부하 반사 계수 값과 실제 튜닝을 통해 얻어진 출력 전력을 측정된 결과이다. 실제 와이어 본딩과 EM simulation에서의 와이어 본딩 간의 오차가 있기 때문에 실제 전력증폭기의 정확한 부하 반사 계수를 알 수 없다. 하지만 EM simulation과 측정 결과를 통해 사용된 전력소자의 최적 부하 반사계수는 약  $0.924 \angle 177 \sim 0.928 \angle 178$  사이일 것으로 판단된다.

그림 14에 제작된 IMFET의  $P_{1dB}$ , 전력 이득 및 효

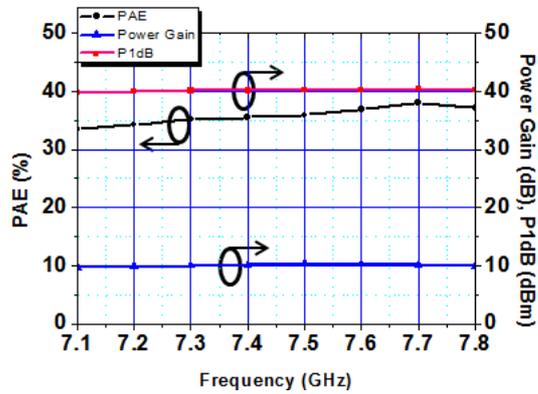


그림 14. 7.1~7.8 GHz에서의  $P_{1dB}$ , 전력 이득 및 효율 특성

Fig. 14.  $P_{1dB}$ , power gain, efficiency at 7.1~7.8 GHz.

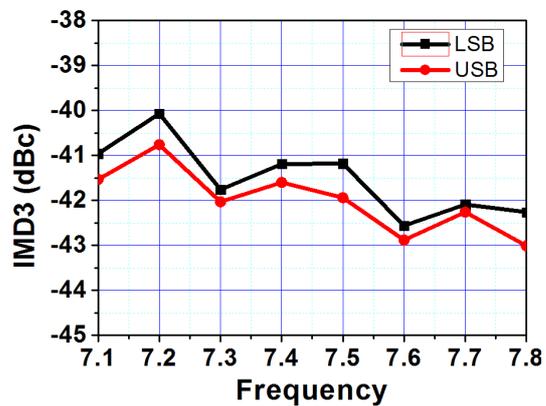


그림 15. 26 dBm 신호 인가 시 IMD3(upper)와 IMD3(lower)

Fig. 15. Measured IMD3(upper) and IMD3(lower) at 26 dBm each tone.

율 측정 결과를 보였다. 7.1~7.8 GHz 내  $P_{1dB}$ 은  $40.1 \pm 0.3$  dBm, 전력 이득은  $10.0 \pm 0.3$  dB, 효율은 33.4% 이상을 보였다. 측정 결과에는 케이블, 방향성 결합기 및 감쇄기 손실 성분들이 De-embedding을 통해 반영되었다.

그림 15에 제안된 memory effect 감쇄 게이트 바이어스 회로를 측정 치구에 적용하여 2-tone 주파수의 크기가 각각 26 dBm인 신호를 인가하였을 때 측정된 IMD3(upper)와 IMD3(lower)를 나타낸다. 2-tone 주파수의 간격은 10 MHz offset을 두었다. 측정 결과, 7.1~7.8 GHz에서 IMD3(upper)와 IMD3(lower)는  $-40$  dBc 이하, 두 신호의 차는 0.76 dB 이하를 보였다.

## V. 결 론

본 논문에서는 C-대역에서 GaAs pHEMT와 입·출력 정합 회로가 패키지에 내장된 10 W급 내부 정합증폭기 설계 및 제작을 보였다. 정확한 정합 회로 설계를 위하여 트랜지스터 패드 위치와 커패시터 크기를 고려한 와이어 본딩을 EM simulation을 통해 해석하였다. 고주파에서는 금속 패키지에 의한 영향도 상당하기 때문에 정합 회로 설계에 패키지 모델링을 포함하여 함께 해석하였고, 실제 측정과 EM simulation 비교를 통해 상당한 정확도를 확인할 수 있었다. Memory effect를 감쇄시키는 게이트 바이어스 회로를 제안 및 적용함으로써 IMD3의 비대칭성 크기를 감소시켰다. 제작된 전력 증폭기는 7.1~7.8 GHz에서  $P_{1dB}$ 는 39.8~40.4 dBm, 전력 이득은 9.7~10.4 dB, 효율은 33.4~38.0 %을 얻었다. 제안된 memory effect 감쇄 바이어스 회로로 IMD3(upper)와 IMD3(lower)차는 0.76 dB 이하를 얻었다. 전력증폭기 모듈 제작에 memory effect 감쇄 바이어스 회로를 적용할 경우 IMD3의 비대칭성이 감소하여 선형성이 개선될 것으로 판단된다.

## 참 고 문 헌

- [1] M. Kohno, T. Fujioka, K. Hayashi, Y. Itoh, Y. Ikeda, K. Seino, and M. Yamanouchi, "High efficient C-band 27 W internally-matched GaAs FET for space application", *IEEE MTT-S International, Microwave Symposium Digest*, vol. 1, pp. 273-276, May 1994.
- [2] 정해창, 오현석, 허윤성, 염경환, 김경민, "WiMAX 대역 GaN HEMT 4 W 소형 전력증폭기 모듈 설계", *한국전자과학회논문지*, 22(2), pp. 162-172, 2011년 2월.
- [3] H. Noto, H. Maehara, M. Koyanagi, H. Utsumi, J. Nishihara, H. Otsuka, K. Yamanaka, M. Nakayama, and Y. Hirano, "X-and Ku-band internally matched GaN amplifiers with more than 100 W output power", *Microwave Integrated Circuits Conference (EuMIC), 2012 7th European*, pp. 695-698, Oct. 2012.
- [4] 임중식, 오성민, 박천선, 이용호, 안달, "고출력 트랜지스터 패키지 설계를 위한 새로운 와이어 본딩 방식", *전기학회논문지*, 57(4), pp. 653-659, 2008년 4월.
- [5] 정해창, 오현석, 염경환, 진형석, 박종설, 장호기, 김보균, "사전-정합 로드-풀 측정을 통한 X-대역 40 W급 펄스 구동 GaN HEMT 전력증폭기 설계", *한국전자과학회논문지*, 24(11), pp. 1034-1046, 2011년 11월.
- [6] 신석우, 김형중, 최길웅, 최진주, 임병욱, 이복형, "X-대역 GaN HEMT bare-chip 펄스-전압 펄스-RF 수동 로드풀 측정", *한국ITS학회논문지*, 10(1), pp. 42-48, 2011년 2월.
- [7] J. Vuolevi, T. Rahkonen, and J. Manninen "Measurement technique for characterizing memory effect in RF power amplifiers", *IEEE Trans. Microwave Theory Tech.*, vol. 49, no. 8, pp. 1383-1389, Aug. 2001.
- [8] 이강진, 박찬혁, 구경현, "pHEMT 전력 증폭기의 IMD3 비대칭성과 ACPR 특성 해석", *대한전자공학회 학술대회*, pp. 221-224, 2005년 11월.
- [9] N. Kim, V. Aparin, and L. Larson "Analysis of IM3 asymmetry in MOSFET small-signal amplifier", *IEEE Trans, Regular Papers*, vol. 58, issue 4, pp. 668-676, Apr. 2011.
- [10] K. Remley, D. Williams, D. Schreurs, and J. Wood, "Simplifying and interpreting two-tone measurement", *IEEE Trans., Microwave Theory Tech.*, vol. 52, Issue. 8, pp. 2576-2584, Aug. 2004.
- [11] J. Cha, I. Kim, S. Hong, B. Kim, J. S. Lee, and H. S. Kim, "Memory effect minimization and wide instantaneous bandwidth operation of a base station power amplifier", *Microwave Journal*, vol. 46, no. 2, pp. 124-130, Feb. 2003.

최 운 성



2012년 2월: 광운대학교 전자공학과 (공학사)  
2012년 3월~현재: 광운대학교 전자공학과 석사과정  
[주 관심분야] 초고주파 능동 회로 설계

어 윤 성



1993년 2월: 한국과학기술원 전기 및 전자공학과 (공학사)  
1995년 2월: 한국과학기술원 전기 및 전자공학과 (공학석사)  
2001년 2월: 한국과학기술원 전기 및 전자공학과 (공학박사)  
2000년 8월~2002년 8월: LG전자기술팀 RF team 선임연구원  
2002년 9월~2005년 8월: 삼성종합기술원 Chip Solution Center 책임연구원  
2005년 9월~현재: 광운대학교 전자공학과 부교수  
2009년 9월~현재: 실리콘알앤디 대표이사 (겸)  
[주 관심분야] CMOS RF Transceiver 설계, CMOS Power AMP 설계

이 경 학



2010년 2월: 광운대학교 전자공학과 (공학석사)  
2012년 3월~현재: 광운대학교 전자공학과 박사과정  
1999년 1월~2007년 1월: LG전자기술팀 주임연구원  
2007년 2월~2012년 2월: LG전자

MC연구소 주임연구원

2012년 3월~현재: 실리콘알앤디 수석연구원  
[주 관심분야] 초고주파 능동 회로 설계