

65-nm RFCMOS 공정 기반 145 GHz 이미징 검출기

A 145 GHz Imaging Detector Based on 65-nm RFCMOS Technology

윤대근 · 김남형 · 김동현 · 이재성

Daekeun Yoon · Namhyung Kim · Dong-Hyun Kim · Jae-Sung Rieh

요 약

본 논문에서는 고주파 이미징 시스템에 사용되는 D-band 이미징 검출기(imaging detector)를 65-nm CMOS 공정을 이용하여 설계 및 제작한 결과를 보인다. 검출기 회로 구조는 resistive self-mixing 원리에 기초를 두고 있다. 제작된 검출기는 145 GHz에서 400 V/W의 최대 반응도(responsivity)와 100 pW/Hz^{1/2}의 최소 NEP(Noise Equivalent Power)를 보였다. 제작된 회로의 크기는 측정용 패드와 밸룬을 포함하여 400 μm×450 μm이며, 중심 회로의 크기는 150 μm×100 μm이다.

Abstract

In this work, a D-band imaging detector has been developed in a 65-nm CMOS technology for high frequency imaging application. The circuit was designed based on the resistive self-mixing of MOSFET devices. The fabricated detector exhibits a maximum responsivity of 400 V/W and minimum NEP of 100 pW/Hz^{1/2} at 145 GHz. The chip size is 400 μm×450 μm including the probing pads and a balun, while the core of the circuit occupies only 150 μm×100 μm.

Key words : Detector, Imaging, CMOS

I. 서 론

최근 들어 반도체 공정 기술의 지속적인 발전에 힘입어 반도체 소자의 동작 속도가 크게 향상되고 있다. f_{max} 를 기준으로 실리콘 기반의 경우 500 GHz에 달하는 소자들이 개발되었고, 화합물 반도체의 경우 1 THz를 상회하는 소자들이 개발된 상태이다. 이에 따라 이들 고속 소자를 적용한 회로의 동작 속도도 함께 증가를 하고 있으며, 최근 100 GHz를 상회하는 높은 주파수에 기반한 다양한 응용이 탐구되고 있다. 이 중에서도 특히 주목을 받는 응용은 광대역 통신 시스템 및 이미징 시스템이다. 광대역 통신

의 경우 높은 주파수의 사용은 넓은 통신 대역폭을 가능하게 하며, 결과적으로 무선 시스템에서의 전송 속도의 증가를 가져온다. 이미징 시스템의 경우에 있어서 높은 주파수는 획득 이미지의 해상도의 향상과 더불어 넓은 대역폭에 기인한 검출기 감도의 향상을 가져온다. 또한, 증가된 주파수는 새로운 주파수 대역의 이미지 획득을 가능하게 함으로써 분광 이미징의 영역 확대에도 일조하게 되는 면이 있다.

본 연구는 100 GHz 이상 대역을 활용한 이미징 시스템 구축을 위한 회로 연구를 목표로 하고 있다. 이미징 시스템에 있어서 양질의 영상을 얻기 위해 가장 중요한 요소는 수신단에서의 신호대 잡음비

「이 논문은 2010년도 한국연구재단의 지원을 받아 연구되었음(616-2010-1-D00033).」

고려대학교 전기전자전파공학부(School of Electrical Engineering, Korea University)

· Manuscript received August 21, 2013 ; Revised October 14, 2013 ; Accepted October 18, 2013. (ID No. 20130821-01S)

· Corresponding Author : Jae-Sung Rieh (e-mail : jsrieh@korea.ac.kr)

(SNR)라고 할 수 있다. 수신단에서의 SNR은 능동 이미징 시스템의 경우 송신단의 출력 전력과 동시에 수신단의 검출기 감도에 의해 크게 좌우된다. 수동 이미징 시스템의 경우에는 검출기의 감도의 중요성이 더욱 높아지게 된다. 이에 주목하여 본 연구에서는 높은 주파수에서 동작하는 이미징 시스템을 위한 검출기 연구를 수행하였으며, 상용 실리콘 CMOS 공정을 이용하여 145 GHz 대역에서 동작하는 검출기 연구가 진행되었다.

II. 고주파 검출기의 개요

전자기파를 효과적으로 검출하기 위한 검출기는 다양한 대역에서 여러 가지 방식으로 연구되어왔다. 검출 방식에 따라 분류를 하면 크게 세 가지 방식으로 나누어 볼 수 있다. 첫 번째 방식은 전자기파의 열 효과를 이용하여 검출하는 방식이다. 볼로미터가 이 방식을 이용한 가장 대표적인 검출 소자라고 볼 수 있으며, 전자기파의 흡수에 따른 열 발생을 저항의 변화로 변환시킴으로써 전자기파 검출을 하게 된다. 다른 예로는 pyroelectric 검출기를 들 수 있으며, 이 방식의 소자는 전자기파의 흡수에 따른 열 발생을 정전용량의 변화로 변화시켜 이를 전기적 신호로 바꾸어 검출을 하게 된다. 역시 열 발생을 이용한 검출 소자로서 Golay cell을 들 수 있으며, 이 소자는 발열에 따른 기체의 열 팽창을 감지하여 전자기파 검출을 하게 된다. 두 번째 방식은 주로 광학 대역의 전자기파 대역에서 사용되는 방식으로서, 전자기파의 흡수에 따른 전자의 에너지 밴드 간의 전이를 활용한 방식이다. 가시광선 대역이나 적외선 대역에서는 광검출기에 응용되어 널리 사용되는 방식이지만, 밀리미터 대역 혹은 테라헤르츠 대역에서는 전자에 흡수되는 에너지 값이 매우 작은 관계로 적용되기 힘든 면이 있다. 세 번째 방식은 전자기파를 안테나를 사용하여 교류 전류 혹은 전압 신호로 변환한 후 정류 기능을 사용하여 검출하는 방식이다. 주파수가 높은 경우 혼합기를 사용한 주파수 전이도 선택적으로 결합하여 사용할 수 있다. 이 방식은 마이크로파, 밀리미터파 혹은 테라헤르츠 대역의 전자기파 검출에 매우 적절한 방식이며, 특히 타 회로와의 집적이 가능한 반도체 회로로 구성할 수 있다는 면에서 실

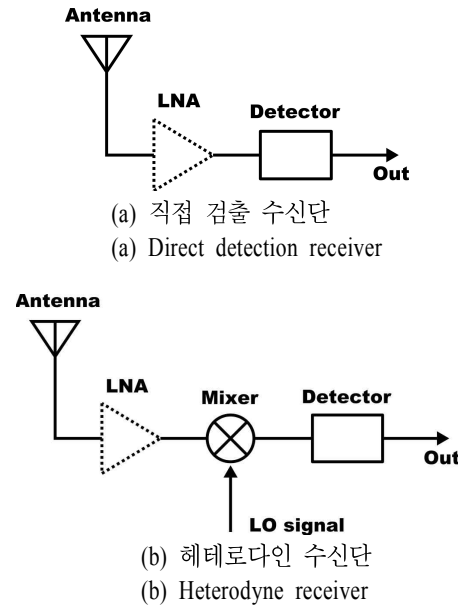


그림 1. 이미징 시스템용 수신단
Fig. 1. Receiver architecture of the imaging system.

용적인 장점이 크다고 할 수 있겠다. 따라서 본 논문에서 추후 논의는 이 방식에 한정하도록 한다.

이미징 시스템 적용을 위한 수신단은 크게 두 가지로 대별된다. 한 가지는 직접 검출 수신단(direct detection receiver)이며, 또 한 가지는 헤테로다인 수신단(heterodyne receiver)이다. 직접 검출 수신단은 입력 신호를 주파수 전이 없이 수신하여 검출을 하는 반면, 헤테로다인 수신단은 입력 신호를 저주파로 주파수 전이한 후에 검출을 하게 된다. 이들 수신단의 간단한 도해가 그림 1에 나타나 있다. 두 가지 구조 모두 저잡음 증폭기를 수신단 앞부분에 배치할 수 있으며, 이 경우 수신단의 반응도(responsivity) 및 NEP (Noise Equivalent Power)를 모두 향상시킬 수 있다. 단지, 주파수 대역이 지나치게 높은 경우 증폭기의 동작이 어려운 경우도 발생할 수 있지만, 증폭기의 동작이 가능한 주파수 대역에서는 저온(cryo temperature) 동작에 상응할 수 있는 성능 향상을 가져오게 된다. 또한, 수동 이미징 시스템에서는 이득 변화(gain fluctuation)의 영향을 최소화하기 위해 Dicke 스위치를 최전단에 배치하는 경우도 있다. 이 경우, 입력 신호의 절반만을 검출에 사용할 수 있다는 단점이 있지만, 저주파 잡음을 효과적으로 억제하는 효과를 가져온다. 헤테로다인 수신기의 경우, 혼합기를 통해 주파수를 전이시킨 후 낮은 주파수에서 검

출이 이루어지기 때문에, 일반적으로 성능면에서 직접 검출 수신단에 비해 장점을 보이는 경향이 있다. 그러나 혼합기 및 혼합기를 동작시키기 위한 LO (Local Oscillator)가 부가적으로 필요하므로, 회로의 복잡도 및 면적, 그리고 DC 전력 소모가 증가하게 된다. 또한, 배열 검출기 시스템의 경우에는 LO 배분의 문제가 추가적으로 발생하게 된다. 이에 본 연구진은 직접 검출 수신단에 적용될 수 있는 고주파 검출기에 대한 연구를 진행하였다.

III. 회로 설계

본 논문에서 제시된 검출기는 NMOS의 resistive self-mixing 원리를 이용하여 설계되었다. NMOS의 resistive self-mixing 원리를 이용하기 위해서는 NMOS의 드레인과 소스 사이의 전압차가 0 V가 되도록 설정해야 한다. 이렇게 전압이 인가된 소자에 RF 신호를 인가하게 되면, resistive self-mixing이 일어나게 되며, 인가된 신호의 세기에 따라 DC 신호의 크기가 변하게 되어 이 DC 신호의 값을 측정함으로써 인가된 RF 신호의 세기를 알 수 있다. 이 때, resistive self-mixing의 효율은 소자의 게이트 전압에 영향을 받게 되는데, 소자의 문턱 전압 근방에서 resistive self-mixing 효율이 최대가 되는 것으로 알려져 있다^[1]. CMOS를 이용한 검출기는 소자의 f_{max} 보다 높은 주파수에서도 동작함이 알려져 있는데, 이는 소자의 게이트-채널 영역을 RC lumped 모델이 아니라 RC distributed 모델로 가정함으로써 설명할 수 있다^[1]. 현재 MOSFET 소자 모델은 게이트-채널 영역을 RC distributed 모델로 보는 NQS(Non-Quasi Static) 모델을 포함하고 있으므로, 공정사에서 제공되는 소자 모델을 이용하여 고주파에서 동작하는 검출기를 설계할 수 있다^[2].

설계된 검출기는 그림 2와 같이 두 개의 NMOS 소자에 기반을 둔 차동(differential) 회로로 구성되어 있다. 검출기에 인가되는 RF 신호는 게이트 공통회로의 구조에 따라 소자의 소스 방향으로 인가되도록 구성되어 있다. 소스 방향으로 신호를 인가하게 될 경우 드레인과 소스 사이의 커패시턴스 값이 작으므로, 드레인 쪽에 RF의 임피던스가 크게 보이도록 만들어 줄 필요가 없다. 따라서 크기가 큰 인덕터 및

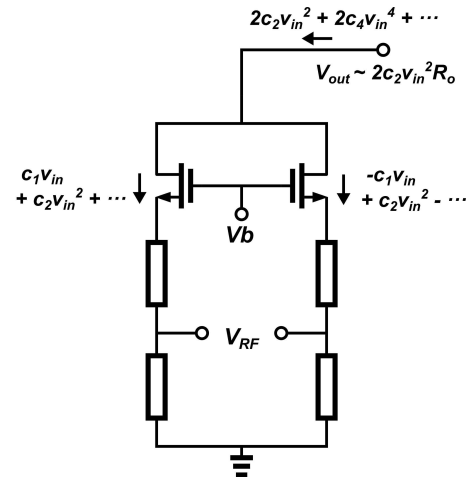


그림 2. 검출기의 회로도

Fig. 2. Schematic of detector.

트랜스미션 라인을 드레인 쪽에 사용하지 않아도 되므로, 회로의 크기가 작아지고 구조가 간단해지는 장점이 있으며, 이러한 이유에서 본 회로에 적용이 되었다. 소스는 마이크로스트립(microstrip) 라인을 이용하여 차동 100 옴으로 매칭되어 있다. 출력 신호는 차동 회로를 이루는 소자들의 드레인 쪽을 묶어 가상 접지(virtual ground)를 만들어낸 후, 가상 접지 노드에서 출력된 DC 신호를 검출할 수 있도록 만들었다. 가상 접지 노드에서 RF 입력 신호는 접지 노드이지만 출력 신호인 DC 신호에서는 가상 접지 노드가 아니기 때문에, RF 신호에 영향을 주지 않고 출력 신호를 검출할 수 있다. 이렇게 할 경우 추가적인 버퍼 스테이지 없이 출력 신호를 검출할 수 있어 회로의 구성이 간단해지는 장점이 있다.

IV. 측정 결과

본 검출기는 삼성 65-nm RFCMOS 공정을 이용하여 제작되었으며, 그림 3에 제작된 회로의 칩 사진이 나타나 있다. 회로는 차동 입력 회로 측정을 위한 밸룬을 포함하게 있으며, 패드 및 밸룬을 포함한 회로의 크기는 $400 \mu\text{m} \times 450 \mu\text{m}$ 이고, 측정을 위한 밸룬 및 패드를 제외한 검출기의 크기는 $150 \mu\text{m} \times 100 \mu\text{m}$ 이다. 검출기의 측정은 온-웨이퍼 프로빙 방식으로 이루어졌다.

그림 4는 검출기 회로의 측정을 위한 측정 셋업 블록 다이어그램을 나타낸다. 그림 5는 실제로 측정

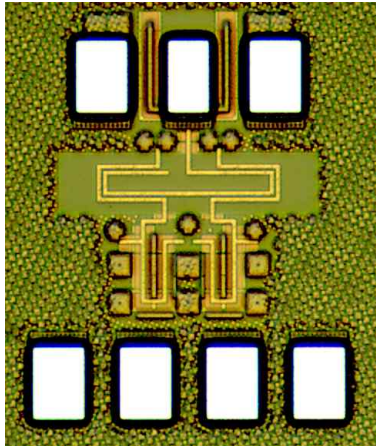


그림 3. 제작된 검출기의 칩 사진
Fig. 3. Chip photo of fabricated detector.

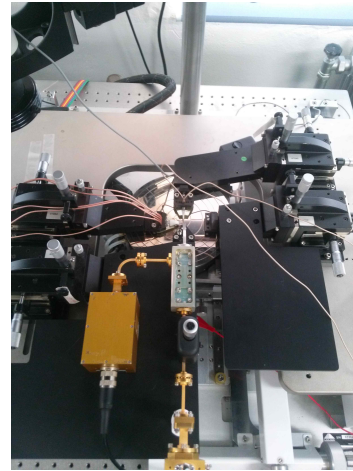


그림 5. 측정 셋업 사진
Fig. 5. Picture of measurement setup.

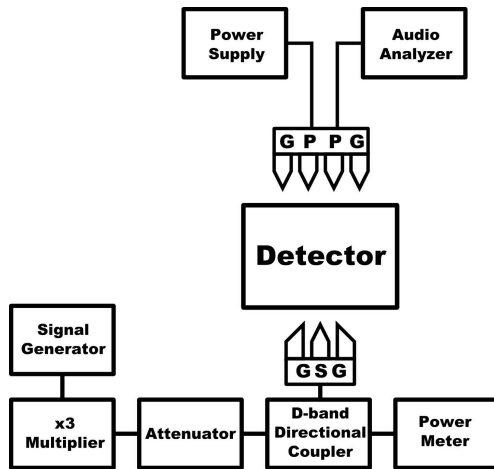


그림 4. 측정 셋업 블록 다이어그램
Fig. 4. Block diagram of measurement setup.

에 사용한 측정 셋업 사진이다. 검출기 특성을 측정하기 위한 D-band 영역의 RF 입력 신호는 50 GHz까지 동작하는 Agilent 사의 신호 발생기와 Quinstar 사의 x3 주파수 체배기를 이용하여 만들었다. D-band로 올려진 RF 신호는 RF 감쇠기(attenuator)와 입력 신호 전력의 실시간 측정을 위해 삽입된 커플러를 통하여 프로브에 전달된다. 커플러의 커플링 포트를 통해 얻어진 커플링 신호는 Erickson 사의 PM4 파워 미터에 연결된다. 감쇠기의 감쇠 비율을 조절함으로써 실제 회로에 전달되는 신호의 세기를 조절할 수 있고, 파워 미터의 값을 읽음으로써 실시간으로 입력되는 신호의 세기를 측정할 수 있다.

측정에 사용된 3 dB 커플러는 이론적으로 전달 포트와 커플링 포트의 출력 신호 크기가 같아야 하

지만, 커플링 포트에서 3 dB 손실이 있어 입력 신호의 크기를 계산할 때 고려하였다. 제작된 검출기 차동 입력을 단일 입력으로 바꾸어주는 밸런(balun)을 포함하고 있다. 사용된 밸런의 손실은 약 3 dB로 측정되었다^[3]. 커플러의 손실과 밸런에서의 손실을 합하여 총 6 dB의 손실을 입력 신호의 추출값에 보정하여 사용하였다.

RF 검출기는 DC 신호를 발생시키는 회로이지만, DC 신호의 크기가 충분히 크지 않은 경우 회로의 플리커 잡음(flicker noise)의 영향으로 정확한 값을 측정하기가 어렵다. 이 때문에 RF 신호를 낮은 주파수에서 초핑(chopping)함으로써 플리커 잡음의 영향권에서 벗어나는 저주파 대역에서 출력 신호의 세기를 측정을 하는 방법이 널리 활용되고 있다. RF 신호를 초핑하는 방식에는 전기적으로 RF 신호를 AM 변조하는 방법과 기계적으로 초퍼(chopper)를 통하여 초핑하는 방법이 있는데, 본 측정에서는 신호 발생기에서 AM 변조를 이용하여 RF 신호를 초핑하였다. 실제 회로의 성능은 초핑되지 않은 입력 신호에 대한 값이므로, 초핑으로 인한 손실을 계산해서 보정하여야 한다. 본 측정에서는 출력 신호를 저주파 신호 분석 장비인 오디오 분석기를 이용하여 주파수 도메인에서 측정하였는데, 측정값에서 초핑의 영향을 제거하기 위해서 초핑 주파수에서의 출력 값을 보정하였다. 초핑된 신호는 사각파 신호이므로 검출기에 입력된 신호의 정확한 크기의 추출을 위해서 초핑 주파수에서의 측정값에 보정값을 곱함으로써 검

출기에 입력된 정확한 신호의 크기를 얻을 수 있다.

검출기는 앞서 밝힌 바와 같이 일반적으로 반응도와 NEP 두 개의 지표로 성능을 나타내게 된다. 먼저 반응도는 입력 RF 전력 신호 크기에 대한 출력 전압 신호의 비율로 정의된다^[4].

$$Responsivity [V/W] = \frac{Output\ Voltage [V]}{Input\ RF\ Power [W]} \quad (1)$$

본 측정에서는 오디오 분석기에서 측정한 전압 신호의 값을 파워미터에서 읽어낸 RF 전력 입력 신호의 세기로 나눈 값으로 반응도를 측정하였다.

검출기의 다른 특성 값인 NEP는 NSD(Noise Spectral Density) 값을 반응도로 나눈 값으로 정의될 수 있으며, 물리적으로는 신호대 잡음비가 1이 되는 입력 신호 크기를 의미한다^[4].

$$NEP [W/Hz^{1/2}] = \frac{Noise\ Spectral\ Density [V/Hz^{1/2}]}{Responsivity [V/W]} \quad (2)$$

NEP 값을 측정하기 위해서는 정확한 NSD 값을 측정해야 한다. 본 측정에서는 Rhode & Schwarz 사의 UPV 오디오 분석기를 이용하여 노이즈 플로어(noise floor)를 측정한 후, 노이즈 플로어를 NSD 값으로 변화시켜 그 값을 구하였고, 이 값을 다시 반응도로 나누어 NEP 값을 추출하였다.

그림 6은 제작된 검출기의 반응도 측정 결과이다. 반응도는 입력 신호의 주파수가 145 GHz일 때 최고 값을 가지는 것으로 측정되었으며, 그 값은 400 V/W로 나타났다. 그림 7은 제작된 검출기의 NEP 값을

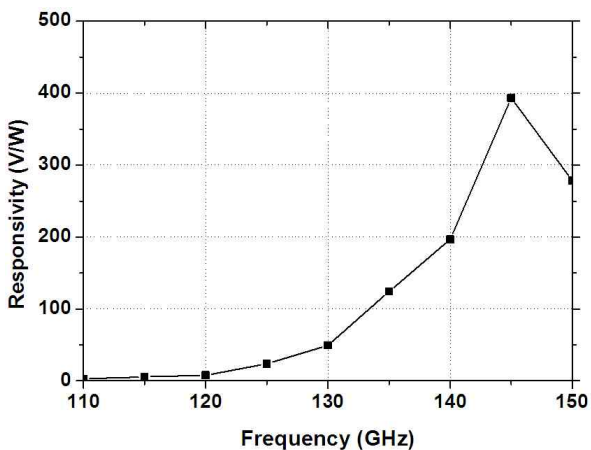


그림 6. 제작된 검출기의 반응도(responsivity) 측정 결과
Fig. 6. Responsivity measurement result of the fabricated detector.

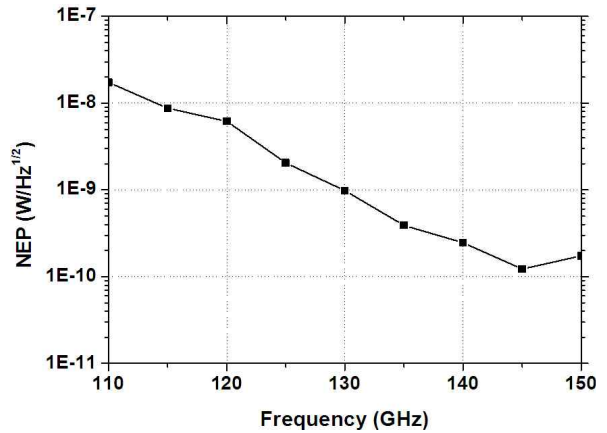


그림 7. 제작된 검출기의 NEP 측정 결과
Fig 7. NEP measurement result of the fabricated detector.

표 1. 100 GHz 이상에서 동작하는 검출기와 성능 비교표

Table 1. Performance comparison of detectors operating beyond 100 GHz.

출처	공정	주파수 [GHz]	반응도 [V/W]	NEP [pW/Hz ^{1/2}]
2009 ISSCC ^[1]	250-nm CMOS	650	50,000	400
2011 ISSCC ^[5]	130-nm CMOS	300	90,000	-
2011 IMS ^[6]	65-nm CMOS	1,000	800	66
2012 IMS ^[7]	45-nm CMOS	300	8,400	67
본 연구	65-nm CMOS	145	400	100

보이고 있다. 145 GHz에서 가장 작은 100 pW/Hz^{1/2} 값이 얻어졌다. 표 1에 기존 발표된 결과와의 비교가 정리되어 있다. 타 결과에 비해 반응도의 경우 다소 떨어지는 면이 있으나, NEP의 경우 유사한 수준의 값을 보이고 있음을 알 수 있다. 실제 영상 검출에 있어서는 반응도보다도 NEP가 중요하게 작용하므로, 이러한 측면에서 본 검출기는 실제 영상 검출에 적절히 적용될 수 있을 것으로 판단된다.

본 검출기의 시뮬레이션 결과는 145 GHz에서 4,200 V/W의 반응도 및 2.7 pW/Hz^{1/2}의 NEP 값을 가지고 있는 것으로 나타났다. 시뮬레이션 결과와 측정 결과의 차이가 다소 큰 이유는 소자 모델의 정확도 및 시뮬레이션에 사용된 마이크로스트립 라인의

구조 문제에 있다고 추측되고 있다. 마이크로스트립 라인의 경우 공정에서 요구하는 메탈 밀도 규칙 때문에 실제 회로에는 더미 메탈이 마이크로스트립 라인 주변에 배치되나, 시뮬레이션에서는 현실적인 시뮬레이션 상의 제약으로 인해 이 부분이 고려가 되지 않았다. 이러한 문제들로 인해 정합이 어긋나게 되었고, 결과적으로 회로의 측정 성능이 설계 값과 차이가 발생하게 된 것으로 추정된다.

V. 결 론

본 논문에서는 65-nm CMOS 공정을 이용하여 145 GHz 대역에서 동작하는 검출기를 제작 및 측정하였다. 검출기는 CMOS 소자의 resistive self-mixing 원리를 이용하여 설계, 구현되었다. 145 GHz 대역에서 반응도와 NEP를 측정하기 위하여 측정 장비를 구성하였고, 파라미터 값을 그 정의에 따라 측정 및 계산을 통하여 추출하였다. 제작된 검출기는 145 GHz에서 반응도의 최대값인 400 V/W이 측정되었고, 역시 145 GHz에서 NEP 최소값인 100 pW/Hz^{1/2}이 측정되었다. 본 연구는 100 GHz 이상의 대역에서 상용 CMOS 공정을 사용하여 검출기를 구현하는 방법론 및 특성 분석을 하는 방법을 제시하고 있다.

References

[1] E. Ojefors, U. R. Pfeiffer, A. Lissauskas, and H. G. Roskos, "A 0.65 THz focal-plane array in a quarter-micron CMOS process technology", *IEEE Journal*

of Solid-State Circuits, vol. 44, pp. 1968-1976, 2009.

[2] M. Chan, K. Hui, C. Hu, and P. Ko, "A robust and physical BSIM3 non-quasi-static transient and AC small-signal model for circuit simulation", *IEEE Transactions on Electron Devices*, vol. 45, pp. 834-841, 1998.

[3] Hyunchul Kim, Daekeun Yoon, and Jae-Sung Rieh, "A 140-GHz fully differential common-source amplifier in 65nm CMOS", in *Asia-Pacific Workshop on Fundamentals and Applications of Advanced Semiconductor Devices*, 2012.

[4] L. Zhou, C. -C. Wang, Z. Chen, and P. Heydari, "A W-band CMOS receiver chipset for millimeter-wave radiometer systems", *IEEE Journal of Solid-State Circuits*, vol. 46, pp. 378-391, 2011.

[5] F. Schuster et al., "A broadband THz imager in a low-cost CMOS technology", in *IEEE International Solid-State Circuits Conference Digest of Technical Papers*, pp. 42-43, 2011.

[6] R. Han et al., "280 GHz and 860 GHz image sensors using Schottky-Barrier diodes in 0.13 μm digital CMOS", in *IEEE International Solid-State Circuits Conference Digest of Technical Papers*, pp. 254-256, 2012.

[7] M. Uzunkol et al., "Millimeter-wave and terahertz sources and imaging systems based on 45 nm CMOS technology", in *IEEE MTT-S International Microwave Symposium Digest*, pp. 1-3, 2012.

윤 대 근



2006년 8월: 고려대학교 전기전자 전파공학부 (공학사)
 2006년 9월~현재: 고려대학교 전기 전자공학과 석박과정
 [주 관심분야] 밀리미터파 회로 및 시스템

김 남 형



2008년 2월: 고려대학교 전기전자 전파공학부 (공학사)
 2008년 3월~현재: 고려대학교 전기 전자공학과 석박과정
 [주 관심분야] 밀리미터파 회로 및 시스템

김 동 현



시스템

2008년 2월: 고려대학교 전기전자
전파공학부 (공학사)
2010년 8월: 고려대학교 전기전자공
학과 (공학석사)
2010년 9월~현재: 고려대학교 전
기전자공학과 박사과정
[주 관심분야] 밀리미터파 회로 및

이 재 성



1991년 2월: 서울대학교 전자공학
과 (공학사)
1995년 2월: 서울대학교 전자공학
과 (공학석사)
1999년 11월: Univ. of Michigan
EECS (공학박사)
1999년~2004년: IBM Semiconduc-
tor R&D Center
2004년~현재: 고려대학교 전기전자전파공학부 교수
[주 관심분야] 밀리미터파 소자 및 회로, THz 소자 및 회
로