

Dynamic Pattern 기법을 이용한 주문형 반도체 결함 검출에 관한 연구

A Study on the Fault Detection of ASIC using Dynamic Pattern Method

심우제*, 정해성**, 강창훈**, 지민석*, 안동만*, 홍교영*, 홍승범*⁰

Woo-Che Shim*, Hae-Sung Jung*, Chang-Hun Kang*, Min-Seok Jie*, Gyo-Young Hong*, Dong-Man Ahn* and Seung-Beom Hong*⁰

요 약

본 논문에서는 일반적으로 사용되고 있는 개발 및 분석용 프로그램을 이용하여 시험요구서가 개발되지 않은 ASIC을 대상으로 결함을 검출하는 방법을 제안한다. 시험요구서가 없는 경우, 회로의 동작을 파악하기 힘들어 어떤 칩에서 결함이 발생하였는지 발견하기 어렵다. 따라서 ASIC의 로직 데이터를 분석하여 결함 검출을 위한 시험요구서를 작성하고, 시험요구서에 따라 제작된 Dynamic Pattern 신호를 이용하여 게이트 레벨에서 입출력 핀 신호 제어를 통해 고장진단을 한다. 실험결과 제안된 기법을 비메모리 회로에 적용하여 우수한 결함 검출 능력을 확인하였다.

Abstract

In this paper, it is proposed the fault detection method of the ASIC, without the Test Requirement Document(TRD), extracting internal logic circuit and analyzed the function of the ASIC using the multipurpose development program and simulation. If there don't have the TRD, it is impossible to analyze the operation of the circuit and find out the fault detection in any chip. Therefore, we make the TRD based on the analyzed logic data of the ASIC, and diagnose of the ASIC circuit at the gate level through the signal control of I/O pins using the Dynamic Pattern signal. According to the experimental results of the proposed method, we is confirmed the good performance of the fault detection capabilities which applied to the non-memory circuit.

Key words : TRD(Test Request Document), LASAR, ITA(Interface Test Adapter), ATE(Automatic Test Equipment), Fault Detection

I. 서 론

항공전자 시스템의 기능적 측면의 발전을 배경으로

아날로그와 디지털이 통합되어 사용자의 요구도에 기여하기 위해 다기능, 고속화, 소형화 되어감에 따라 시스템의 기능 및 하드웨어 또한 다기능 프로세서의 적용 및 임베디드 시스템으로 변화하고 있다. 이러한 기

* 한서대학교 항공학부(School of Avionics, Hanseo University)

** (주)HKC 기술 연구소(Hankuk Communication Co. R&D Center)

· 제1저자 (First Author) : 심우제(Woo-Che, Shim)

0 교신저자(Corresponding Author) : 홍승범(Hong Seung Beom, tel : +82-41-6716231, email : sbhong@hanseo.ac.kr)

· 접수일자 : 2013년 8월 13일 · 심사(수정)일자 : 2013년 8월 14일 (수정일자 : 2013년 10월 25일) · 게재일자 : 2013년 10월 30일

http://dx.doi.org/10.12673/jkoni.2013.17.5.560

능 및 하드웨어의 구현을 위해서 단순한 기능을 수행했던 반도체 소자는 하드웨어에 소프트웨어를 탑재한 복합적인 기능을 가진 소자로 발전하고 있다[1].

집적화된 반도체의 발전으로 디지털 신호의 입력력을 제어하는 주문형 반도체(ASIC)는 항공전자 시스템의 요구 성능 측면에서 디지털 회로에 대하여 반도체 제작 공정에서의 집적도를 비약적으로 발전시켰으며 일반 산업분야에서의 사용비중 또한 지속적으로 증가하고 있는 추세이다[2].

회로보드에 장착된 ASIC의 결함을 검출하기 위해서는 칩 외부에서 시험 패턴을 인가하고 응답신호를 예측치와 비교하는 전통적인 방법인 BIST(Built In Self Test) 기법을 회로 내에 설계하여 결함을 탐지할 수 있으나[3][4], 개발단계에서 많은 비용이 소요된다. 또한 BIST가 내장되어 있지 않은 ASIC은 LASAR 프로그램을 이용하여 고장진단이 가능하지만 가격이 고가이며 개발기간이 장기간 소요되고 시험요구서가 없으면 개발이 불가능하다.

시스템 개발 기간의 단축을 위하여 ASIC의 개발 소요는 지속적으로 증가하고 이에 따라 시험을 용이하게 하기 위한 자동화 기법을 도입하고 있다. 사용자 측면에서의 시험은 자동시험장비(ATE : Automatic Test Equipment)를 이용하여 System 또는 Sub-System 레벨에서 고장진단을 통한 시스템 시험을 할 수 있다[5][6].

본 논문에서는 일반적으로 사용되고 있는 개발 및 분석용 프로그램을 이용하여 시험요구서가 개발되지 않은 ASIC을 대상으로 내부 로직을 추출하고 시뮬레이션을 통해 기능 분석한다. 또한, 범용적인 Dynamic Pattern Test 기법을 이용하여 시험요구서가 제공되지 않는 회로의 고장진단을 위한 접근 방법을 제안한다. 시험요구서 작성을 위해 ASIC의 내부 로직 추출과 VHDL을 통해 로직 시뮬레이션을 수행하고, 작성된 시험요구서를 기준으로 Dynamic Pattern 신호와 하드웨어 인터페이스인 ITA(Interface Test Adapter)를 제작한다. 시험대상 회로보드를 ITA에 장착하고 Dynamic Pattern 신호를 인가한 후 ASIC 게이트 레벨에서의 입출력 핀에 입력신호를 제어함으로써 출력신호를 기준으로 불량 ASIC의 결함 검출을 확인할 수 있다. 실험 결과 제안된 기법을 비메모리 회로에 적용하여 우수한 결함 검출 능력을 확인한다.

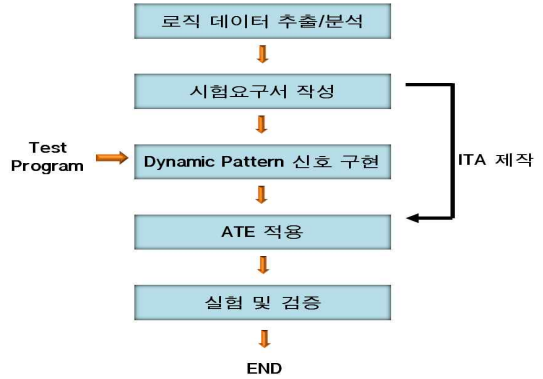


그림 1. 시스템 개요
Fig 1. Description of System

II. ASIC 분석과 시험환경 구성

2-1 시스템 개요

시험대상품에 대한 시험요구서가 없는 경우 고장진단이 불가능하다.

그림 1과 같이 각 단계별로 수행되는 절차를 살펴보면, 먼저 로직데이터 추출과 분석단계는 시험대상품의 데이터를 분석한다. 시험요구서를 개발하기 위해서는 우선 시험대상품에 대한 분석이 필요하다. Dynamic Pattern Test 기법[7][8]을 이용한 시험요구서가 제공되지 않는 회로의 고장진단을 위한 접근 방법으로 ASIC의 내부 로직 추출과 VHDL을 이용한 로직 시뮬레이션을 수행하고, 작성된 시험요구서를 근거하여 Dynamic Pattern 신호와 ITA를 제작한다. 시험대상 회로보드를 ITA에 장착하여 고장진단을 수행한다. 시험요구서 작성단계는 각각의 신호명과 입력 데이터 및 비교할 수 있는 출력데이터로 구분하여야 하며 이것을 기준으로 Dynamic Pattern 신호를 작성한다. ATE에 시험대상품을 장착한 후 시험프로그램을 작동하여 ASIC이 장착된 회로보드의 기능을 구현함으로써 고장을 진단한다.

2-2 ASIC 로직 데이터 추출 및 분석

시험대상품의 데이터 수집은 대상 ASIC에 대한

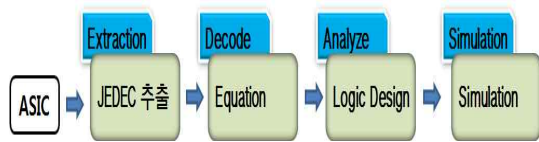


그림 2. ASIC 분석 절차
Fig 2. Process of ASIC Analysis

로직분석이 필요하다. 본 논문에서 적용한 ASIC은 ATMEL사의 PALCE16V8 계열 EE CMOS 20-PIN UNIVERSAL PROGRAMMABLE ARRAY LOGIC에 내장되어 있는 로직데이터를 분석하고, ASIC의 로직데이터 분석을 위하여 JEDEC 파일을 추출한다[9].

본 논문에서는 JEDEC 파일 추출을 위해 그림 2와 같이 추출(Extraction), 해석(Decode), 분석(Analyze), 시뮬레이션(Simulation)의 과정을 거쳐 데이터의 정확도를 살펴본다.

1) ASIC 소자 JEDEC File 추출

JEDEC File 추출을 위해서는 ASIC 소자를 지원하는 ROM Writer를 사용하여 JEDEC File을 추출한다. 추출된 JEDEC File을 JEDEC TO LOGIC EQUATION 프로그램을 사용하여 해독 가능한 파일로 변환할 수 있다.

그림 3은 시험을 위한 ASIC에서 추출한 JEDEC 파일 소스이다. 추출된 JEDEC File을 Equation 프로그램을 이용하여 텍스트 형태로 변환한다.

ASIC에서 추출한 JEDEC 파일을 JEDEC to Equation 프로그램을 실행한 결과 그림 4와 같이 8개의 입력과 7개의 출력 그리고 전원부와 접지부로 구성된 텍스트 파일 형태로 출력된다.

```

JEDEC file generated by PROVIEW*
DM TEXAS INSTRUMENTS*
DD PAL16L8A*
QP20*
QF2048*
QV0*
GO*F0*
L00000 11111111111111111111111111111111*
L00032 111111111111111111111101110111111*
L00064 1010111111110111111111111111111*
L00096 0000000000000000000000000000000*
--- 이하 생략 ---
    
```

그림 3. JEDEC File Source
Fig 3. JEDEC File Source

```

i1=1, i2=2, i3=3, i4=4, i5=5, i7=7, i8=8
GND=10
o12=12, o13=13, o15=15, o16=16, o17=17, o18=18, o19=19
VCC=20
equations
/o19 = /i7 * /i8 + /i2 * /i1 * /i5
o19.oe = vcc
/o18 = /i4 * /i7 * /i8 + /i2 * /i1 * /i4 * /i5
o18.oe = vcc
/o17 = i1 * /i5 + i7 * /i8 + i2 * /i5
o17.oe = vcc
/o16 = i1 * /i4 * /i5 + /i4 * i7 * /i8 + i2 * /i4 * /i5
o16.oe = vcc
/o15 = i4 * /i5
o15.oe = vcc
/o13 = /i7 * /i8 + /i2 * /i1 * /i3
o13.oe = vcc
/o12 = i1 * /i3 + i7 * /i8 + i2 * /i3
o12.oe = vcc
    
```

그림 4. JEDEC to Equation 결과
Fig 4. Result of JEDEC to Equation

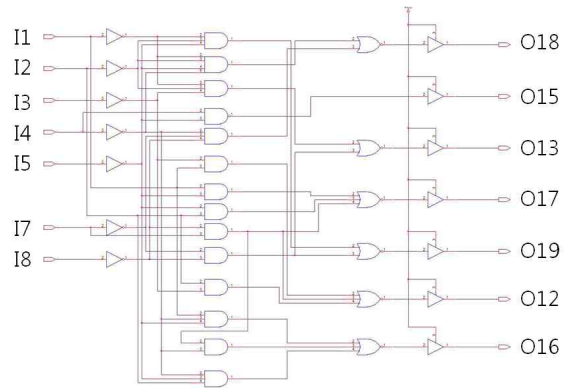


그림 5. 디바이스 로직 회로
Fig 5. Device Logic Schematic

2) 로직 회로 설계

JEDEC to Equation 프로그램을 사용하여 변환된 Equation 텍스트 파일은 회로설계 프로그램인 Or-CAD EDA Tool을 사용하여 회로도로 표현 가능하다. 그림 5는 Equation 텍스트 파일을 회로도로 재설계한 결과이다.

3) EQUATION 텍스트 파일을 VHDL로 변환

ASIC의 로직기능을 시뮬레이션하고 동작 상태나 기능을 확인할 수 있고 개발자가 입/출력 결과물을 분석하여 시험 프로그램에 적용하기 위한 시험조건에 맞게 변환한다.

```

ASIC Logic Data VHDL Source
LIBRARY ieee;
USE ieee.std_logic_1164.all;
USE ieee.std_logic_arith.all;

ENTITY PAL_323R228 IS
    PORT (CLK:i1,i2,i3,i4,i5,i7,i
          o12,o13,o15,o16,o17,o18,o19 : OUT STD_LOGIC);
END PAL_323R228 ;
ARCHITECTURE U322 OF PAL_323R228 IS // 구조적 모델링
SIGNAL w12 : STD_LOGIC ;
-----중 략-----
SIGNAL w19 : STD_LOGIC ;
BEGIN
    w19 <= (not i7 and not i8 ) or (not i2 and not i1 and not i5 );
    w18 <= (not i4 and not i7 and not i8 ) or
           (not i2 and not i1 and not i4 and not i5 );
    -----중 략-----3);
    w12 <= ( i1 and not i3 ) or ( i7 and not i8 ) or
           ( i2 and not i3 );
    PROCESS(CLK)
    BEGIN
    IF CLK'EVENT AND CLK = '1' THEN
    o19 <= not w19 ;
    o18 <= not w18 ;
    -----중 략-----
    o12 <= not w12 ;
    END IF;
    END PROCESS;
END U322 ;
    
```

그림 6. VHDL 변환 결과
Fig 6. Result of VHDL Conversion

그림 6과 같이 VHDL 코딩이 완료된 후 컴파일을 수행하여 Syntax Error 이상여부를 확인 하였다. 시뮬레이션을 시행하기 전에 필수 절차로 Syntax Error가 발생할 경우 시뮬레이션을 수행할 수 없다.

2-3 시험 요구서 작성

시험요구서에는 시험대상품의 회로 분석을 기준으로 하여 주변 불량 소자 탐지를 위한 시험 항목별 불량 및 정상 판단을 위한 기준값, 신호명, 핀명, 계측기 채널번호, 그리고 Pattern을 정의한 내용들을 포함하게 된다[10]. 시험대상품에 대한 시험요구서는 필요한 최소 성능 등을 시험하기 위해 대상품에 적용해야 하는 부하, 센서 및 드라이브 기능을 정의하는데 사용되는 정보가 포함되고, 시험 개발 프로세스는 요구 사항의 집합으로 시작된다. 이러한 요구 사항 중 일부는 개발 과정 자체로써, 요구 문서의 특정 수준 또는 특정한 시험을 위하여 시스템의 사용에 대한 요구 사항이 된다. 시험요구서는 시험대상품의 운영 유지를 목적으로 개발되기 때문에 본 논문에서는 결함을 검출하기 위하여 아래의 변수를 적용하여 시험요구서를 작성한다.

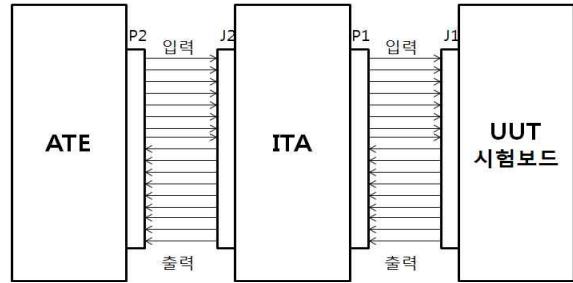


그림 7. 시스템 연결도
Fig 7. System Connection

1) ASIC 제어를 위한 시험요구 항목

- 시험 대상품의 입출력 구분
- 시험 대상품의 신호명
- 핀 번호
- 채널카드 번호 및 Value

2) 채널카드 데이터 제어를 위한 시험 요구항목

- 시험 대상품의 입출력 구분
- 시험 대상품의 신호명
- 신호별 어드레스 및 데이터

2-4 ITA 제작

ITA는 그림 7에서 보는바와 같이 시험대상품을 ATE에서 시험이 가능하도록 전기적으로 중간에서 상호 연결해주는 장치이다[11][12]. 본 논문에서는 시험의 편의성을 위하여 입력 핀과 출력 핀을 구분하여 설계했다.

2-5 Dynamic Pattern 신호구현

시험대상품의 ASIC은 Dynamic Pattern 신호에 따라 데이터가 제어되고 제어된 신호는 각 신호에 할당된 채널카드에 따라 개발자에 의해 설정된다.

Dynamic Pattern 신호에 따른 동작을 살펴보면, ATE의 ISYSCRASH 신호는 그림 8과 같이 ATE에서 ITA를 통하여 시험대상품의 ISYSCRASH 신호를 제어하게 된다. ASIC은 신호대기상태(ready)에서 활성화(active)되기 위해서는 ISYSCRASH 신호가 Falling Edge일 때 High에서 Low로 변환되어야 한다. 이때 ISYSCRASH 신호에 의해서 시험대상품의 Memory Data가 출력된다.

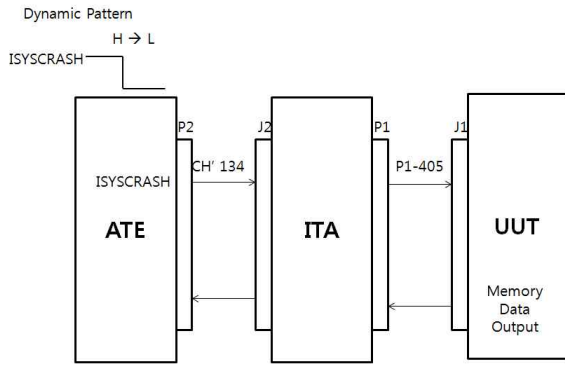


그림 8. Dynamic Pattern에 따른 동작 개요
Fig 8. The Concept's Operation by Dynamic Pattern

표 1. 기준신호 시험요구항목

Table. 1. Item reference signal test requirements

순서	Unit Under Test			set up	
	구분	Signal Name	Pin No	DTI CH'	Value
1	입력	MEMREQ	P1-507	192	H
2	입력	ISYSCRASH	P1-405	134	H -> L
3	입력	DMAAD_16	P1-437	165	L
4	입력	DMAAD_15	P1-438	166	L

표 1에서 보는바와 같이 시험대상품의 MEMREQ 신호를 제어하기 위해서는 시험대상품 입력 핀 번호 (Pin No)인 P1-507과 ATE의 채널(DTI CH) 192번을 통하여 Dynamic Pattern신호를 부가하게 된다. ISYSCRASH 신호는 시험대상품 입력 핀 번호(Pin No)인 P1-405와 ATE의 채널(DTI CH) 134번을 통하여 초기 신호 High를 유지하다가 Low로 변환시켜 결과를 얻을 수 있다.

III. 실험 및 검증

3-1 고장 진단 방법

시험대상품을 ITA에 장착하고 제어신호를 인가하여 패턴에 따라 흐르는 데이터가 이상이 없을 경우 PASS, FAIL 이면 이상신호를 발생하여 사용자에게 결함이 발견되었음을 알려주어 고장진단이 가능하다.

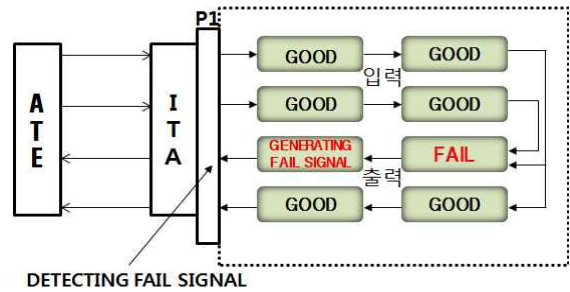


그림 9. 결함신호 탐지 방법
Fig 9. Fault signal detecting method

ASIC 소자의 불량을 탐지하기 위한 절차는 그림 9에서 보는바와 같이 시험대상품의 각 모듈별 시험을 순차적으로 진행하여 시험항목을 운용자가 선택하고 선별적으로 시험하였다.

3-2 시험 결과

그림 10은 시험 프로그램에서 코딩한 데이터 신호를 인가한 후에 응답한 데이터를 비교한 결과이다.

위에서 보는 바와 같이 정상인 경우에는 데이터 전송이 이상 없었음을 확인할 수 있었다.

LowLimit	HighLimit	Value	Unit	Result	TestItem
0x0000	-	0x0000	PATTEFN	PASS	0x0000 Address Test
0x0001	-	0x0001	PATTEFN	PASS	0x0001 Address Test
0x0002	-	0x0002	PATTEFN	PASS	0x0002 Address Test
0x0004	-	0x0004	PATTEFN	PASS	0x0004 Address Test
0x0006	-	0x0006	PATTEFN	PASS	0x0006 Address Test
0x0010	-	0x0010	PATTEFN	PASS	0x0010 Address Test
0x0020	-	0x0020	PATTEFN	PASS	0x0020 Address Test
0x0040	-	0x0040	PATTEFN	PASS	0x0040 Address Test
0x0080	-	0x0080	PATTEFN	PASS	0x0080 Address Test
0x0100	-	0x0100	PATTEFN	PASS	0x0100 Address Test
0x0200	-	0x0200	PATTEFN	PASS	0x0200 Address Test
0x0400	-	0x0400	PATTEFN	PASS	0x0400 Address Test
0x0800	-	0x0800	PATTEFN	PASS	0x0800 Address Test
0x1000	-	0x1000	PATTEFN	PASS	0x1000 Address Test
0x2000	-	0x2000	PATTEFN	PASS	0x2000 Address Test
0x4000	-	0x4000	PATTEFN	PASS	0x4000 Address Test
0x8000	-	0x8000	PATTEFN	PASS	0x7FFF Address Test

LowLimit	HighLimit	Value	Unit	Result	TestItem
0x1000	-	0x1000	PATTEFN	PASS	0x0000 Address Test
0x1001	-	0x1001	PATTEFN	PASS	0x0001 Address Test
0x1002	-	0x1002	PATTEFN	PASS	0x0002 Address Test
0x1004	-	0x1004	PATTEFN	PASS	0x0004 Address Test
0x1006	-	0x1006	PATTEFN	PASS	0x0006 Address Test
0x1010	-	0x1010	PATTEFN	PASS	0x0010 Address Test
0x1020	-	0x1020	PATTEFN	PASS	0x0020 Address Test
0x1040	-	0x1040	PATTEFN	PASS	0x0040 Address Test
0x1080	-	0x1080	PATTEFN	PASS	0x0080 Address Test
0x1100	-	0x1100	PATTEFN	PASS	0x0100 Address Test
0x1200	-	0x1200	PATTEFN	PASS	0x0200 Address Test

그림 10. 정상 시험 결과
Fig 10. Normal Test Results

LowLimit	HighLimit	Value	Unit	Result	TestItem
● Lower Bank0 Test					
0x0000	-	0x0000	PATTERN	PASS	0x0000 Address Test
0x0001	-	0x0001	PATTERN	PASS	0x0001 Address Test
0x0002	-	0x0002	PATTERN	PASS	0x0002 Address Test
0x0004	-	0x0004	PATTERN	PASS	0x0004 Address Test
0x0008	-	0x0008	PATTERN	PASS	0x0008 Address Test
0x0010	-	0x0010	PATTERN	PASS	0x0010 Address Test
0x0020	-	0x0020	PATTERN	PASS	0x0020 Address Test
0x0040	-	0x0040	PATTERN	PASS	0x0040 Address Test
0x0080	-	0x0080	PATTERN	PASS	0x0080 Address Test
0x0100	-	0x0100	PATTERN	PASS	0x0100 Address Test
0x0200	-	0x0200	PATTERN	PASS	0x0200 Address Test
0x0400	-	0x0400	PATTERN	PASS	0x0400 Address Test
0x0800	-	0x0800	PATTERN	PASS	0x0800 Address Test
0x1000	-	0x1000	PATTERN	PASS	0x1000 Address Test
0x2000	-	0x2000	PATTERN	PASS	0x2000 Address Test
0x4000	-	0x4000	PATTERN	PASS	0x4000 Address Test
0x8000	-	0x8000	PATTERN	PASS	0x8000 Address Test
● Upper Bank1 Test					
0x1000	-	0x9000	PATTERN	+FAIL	0x0000 Address Test
0x1001	-	0x9000	PATTERN	+FAIL	0x0001 Address Test
0x1002	-	0x9000	PATTERN	+FAIL	0x0002 Address Test
0x1004	-	0x9000	PATTERN	+FAIL	0x0004 Address Test
0x1008	-	0x9000	PATTERN	+FAIL	0x0008 Address Test
0x1010	-	0x9000	PATTERN	+FAIL	0x0010 Address Test
0x1020	-	0x9000	PATTERN	+FAIL	0x0020 Address Test
0x1040	-	0x9000	PATTERN	+FAIL	0x0040 Address Test
0x1080	-	0x9000	PATTERN	+FAIL	0x0080 Address Test
0x1100	-	0x9000	PATTERN	+FAIL	0x0100 Address Test
0x1200	-	0x9000	PATTERN	+FAIL	0x0200 Address Test
0x1400	-	0x9000	PATTERN	+FAIL	0x0400 Address Test

그림 11. 결함 시현 화면
Fig 11. Display Fault Indicating

그림 11은 실제 결함이 있는 시험보드에 신호를 인가하여 응답하는 데이터를 확인한 결과이다. 17개의 어드레스별 데이터를 비교한 결과 16개의 어드레스에서 결함이 발생한 것을 확인할 수 있었다. 시험 결과에 따라 시현되는 결함은 사용자가 추적하여 결함유발 소자를 확인해야 한다.

그림 12는 실제 결함이 있는 시험대상품의 신호를 기준으로 회로를 추적하여 확인한 결과 메모리에서 발생하는 어드레스별 데이터(메모리2 출력신호)는 정상적으로 출력되었으나, Output Driver Buffer를 작동시키는 Enable SIG' 신호가 정상적으로 발생하지 않아 결함이 유발되고 있음을 유추할 수 있다. 이때 로직애널라이저를 사용하여 결함 유발이 예상되는 소자의 핀을 직접적으로 프로빙하여 결함 부위를 확인할 수 있다.

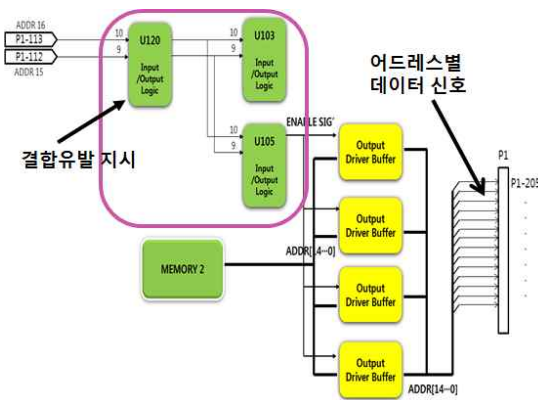


그림 12. 결함 시현 화면
Fig 12. Display Fault Indicating

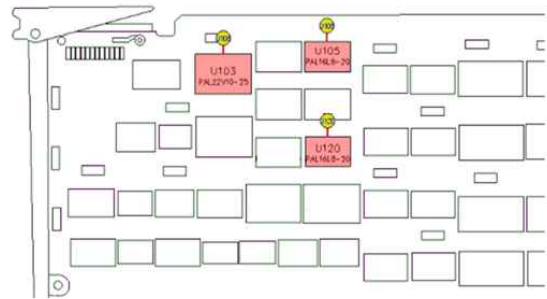


그림 13. 결함 소자 위치 표시
Fig 13. Display the Position of Fault Chip



그림 14. 결함신호 Timing Diagram
Fig 14. Fault Signal Timing Diagram

그림 13은 그림 12에서 시험대상품의 신호를 기준으로 회로를 추적하여 예측한 결함 유발 부분을 나타낸 것이다. 그림 13의 U105의 9, 10번 핀에 로직애널라이저를 사용하여 신호를 확인한 결과 그림 14와 같이 DMAAD 15에서 Low 신호가 출력되어야 하나 비정상 신호가 출력되고 있음을 확인할 수 있었다. DMAAD 15의 비정상적 신호로 인하여 Output Driver Buffer를 작동시키는 Enable SIG' 신호가 정상적으로 발생하지 않았음을 Timing Diagram을 확인하여 결함 검출이 가능하였다. 결함을 유발시키는 소자를 정확하게 확인하기 위해서는 ASIC 소자의 입력과 출력 핀에 직접적인 프로빙 방식을 통해 결함을 식별해야 하는 2차적인 어려움이 있었다.

IV. 결 론

ASIC의 결함을 검출하기 위해서는 칩 외부에서 시험 패턴을 인가하고 응답신호를 예측치와 비교하는 전통적인 방법인 BIST(Built In Self Test) 기법을 회로내에 설계하여 결함을 탐지할 수 있으나, 개발단

계에서 많은 비용이 소요된다. 또한 BIST가 내장되어 있지 않은 ASIC은 LASAR 프로그램을 이용하여 고장진단이 가능하지만 가격이 고가이며 개발기간이 장기간 소요되고 시험요구서가 없으면 개발이 불가능하다.

본 논문에서는 이러한 ASIC을 대상으로 ASIC 내부의 로직 데이터를 범용 프로그램을 이용하여 JEDEC file을 추출하였고, 추출된 데이터를 기반으로 회로도 추출 및 VHDL 언어를 이용하여 로직 시뮬레이션이 가능하였다. 분석한 자료를 기반으로 시험 및 계측용 하드웨어를 제어하는 시험프로그램을 개발하였고 ATE에 적용하여 결함탐구를 가능하게 구현하였다.

시험 대상품과 자동시험장비(ATE)의 인터페이스를 위하여 ITA(Interface Test Adapter)를 제작하였으며 추출된 ASIC의 내부로직을 분석하는 일련의 과정을 통해 시험요구서를 개발하였다. 결과적으로 ASIC의 내부 데이터를 분석하고 시험에 적용하여 주변회로와의 연결성을 분석하는 과정에서 고장진단이 가능하다는 것을 확인하였다. 또한, 기존의 LASAR를 이용하지 않고 Dynamic Pattern을 이용하여 ASIC 회로보드에 대한 게이트 레벨에서의 입출력 핀 신호 제어를 통해 고장진단이 가능하였다.

그러나 이러한 알고리즘이 특정 ASIC에 적용이 되었고 보다 집적화 되고 기능화 된 내부 로직을 추출할 수 없는 ASIC은 분석이 불가능하여 본 논문에서 제시한 방법의 적용을 위해서는 더 많은 연구와 노력이 필요한 것이 사실이다. 따라서 이러한 소자들의 시험을 위해서는 더 많은 연구를 통해 발전해 나가야 할 과제로 남아있다.

감사의 글

본 논문은 LIG넥스원(주) 대학 협력 연구 지원 사업(Y11-014) ‘실용형 민수무인항공기 운용체계 및 정보전송시스템 연구’으로 수행된 연구임. 이에 감사드립니다.

Reference

- [1] Ian Moir, Allan Seabridge. "Aircraft Systems, Mechanical, electrical, and avionics subsystems integration". *Third Edition. John Wiley & Sons, Ltd.* 2008.
- [2] W.J. Kim, H. B. Jeong, "Automotive Electronic Systems/Semi-conductor industry and technology trends", *National IT Industry Promotion Agency*, 2012.
- [3] Younjin Jung, Byungyup Lee, Kwangki Ryoo, "A Design of Multimedia Application SoC based with Processor using BTB", *Fall 2009 KIMICS Integrated conference*, pp. 397-400, 2009.
- [4] Sunchuk Kim, Kwangki Ryoo, "ASIC Design of OpenRISC-based Multimedia SoC Platform" *Fall 2008, KIMICS Integrated conference*, pp. 281-284, 2008.
- [5] Jaihyo Park, Jankyung Kim, "Implementation of ATE to Maintain Pre-Amplifier of Thermal Imaging System", *IEEK-SC Vol.49-SC No.1*, pp.80-87, 2012.
- [6] Unhee Hwang, Youngho Yoon, Kiyong Ku, Soon Woo, Jongjoo Keun, "The Study on Improvement of ATE Reliability in Production Phase", *IEEK-SC, Vol.47-SC No.6*, pp.19-26, 2010.
- [7] Jong-ku Jung, "Implementation of the Fault Detecting System by the Extracting the ROM's Data", *Thesis of Master Degree*, 2012.
- [8] Teradyne. Inc., M9-Series Digital Test Instrument Manual, 2012.
- [9] http://en.wikipedia.org/wiki/JEDEC_memory_standards
- [10] MIL-STD-1345B, "Test Requirement Document". 1981
- [11] DoD Automatic Test Systems Architecture Guide, 1999.

심 우 제 (Shim, Woo-Che)



2013년 8월 : 한서대학교 항공전자공학과 (공학석사)

1992년 10월 ~ 2006년 12월 : 공군 항공기 통신 및 항법계통 정비 담당

2007년 1월 ~ 현재 : 공군 86항공 전자정비창 통신항법계통 창정비 개발 담당

관심분야 : 항공전자(Avionics), ATS(Automatic Test System)

정 해 성 (Jung, Hae-Sung)



2006년 2월 : 원광디지털대학교 게임 제작학과(학사)
1997년 2월 ~ 2004년 9월 : (주) 테크메이트 기술연구소 연구원
2004년 10월 ~ 현재 : (주)HKC 기술연구소 책임연구원
관심분야 : 항공전자(Avionics), ATE 제어계측, SI(System Integration)

안 동 만 (Ahn, Dong-Man)



2005년 ~ 2008년 5월 : 국방과학연구소 소장
2008년 5월 ~ 현재 : 한서대학교 항공전자공학과 교수
관심분야 : 항공기 체계개발, 항공기 계측, 무인기 개발

강 창 훈 (Kang, Chang-Hun)



2002년 2월 : 동명정보대학교 로봇시스템학과(공학사)
2004년 2월 : 동명대학교 메카트로닉스공학과(공학석사)
2005년 11월 ~ 현재 : (주)HKC 기술연구소 선임연구원
관심분야 : 로봇공학, 자율이동로봇, 영상처리, ATS

홍 승 범 (Hong, Seung-Beom)



2003년 8월 : 한국항공대학교 항공통신정보공학과(공학박사)
2004년 2월 ~ 현재 : 한서대학교 항공전자공학과 교수
관심분야 : 항공전자(Avionics), 컴퓨터 비전, 항공시뮬레이터

지 민 석 (Jie, Min-Seok)



2006년 8월 : 한국항공대학교 항공전자공학과(공학박사)
2007년 ~ 2008년 : 한국과학기술연구원 지능로봇연구센터 Post Doc.
2008년 3월 ~ 현재 : 한서대학교 항공전자공학과 조교수
관심분야 : 강인제어, 로봇 비전, 무인항공기

홍 교 영 (Hong, Gyo-Young)



1993년 3월 ~ 2001년 : 대한항공 한국항공기술연구소 선임연구원
2001년 9월 ~ 현재 : 한서대학교 항공전자공학과 교수
관심분야 : 비행시험, 항공통신, 항공기 시스템