

논문 2013-50-11-26

# 3차원 낸드 플래쉬에서 타원형 GAA SONOS 셀의 프로그램과 삭제 특성 연구

( Study of Program and Erase Characteristics for the Elliptic GAA  
SONOS Cell in 3D NAND Flash Memory )

최 득 성\*, 이 승 희\*, 박 성 계\*\*

( Deuk-Sung Choi<sup>Ⓢ</sup>, Seung-Heui Lee, and Sung-Kye Park )

## 요 약

본 논문은 소노스(SONOS) 형태의 타원형 게이트 올 어라운드(GAA) 구조를 갖는 플래쉬 셀의 프로그램과 삭제 특성을 채널의 이심률 변화에 대해 연구 하였다. 타원형 GAA SONOS 셀의 쓰기와 삭제에 대한 해석적 모델을 제안하고 평가하였다. 점진적 계단형 펄스 프로그램(ISPP)시 타원의 이심률이 증가할수록 인가 전압에 대해 문턱전압이 비선형적으로 변화한다. 이는 2차원 소노스 구조나 원형 3차원 GAA 구조에서 선형적 특성을 보이는 것과는 매우 다른 모습이다. ISPP 특성에 대한 모사의 결과는 실험적 결과와 잘 부합됨을 발견할 수 있다.

## Abstract

Program and erase characteristics of the elliptic gate all around (e-GAA) SONOS cell have been studied as the variation of eccentricity of the channel. An analytic program and erase model for the elliptic GAA SONOS cell is proposed and evaluated. The model shows that the ISPP (incremental-step-pulse programming) property is changed non-linearly as the eccentricity of the e-GAA SONOS cell is increased. It is differently from the well known linear relationship for that of 2D SONOS and even 3D circular SONOS cell with program bias. We can find that the simulation results of ISPP characteristics are in accord with the experimental data.

**Keywords :** SONOS, Gate All Around (GAA), Elliptic, Program, Erase, Simulation, Electric Field, Threshold Voltage, Incremental Step Pulse Program

## I. 서 론

낸드 플래쉬 메모리 시장의 급속한 성장과 더불어 고 집적화 기술 개발이 가속화 되고 있다. 추가적으로 동작 속도 향상에 대한 시장의 요구가 이어지고 있다. 고

속 동작은 전력 소비량을 증가시켜야 하나 이는 소자의 온도를 증가시키는 부작용이 있어 이를 해결하기 위해 동작 전압을 감소 시켜야 한다. 시장에서 요구하는 제품을 개발하기 위해서 그동안 2차원 평판(Planar) 낸드 플래쉬 기술을 채용하였다. 소자 기술과 공정 제조 기술을 발전시키며 스케일 다운(Scale Down)을 지속하였고 성공적인 기술 노드(Node)를 이루어 내었다. 대표적인 기술적 난제로 문턱전압의 소자 설계 요구 조건을 저해하는 요소들이 있는데, 예를 들면 셀과 셀 사이의 간섭 효과에<sup>[1-2]</sup> 의한 문턱 전압 상승 문제와 잠음 효과에<sup>[3-6]</sup> 의한 문턱 전압의 산포가 넓어지는 문제가 있

\* 정희원, 영남이공대학교 전자정보계열  
(Dept. of Electronic & Information Engineering,  
YNC)

\*\* 정희원, SK하이닉스(주) 메모리연구소  
(Memory R&D Divison, SK Hynix)

Ⓢ Corresponding Author(E-mail:jippsy@ync.ac.kr)

접수일자 : 2013년8월28일, 수정완료일 : 2013년10월31일

다. 이러한 문제들을 억제하기 위한 방안으로 많은 연구들이 진행되어 왔는데 플로팅 게이트의 물리적 높이를 줄이거나 게이트를 둘러싼 절연체로 매우 낮은 유전상수를 갖는 물질을 사용하여<sup>[7]</sup> 셀과 셀 사이의 간섭 문제를 해결하기도 하고, 적절한 설계 아키텍처와 프로그램 순서를 채택함으로써<sup>[8]</sup> 잡음 문제를 해결하기도 한다. 추가적으로 신뢰성 주제도 심도 있게 고려해야 할 사항이다. 삭제와 쓰기 반복 스트레스 (Erase/Write Cycling) 테스트를 진행하면 문턱 전압의 분포 특성이 넓어지는 방향으로 열려진다. 일반적으로 멀티 레벨 낸드 플래쉬에 삭제/쓰기 반복과 열적 스트레스 (Thermal Stressing)를 인가하면 셀의 문턱 전압 분포는 초기 설계 보다 넓어져 각 레벨별 구분되어야 할 특성이 사라지게 되어 오동작을<sup>[9~11]</sup> 일으킬 수 있다. SONOS<sup>[12, 13]</sup> (Polysilicon-Oxide-Nitride-Oxide-Silicon)와 MANOS<sup>[14~15]</sup> (Metal Gate-Al<sub>2</sub>O<sub>3</sub>-SiN<sub>x</sub>-Oxide-Silicon) 구조가 하나의 대안으로 연구가 실행되었는데, 박막 핀홀(pinhole) 특성의 개선, 낮은 전압과 전력 소비 특성, 그리고 표준 CMOS 공정기술 채택이 가능하여 신뢰성 있는 보유 특성(Retention Characteristics)을 구현할 수 있다는 장점이 있다.

그러나 10nm 기술 노드로 스케일 다운시 2차원 평판 낸드 플래쉬 기술은 사진 작업(Photo lithography)과 전기적 정전 또는 간섭 효과에 기인한 근본적인 문제점에 직면하게 된다. 이러한 문제 해결을 위해 제시된 방법이 3차원 구조를<sup>[16~21]</sup> 갖는 낸드 플래쉬 제조 기술이다. 연구되어진 3차원 낸드 플래쉬 구조는 수직 채널 (Vertical Channel) 구조와 수직 게이트(Vertical Gate) 구조로 나누어지는데 설계 룰(Design Rule)의 확장성 증대, 셀의 전류 특성 향상 및 subthreshold swing의 개선을 가져온다. 추가적으로 셀과 셀사이의 정전 효과 감소로 데이터 보유 특성도 크게 개선된다.

본 논문에서는 수직 채널 구조와 Gate All Around (GAA) 구조를 채택한 낸드 플래쉬에 대해 연구하였다. GAA 구조는 셀의 종횡비가 공정 조건에 따라 차이가 날 수 있으므로 타원형(e-) 채널이 형성될 수 있다. 본 논문은 타원형 GAA 구조에 SONOS를 채택한 셀의 프로그램(program) 및 삭제(erase) 모델을 제안하고, 타원형 GAA 구조에서 이심률 변화에 따른 3D SONOS 셀의 프로그램과 삭제 특성에 미치는 영향을 파악하고 이를 실측된 셀의 특성으로부터 검증하고자 한다. 또한

타원형 GAA 구조가 셀 문턱전압의 분포와 disturb 특성에 주는 영향을 논의하고자 한다.

## II. 타원형 GAA SONOS cell 구조 모사

그림 1은 3D 원형 및 타원형 GAA SONOS 셀 단면을 개략적으로 나타낸 것으로, 이심률의 효과를 모델링하기 위해서 수직 방향(z)은 무한한 것으로 가정했다. 장축(a)과 단축(b)이 같은 원형 GAA 구조에서 터널링(Tunneling) 산화막(Tox)이나 블러킹(Blocking) 산화막(Box)를 통해 주입되는 전류(J)가 질화막(Nitride) 내에 트래핑(Trapping) 되는 것을 원형좌표계에서 나타내면 식 (1)과 같다.

$$\Delta \cdot \vec{J} = \frac{1}{\rho} \frac{d}{d\rho} (\rho J(\rho)) = -\alpha(\rho) (N_{T0}(\rho, \phi_T) - N_T(\rho, \phi_T)) J(\rho) \tag{1}$$

여기서 빈 트랩의 밀도(N<sub>T</sub>)는 반지름이 ρ인 원주를 따라 주입되는 식 (1)의 전류(J)와 질화막에서 Poole-Frenkel [PF] emission에 의해 방출되는 전류량에 의해 식 (2)와 같이 표현된다.

$$\frac{dN_T(\rho, \phi_T)}{dt} = -\frac{1}{q} \Delta \cdot \vec{J} - v \exp\left(-\frac{1}{kT} \cdot \left(\phi_T(\rho) - \sqrt{\frac{qE(\rho)}{\pi\epsilon_N}}\right)\right) N_T(\rho, \phi_T) \tag{2}$$

또한 원주를 따라 주입되는 전류와 질화막에서 방출되는 전하량은 ONO 내부의 전기장에 의해서 결정되며 이는 식 (3)으로 나타낼 수 있다.

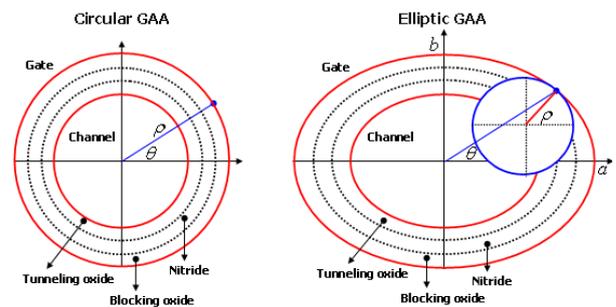


그림 1. 원형 GAA SONOS와 타원형 GAA SONOS 셀 단면 구조.

Fig. 1. Schematic of transversal section both of Circular GAA SONOS and Elliptic GAA SONOS Structure.

$$\Delta \cdot \vec{E} = \frac{1}{\rho} \left( \frac{d}{d\rho} \rho E(\rho) \right) = \frac{q}{\epsilon(\rho)} N_T(\rho) \quad (3)$$

식 (1)~(3)에서 나타낸 것과 같이 원형 GAA SONOS 셀의 ONO에 걸리는 전기장이 반지름  $\rho$ 에만 의존하는데 반해 타원형 GAA는 편각  $\theta$ 에 따라 곡률이 변하고 이로 인해 원주에 따라 전기장이 불균일해진다. 그림 1과 같이 타원형 GAA 구조에서 편각에 따른 원주에서의 곡률( $\rho$ )은 식 (4)로 표시될 수 있다.

$$\rho(\theta) = \frac{(a^2 \sin^2 \theta + b^2 \cos^2 \theta)^{\frac{3}{2}}}{ab} \quad (4)$$

이는 원형 GAA 구조의 반지름  $\rho$ 로 표현된 식 (1)~(3)에 그대로 적용될 수 있다. 따라서 타원형 GAA 구조에서 프로그램(program), 삭제(erase)에 따른  $V_T$  변화의 최종적으로 식 (5)와 같이 표현 할 수 있다.

$$\Delta V_{\text{tipic}} = \frac{\int \Delta V_{\text{tipic}}(\theta) \sqrt{a^2 \sin^2 \theta + b^2 \cos^2 \theta} d\theta}{\int \sqrt{a^2 \sin^2 \theta + b^2 \cos^2 \theta} d\theta} \quad (5)$$

### III. 모사 결과 및 토의

#### 1. 타원형 GAA SONOS 셀의 전계 특성

그림 2는 원형 SONOS 셀에서 질화막내에 트랩된 전하가 없을 경우, 프로그램/삭제 조건에서 곡률 반경의 변화에 따른 터널링(Tunneling) 산화막(Tox)과 블러킹(Blocking) 산화막(Box)의 전기장을 나타낸 것이다. 평판형 SONOS가 Tox와 Box에서의 전기장이 동일한

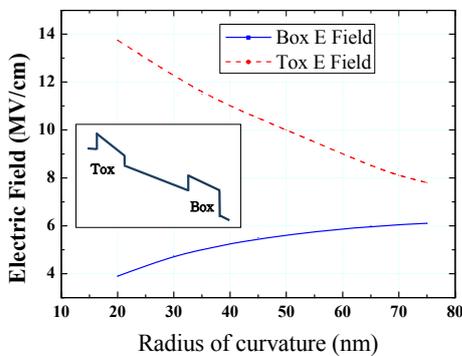
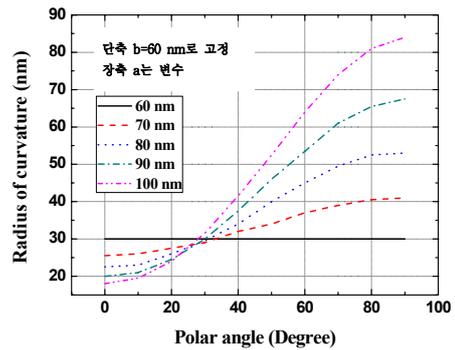
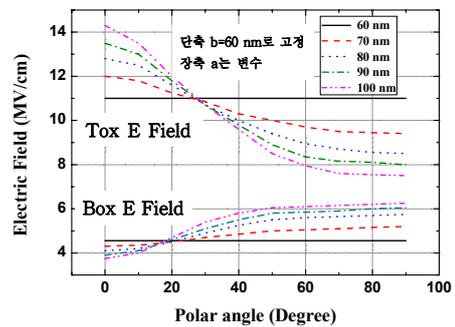


그림 2. 평판 GAA SONOS의 곡률반경에 따른 전기장  
Fig. 2. Radius of curvature vs Electric field in the planar GAA SONOS.

것에 비해 타원형 GAA 구조에서는 채널의 반지름이 감소함에 따라 Tox에서의 전기장은 증가하는 반면 Box에서의 전기장은 감소하게 되어 전계 강화(field enhancement)가 발생한다<sup>[22]</sup>. 이러한 양상의 결과로 GAA SONOS 구조는 평판형 SONOS 구조에 비해 다음과 같은 장점을 가진다. FN 프로그램 동작시, 트래핑 질화막 내의 전자의 터널링이 터널 산화막의 전계 강화 효과로 인해 쉽게 일어나고, 삭제 동작시, 채널로부터 정공의 질화막내로의 터널링과 질화막내 트랩된 전자의 채널로의 터널링이 증진되는 효과가 있다. 전계 강화 효과는 곡률 반경, 즉 원형 GAA 구조의 채널 반지름이 작아짐에 따라 급격하게 더 커짐을 알 수 있다. 추가적으로 GAA SONOS 셀은 반지름이 작아질수록 평판형 SONOS 셀에 비해 Box에서의 전계가 감소하여 Box로 주입되는 Back 터널링(tunneling)이 줄어들고 결과적으로



(a)



(b)

그림 3. 타원형 GAA SONOS 셀에서 여러 가지 장·단축 길이 조합에 대해 편각 변화에 따른 (a) 곡률 반경 (b) 전기장

Fig. 3. The simulation results for varying the polar angle with the various lengths of short and long axis. (a) Radius of curvature (b) Electric Field

로 프로그램 삭제(program erase) window가 넓어지게 된다<sup>[23]</sup>.

그림 3(a)은 단축 길이(b)를 60nm로 고정하고 장축 길이(a)를 60nm에서 100nm까지 변화시키면서 타원형 GAA SONOS 셀의 원주에서 곡률 반경(radius of curvature)을 편각(polar angle)에 따라 나타낸 것이다. 편각이 작은 경우는 장축방향이고, 큰 경우는 단축방향이다. Tox나 Box의 곡률 반경은 장축 방향에서는 같은 지름의 원형보다 더 작고 단축 방향으로 갈수록 점차 커지게 된다. 특이한 점은 장축이 길어짐에 따라 곡률의 편차가 더 커져  $a/b=1.5(a=90nm, b=60nm)$ 인 경우 곡률 반경의 최소값과 최대값 차이는 3배를 넘고  $a/b=1.17(a=70nm, b=60nm)$ 인 거의 원형에 가까운 경우에도 타원 내에서 곡률 반경의 최대값과 최소값 변동폭은 대략 50%에 이른다. 곡률 반경의 변화는 타원형을 따라 전계가 일정하지 않음을 의미하고 이는 타원형 GAA SONOS 셀 구조의 동작에 악영향을 미친다.

그림 3(b)는 장·단축 길이를 같은 조건에서 변화시키면서 편각에 따른 터널 산화막(Tox)와 블러킹 산화막(Box)에서의 전계 변화를 모사한 결과이다. 편각에 따른 터널 산화막에서의 전계 변화를 살펴보면, 편각이 커질수록 원형 GAA SONOS 셀에 비해 타원형 GAA SONOS 구조에서의 전계 값이 작아짐을 발견 할 수 있다. 반면에 작은 편각의 영역에서는 반대로 급격히 커짐을 알 수 있다. 즉 편각이 작은 영역에서의 터널링 효과가 극대화 된다. 이러한 변화는 장·단축 비가 커짐에 따라 증폭된다. 반면에 그림 3(b)의 하단 블러킹 산화막에서의 전계변화는 반대의 경향을 보인다. 편각이 클수록 원형 GAA SONOS에 비해 타원형 GAA SONOS 구조에서의 전계 값이 커지고, 작을수록 작아지는 경향이 있다. 장·단축 비가 증가하면 이 현상은 역시 증폭된다.

그림 4는 타원형 GAA SONOS 구조에서 전자와 홀의 질화막내로의 주입 및 전기장 분포를 도식화 한 것이다. 프로그램 동작시, 그림에서 관찰 할 수 있듯이 국부적인 전계 강화 효과로 인해 장축 방향에서 전자의 주입이 질화막내로 이루어져서 프로그램이 먼저 실행되고, 동시에 산화막내의 전계 효과가 적은 단축 방향에서는 블러킹 산화막의 전계 강화로 인해 Back 터널링(tunneling)이 먼저 유발될 수 있다. 즉 타원을 따라 전하의 터널링 되는 메카니즘 두 개가 동시에 발생됨을

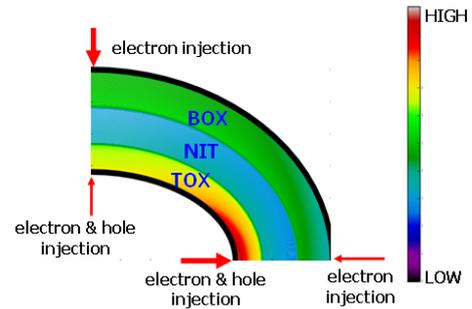


그림 4. 타원형 GAA SONOS 셀에서 ONO 전기장 분포와 전하 주입 경로

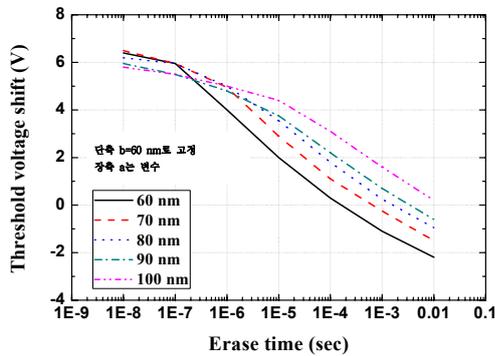
Fig. 4. The distribution of electric field and the path of charge injection in elliptical GAA SONOS cell.

의미한다. 결과적으로 실제 동작 환경에서 셀 내에서의 국부적인 전압 차이는 질화막 내의 전하이동을 고려하면, 프로그램/삭제 cycling에 따른 동작 window 감소와 같은 심각한 신뢰성 문제를 유발할 가능성이 농후하다.

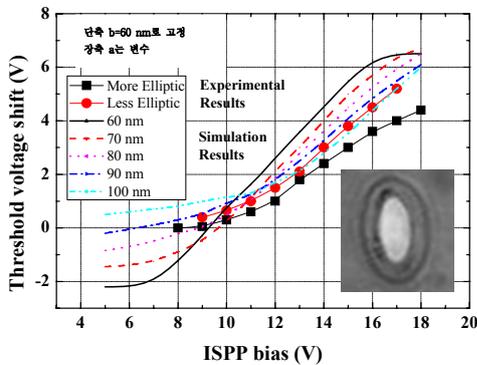
## 2. 타원형 GAA SONOS 셀의 동작 특성

그림 5(a)는 타원형 GAA SONOS 셀의 모델을 이용하여 삭제 특성을 평가한 결과이다. 모사의 일관성을 부여하기 위해 앞선 모사 조건과 동일하게 단축 길이(b)를 60nm로 고정하고 장축 길이(a)를 60nm에서 100nm까지 변화시켰다. 결과를 살펴보면, 동일한 삭제 전압에서 타원형 GAA SONOS 채널의 이심률, 즉 장·단축 비율이 증가할수록 문턱 전압의 강하 특성이 저하되는 특성을 보인다. 이는 동일한 전압에서 삭제 속도가 감소하고 플래쉬 메모리의 특성을 저하시킴을 의미한다.

타원형 GAA SONOS 구조에 따른 동작 특성의 변화는 복잡한 메카니즘을 보이는 삭제 특성보다 단순한 프로그램 동작에서 좀 더 쉽게 관찰 할 수 있다. 그림 5(b)는 Incremental Step Pulse Programming(ISPP) 전압에 따른 문턱 전압 변화인 쓰기 특성을 도식화 한 것이다. 모사는 그림 5(a)와 같은 장·단축 비율에 대해 행하였고, 상대적 비교를 위해 실험 결과 값을 포함하였다. 그림 5(b)에 삽입된 사진은 실제 제작된 GAA SONOS 셀을 위에서 본 모습이다. 낸드 플래쉬 동작에서 셀의 분포 특성과 disturb margin을 결정하는 ISPP 효율은 전하를 무제한 저장하는 플로팅 게이트(floating gate) 구조는 100%, SONOS 형태의 질화막 메모리(nitride memory)에서는 약 80% 정도이다<sup>[14]</sup>. 그림



(a)



(b)

그림 5. 여러 가지 장·단축 길이 조합에 대해 하기 변수들의 변화에 따른 문턱전압 특성  
(a) 삭제 시간 (b) ISPP 전압

Fig. 5. The simulation and results of threshold voltage for varying the following variables with the various lengths of short and long axis.  
(a) Erase time (b) ISPP Time

5(b)와 같이 장·단축이 같은 원형 GAA SONOS 구조는 2차원 구조의 낸드 플래쉬와 동일하게 ISPP 전압에 대해 선형 특성을 보인다. 반면 타원형 GAA SONOS는 낮은 ISPP 전압에서 문턱전압 이동이 시작되고 ISPP 효율도 원형 GAA SONOS에 비해 낮아지며, 이심률이 커질수록 효율 저하가 심해진다. 이러한 ISPP의 비선형성 증가는 그림 5(a)의 타원형 GAA SONOS 구조의 삭제가 느린 것에서 비롯하여 동작 window 감소로 나타나고, disturb margin의 감소를 유발한다. 서로 다른 이심률을 갖는 두 개의 타원형 GAA SONOS 셀을 제작하여 실측된 ISPP 특성을 그림 5(b)에 삽입하였다. 이심률의 측정이 어려워 관측된 결과로 정성적 평가를 행하였다. 정확한 수치로 제안된 타원형 GAA SONOS 셀

의 모델과 실측결과를 평가할 수 없지만, 상대적으로 실측된 결과와 모델 간 비슷한 추세를 보이는 것을 관찰할 수 있고 모델의 유용함을 알 수 있다.

#### IV. 결론

본 연구에서는 수직 채널 구조와 Gate All Around (GAA) 구조를 채택한 타원형 3D SONOS 낸드 플래쉬에서 타원의 이심률 변화에 따른 셀의 프로그램(program) 및 삭제(erase) 모델을 제안하고 평가하였다. 타원의 이심률 변화에 따라 터널 산화막과 블러킹 산화막에서의 전계 값이 타원을 따라 변화하는 특성을 보인다. 그 결과 셀의 삭제 시에는 타원형 GAA SONOS 채널의 이심률이 증가할수록 문턱 전압의 강하 특성이 저하되어 동일한 전압에서 삭제 속도가 감소된다. 또한 셀의 프로그램 시에도 이심률 증가에 따라 ISPP 효율이 원형 GAA SONOS에 비해 낮아지며, 결과적으로 동작 window와 disturb margin의 감소를 유발한다. 실제 제작한 시료에서의 측정결과는 모사의 결과와 잘 상응하는 모습을 보인다.

#### REFERENCES

- [1] J.-D. Lee, S.-H. Hur and J.-D. Choi, "Effects of floating-gate interference on NAND Flash memory cell operation," IEEE Electron Device Lett., vol. 23, no. 5, pp. 264-266, May 2002.
- [2] M. Park, K. Kim, J.-H. Park and J.-H. Choi, "Direct field effect of neighboring cell transistor on cell-to-cell interference of NAND Flash cell arrays," IEEE Electron Device Lett., vol. 30, no. 2, pp. 174-177, Feb. 2009.
- [3] T. Hara, et al., "A 146-mm<sup>2</sup> 8-Gb multi-level NAND flash memory with 70-nm CMOS technology," J. Solid-State circuits, IEEE, Vol. 41, no 1, pp. 161-169. Jan. 2006.
- [4] H. Kurata, K. Otsuga, A. Kotabe, S. Kajiyama, T. Osabe, Y. Sasago, S. Narumi, K. Tokami, S. Kamohara, and O. Tsuchiya, "The impact of random telegraph signals on the scaling of multilevel Flash memories," in Proc. Symp. VLSI Circuits, pp. 112-113, 2006.
- [5] C. Monzio Compagnoni, R. Gusmeroli, A. S. Spinelli, A. L. Lacaita, M. Bonanomi, and A. Visconti, "Statistical model for random telegraph

- noise in Flash memories," IEEE Trans. Electron Devices, vol. 55, no. 1, pp. 388-395, Jan. 2008.
- [6] A. Ghetti, C. Monzio Compagnoni, A. S. Spinelli, and A. Visconti, "Comprehensive analysis of random telegraph noise instability and its scaling in deca-nanometer Flash memories," IEEE Trans. Electron Devices, vol. 56, no. 8, pp. 1746-1752, Aug. 2009.
- [7] K. N. Kim, "Technology for sub-50nm DRAM and NAND Flash Manufacturing," in Proceeding of IEDM Technical Digest 2005 (Washington, USA, December 5-7, 2005), pp. 323-326.
- [8] K.-T. Park, et al., "A zeroing cell-to-cell interference page architecture with temporary LSB storing and parallel MSB program scheme for MLC NAND flash Memories," J. Solid-State Circuits, IEEE, Vol. 43, no 4, pp. 919-928, Apr, 2008.
- [9] J.-D. Lee, J.-H. Choi, D.-G. Park and K.-N. Kim, "Effects of interface trap generation and annihilation on the data retention characteristics of flash memory cells," Trans. Electron Device, IEEE, Vol. 4, no 1, pp. 110-117, Mar, 2004.
- [10] D.-S. Choi and S.-K. Park "Mechanism of Threshold voltage widening in sub-30nm MLC NAND Flash cells after erase/write cycling," Journal of the Korean Physical Society, Vol. 59, No. 4, pp. 2821-2824, Oct. 2011.
- [11] D.-S. Choi, S.-U. Choi and S.-K. Park "Study of data retention characteristics with surrounding cell's state in a MLC NAND Flash Memory," Journal of the Institute of Electronics Engineers of Korea, Vol. 50, No. 4, pp. 999-1005, Apr. 2013.
- [12] C.-H. Lee, K.-I. Choi, M.-K. Cho, Y.-H. Song, K.-C. Park and K.-N. Kim, "A Novel SONOS Structure of SiO<sub>2</sub>/SiN/Al<sub>2</sub>O<sub>3</sub> with TaN metal gate for multi-giga bit flash memories," in Proceeding of IEDM Technical Digest 2003, pp. 26.5.1-26.5.4.
- [13] Y. Wang and M.-H. White, "An analytical retention model for SONOS nonvolatile memory devices in the excess electron state," Solid-State Electronics, Vol. 49, pp. 97-107, Jan. 2005.
- [14] E.-S. Choi, H.-S. Yoo, K.-H. Park, S.-J. Kim, J.-R. Ahn, M.-S. Lee, Y.-O. Hong, S.-G. Kim, J.-C. Om, M.-S. Joo, S.-H. Pyi, S.-S. Lee, S.-K. Lee, G.-H. Bae, "Modeling and Characterization of Program / Erasure Speed and Retention of TiN-gate MANOS (Si-Oxide-SiN<sub>x</sub>-Al<sub>2</sub>O<sub>3</sub>-Metal Gate) Cells for NAND Flash Memory," IEEE Non-volatile Semiconductor Memory Workshop, pp. 83-84, 2007.
- [15] E.-S. Choi, S.-J. Kim, S.-O. Seo, H.-S. Yoo, K.-H. Park, S.-W. Jung, S.-Y. Lim, H.-S. Joo, G.-J. Kim, S.-B. Lee, S.-H. Oh, J.-C. Om, J.-H. Yi, S.-K. Lee, "Chip Level Reliability of MANOS Cells under Operating Conditions," IEEE International Memory Workshop, pp. 92-93, 2009.
- [16] J.-D. Choi and K.-S. Seol, "3D approaches for non-volatile memory," VLSI Symp. Technical Digest, 2011, pp. 178-179
- [17] Y.-H. Hsiao, H.-T. Lue, T.-H. Hsu, K.-Y. Hsieh and C.-Y. Lu, "A critical examination of 3D stackable NAND Flash memory architectures by simulation study of the scaling capability," IEEE International Memory Workshop, pp. 1-4, 2010.
- [18] H. Tanaka, M. Kido, K. Yahashi, M. Oomura, R. Katsumata, M. Kito, Y. Fukuzumi, M. Sato, Y. Nagata, Y. Matsuoka, Y. Iwata, H. Aochi, and A. Nitayama, "Bit Cost Scalable Technology with Punch and Plug Process for Ultra High Density Flash Memory," VLSI Symp. Technical Digest, 2007, pp. 14-15
- [19] J.-H. Jang, H.-S. Kim, W.-S. Cho, H.-S. Cho, J.-H. Kim, S.-I. Shim, Y.-G. Jang, J.-H. Jeong, B.-K. Son, D.-W. Kim, et al., "Vertical cell array using TCAT(Terabit Cell Array Transistor) technology for ultra high density NAND flash memory," VLSI Symp. Technical Digest, 2009, pp. 192-193
- [20] J.-Y. Kim, A.-J. Hong, M.-K., Sung, Song, Emil B., J.-H. Park, J.-H. Han, S.-Y. Choi, D.-H. Jang, J. -T. Moon and K.-L. Wang, "Novel Vertical-Stacked-Array-Transistor (VSAT) for ultra-high-density and cost effective NAND Flash memory devices and SSD (Solid State Drive)," VLSI Symp. Technical Digest, 2009, pp. 186-187
- [21] H.-T. Lue, T.-H. Hsu, Y.-H. Hsiao, et al., "A highly scalable 8-layer 3D vertical-gate (VG) TFT NAND Flash using junction-free buried channel BE-SONOS device," VLSI Symp. Technical Digest, 2011, pp. 216-217
- [22] E. Nowak, A. Hubert, L. Perniola, et al., "In-depth analysis of 3D Silicon nanowire SONOS memory characteristics by TCAD simulation," International Memory Workshop, 2010, pp. 116-119

- [23] R. Katsumata, M. Kito, Y. Fukuzumi, M. Kido, et al., "Pipe-shaped BiCS flash memory with 16 stacked layers and multi-level-cell operation for ultra high density storage devices," VLSI Symp. Technical Digest, 2009, pp. 136-137

저 자 소 개



최 득 성(정회원)  
1985년 고려대학교 전자공학과  
학사.  
1987년 한국과학기술원  
전기전자공학과 석사.  
1995년 한국과학기술원  
전기전자공학과 박사.  
2002년~현재 영남이공대학교 전자정보계열 조교  
수  
<주관심분야 : 반도체 공정 및 소자>



이 승 희(정회원)  
1997년 창원대학교 제어계측공학과  
학사.  
1999년 창원대학교 전기전자제어  
공학과 석사.  
2004년 부산대학교 메카트로닉스  
과정 박사수료  
2012년~현재 영남이공대학교 전자정보계열 조교  
수  
<주관심분야 : 회로설계 및 제어공학>



박 성 계(정회원)  
1988년 경북대학교 전자공학과  
학사.  
1990년 한국과학기술원  
전기전자공학과 석사.  
1994년 한국과학기술원  
전기전자공학과 박사.  
1994년~현재 SK 하이닉스 반도체 연구소  
<주관심분야 : 반도체 공정 및 소자>