JKIICE Journal of the Korea Institute of Information and Communication Engineering

한국정보통신학회논문지(J. Korea Inst. Inf. Commun. Eng.) Vol. 17, No. 10 : 2409~2418, Oct. 2013

다중위상 지연고정루프 기반의 위상 선택기와 분수 분주형 위상고정루프를 이용하는 121.15 MHz 주파수 합성기

이승용 · 이필호 · 장영찬*

121.15MHz Frequency Synthesizers using Multi-phase DLL-based Phase Selector and Fractional-N PLL

Seung-Yong Lee · Pil-ho Lee · Young-chan Jang*

Department of Electronic Engineering, Kumoh National Institute of Technology, Gumi, Gyeongbuk 730-701, Korea

요 약

본 논문에서는 on-chip oscilloscope의 sub-sampler를 위한 클록을 생성하기 위한 두 가지 방식의 주파수 합성기를 제안한다. 제안하는 두 가지의 주파수 합성기는 지연고정루프 기반의 위상 선택기를 이용한 구조와 분수 분주형 위상고정루프를 이용하는 구조를 가지며 시뮬레이션 결과를 비교함으로써 각 구조의 특성이 분석된다. 제안된 두 회로 모두 1V 공급전압을 이용하는 65-nm CMOS 공정에서 설계되었으며, 125 MHz의 주파수를 가지는 입력 클록에 대해 121.15 MHz의 주파수를 가지는 출력 클록을 생성한다. 지연고정루프 기반의 위상 선택기를 이용한 주파수 합성기는 0.167 mm^2의 면적을 가지며 출력 클록은 2.88 ps의 지터 특성을 나타나며, 4.75 mW의 전력을 소모한다. 분수 분주형 위상고정루프를 이용한 주파수 합성기는 0.662 mm^2의 면적을 가지며 7.2 ps의 지터 특성을 나타내며, 1.16 mW의 전력을 소모한다.

ABSTRACT

Two frequency synthesizers are proposed to generate a clock for a sub-sampler of an on-chip oscilloscope in this paper. These proposed frequency synthesizers are designed by using a multi-phase delayed-locked loop (DLL)-based phase selector and a fractional-N phase-locked loop (PLL), and they are analyzed by comparing simulation results of each frequency synthesizer. Two proposed frequency synthesizers are designed using a 65-nm CMOS process with a 1V supply and output the clock with the frequency of 121.15 MHz when the frequency of an input clock is 125 MHz. The designed frequency synthesizer using a multi-phase DLL-based phase selector has the area of 0.167 mm^2 and the peak-to-peak jitter performance of 2.88 ps when it consumes the power of 4.75 mW. The designed frequency synthesizer using a fractional-N PLL has the area of 0.662 mm^2 and the peak-to-peak jitter performance of 7.2 ps when it consumes the power of 1.16 mW.

키워드 : 주파수 합성기, 다중위상 지연고정루프, 위상 선택기, 분수 분주형 위상고정루프

Key word : frequency synthesizer, multi-phase delay-locked loop, phase selectgor, fractional-N phase-locked loop

접수일자 : 2013. 08. 28 심사완료일자 : 2013. 10. 04 게재확정일자 : 2013. 10. 14

* **Corresponding Author** Young-Chan Jang(E-mail:ycjang@kumoh.ac.kr, Tel:+82-54-478-7434)
Department of Electronic Engineering, Kumoh National Institute of Technology, Gumi, Gyeongbuk 730-701, Korea

Open Access http://dx.doi.org/10.6109/jkiice.2013.17.10.2409 print ISSN: 2234-4772 online ISSN: 2288-4165

ⓒThis is an Open Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License(http://creativecommons.org/li-censes/by-nc/3.0/) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.
Copyright Ⓒ The Korea Institute of Information and Communication Engineering.

Ⅰ. 서 론

칩 내부의 주기적인 고속 신호를 측정하고자 sub-sampler 방식을 이용할 경우 측정하고자 하는 신호의 주파수 대비 칩 내부에 구현하는 회로의 동작 속도를 낮출 수 있다. Sub-sampling 개념에 의해 낮은 속도로 샘플된 신호는 아날로그-디지털 변환기의 입력으로 인가되어 디지털 코드로 변환될 수 있으며, 변환된 디지털 코드로부터 원 신호를 복원함으로 특성을 분석한다[1].

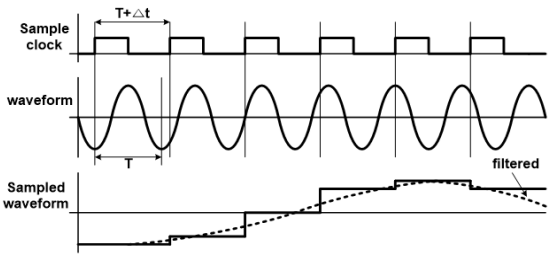

그림 1. 시간 영역에서 sub-sampling 개념도
Fig. 1 Concept of sub-sampling in time domain

그림 1은 시간 영역에서 sub-sampling 과정을 나타내었다. 측정하고자 하는 신호가 T의 주기로 반복적인 파형을 가질 때 T+△t의 주기를 가지는 sample clock에 의해 측정하고자 하는 파형을 sample한다. 여기서 △t는 sub-sample에서의 시간 해상도를 나타내며 T/(sub-sample의 수)로 결정된다. sample clock은 측정하고자 하는 신호의 주기보다 △t 만큼의 더한 주기를 가지기 때문에 측정하고자 하는 신호를 한 주기마다 △t 만큼씩 이동하면서 sample한다. 결과적으로 sub-sampler 출력은 그림 1의 sampled waveform과 같은 파형을 나타나게 되며 filter에 의해 기존의 waveform 형태에서 $T^2/\triangle t$의 주기를 가지는 신호로 변환된다. 변환된 신호는 원 신호 대비 시간의 축만 늘어난 형태를 가지므로 그림 1의 sampled waveform을 통해서도 원 신호를 분석할 수 있다. 일반적으로 고속 칩 간 source synchronous 인터페이스 회로에서는 T의 주기를 가지는 입력 신호에 대해 T 혹은 N×T의 주기를 가지는 클록을 공급받는다. 이 경우 sub-sample을 위한 T+△t의 주기를 가지는 클록은 칩 외부에서 공급이 어렵기 때문에 칩 내부에서 생성해야 한다. 이를 위해서 다중위상 delay-locked loop (DLL) 기반의 frequency synthesizer이 있으며, VCDL의 delay stage 수는 switch에 의해 결정하여 Edge combiner 출력에 programmable divider를 사용하는 방법[2]과 VCDL의 출력 위상을 여러 개의 Mux를 통해 선택하여 Fractional ratio factor을 가지는 divider을 생성하여 주파수 합성을 하는 방법[3]이 있다. 그리고 fractional-N phase-locked loop (PLL)을 기반으로 frequency synthesizer을 하여 구현이 가능하다. Delta sigma Modulation을 이용하여 divider 디더링에 의해서 Fractional-N을 생성하는 방법[4]이 있으며 출력 noise를 줄이기 위해 Phase Frequency Detector의 linear 부분의 이용과 charge pump회로의 gated offset current을 이용하는 방법[5]과 accumulator를 이용에 따른 noise를 DAC를 통해 줄이는 방법[6]이 있다.

본 논문에서는 다중위상 DLL 기반의 주파수 합성기는 다중위상 DLL의 다중 위상 출력 클록을 multiplexer에서의 순차적인 선택을 통해 주파수를 합성하는 방식과, fractional-N PLL은 기존의 PLL에서 divider를 위한 제어 신호 변조함으로 출력 클록의 주파수를 합성하는 방식 두 가지 구조의 frequency synthesizer를 통해 회로 구조 및 동작 방법, settling time, loop stability, 면적, 전력소모, 그리고 jitter 특성을 비교 분석한다. 2장에서는 다중 위상 DLL 기반의 위상 선택기를 이용한 주파수 합성기의 회로 구성 및 동작을 설명하며, 3장에서는 분수 분주 형 위상 고정 루프를 이용하는 주파수 합성기에 관하여 회로 구성 및 동작을 설명한다. 4장에서는 구현된 두 frequency synthesizer에 대해서 시뮬레이션 결과를 나타내며 이를 바탕으로 비교 분석한다. 마지막 5장에서는 결론을 맺는다.

Ⅱ. 다중위상 DLL 기반 위상 선택기를 이용한 주파수 합성기

그림 2은 다중위상 DLL 기반의 위상 선택기를 이용한 주파수 합성기의 블록도이다. 주파수 합성기는 63-phase DLL과 63-to-1 위상 선택기로 구성된다. 63-phase DLL은 125 MHz 주파수를 가지는 입력클록을 CLK0 ~ CLK62의 다중 위상 클록을 생성한다. 63-to-1 위상 선택기는 63-to-1 multiplexer (63-to-1 MUX0)와 제어신호 발생기 (control signal generator)로 구성되는데, 63-to-1 MUX0가 CLK0, CLK2, CLK4, … CLK62,

CLK1, CLK3, CLK5, … CLK61, CLK0의 순으로 다중위상 클록을 선택하여 출력함으로 121.15 MHZ의 클록을 생성하여 주파수 합성기의 동작을 수행한다. 63-to-1 MUX0의 다중위상 클록의 스위칭 과정에서 발생될 수 있는 glitch 노이즈를 제거하기 위해 63-to-1 MUX0를 위한 제어신호 발생기가 제안된다. 제안된 제어신호 발생기는 63-to-1 MUX1, 6-bit Counter, 12 개의 플립-플롭, 그리고 AND gate로 구성된다. Counter는 binary 6bit의 코드를 출력하며 CLK_{OUT} 클록의 상승 edge에서 순차적으로 디지털 코드 값이 증가하며 2b'000000 ~ 2b'111110 범위로 총 63 step을 가지며 동작한다. 6개의 플립-플롭은 CLK_{OUT} 클록과 63-to-1 MUX1의 출력신호가 AND된 신호 (DFF_CLK)의 상승 edge에서 동기화되어 63-to-1 MUX0를 제어하며, 나머지 6개의 플립-플롭은 DFF_CLK 신호의 하강 edge에서 63-to-1 MUX1를 제어한다. 63-to-1 MUX1은 CLK8, CLK10, CLK12, … CLK7, CLK9, CLK11, CLK13, … CLK6, CLK8 의 순서를 가지고 동작함으로 63-to-1 MUX0의 다중위상 클록의 스위칭 과정에서 glitch 노이즈가 발생되지 않도록 한다.

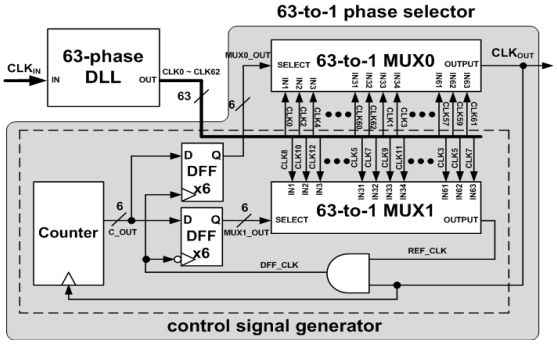

그림 2. 다중위상 DLL 기반의 위상 선택기를 이용한 주파수 합성기의 블록도
Fig. 2 Block diagram of frequency synthesizer using multi-phase DLL-based phase selector

그림 3은 다중위상 DLL 기반의 위상 선택기를 이용한 주파수 합성기에서 63-to-1 위상 선택기의 타이밍 도를 보여준다. 초기에 63-to-1 MUX0와 63-to-1 MUX1은 CLK0과 CLK8을 선택하게 된다. 그리고 63-to-1 MUX0는 63-to-1 MUX1에서 선택된 CLK8의 상승 edge에 의해서 CLK2를 선택하게 되며 CLK2의 하강 edge에 의해서 63-to-1 MUX1은 CLK10을 선택하게 된다. 이러한 과정에서 63-to-1 MUX0의 출력이 한 주기를 형성하게 되며 그 값은 T_D로서 8.254 ns로 결정된다. 63-to-1 MUX0에서 선택된 CLK(N)이 CLK(N+2)로 위상이 전환될 때 서로 high인 구간에서 전환될 수 있도록 63-to-1 MUX1의 출력의 상승 edge를 이용한다. 이에 따라서 63-to-1 MUX0에서 위상이 전환되는 과정에서 발생될 수 있는 glitch를 방지할 수 있다.

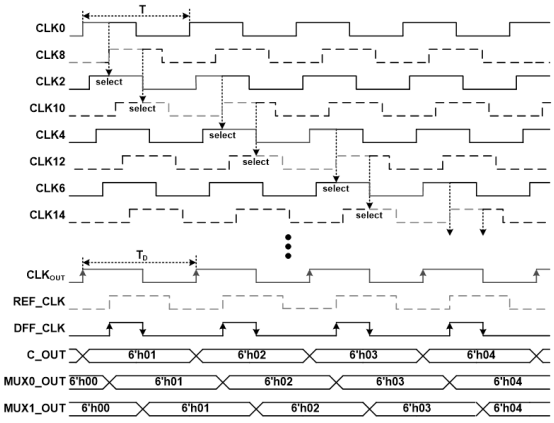

그림 3. 63-to-1 위상 선택기의 타이밍 도
Fig. 3 Timing diagram of 63-to1 phase selector

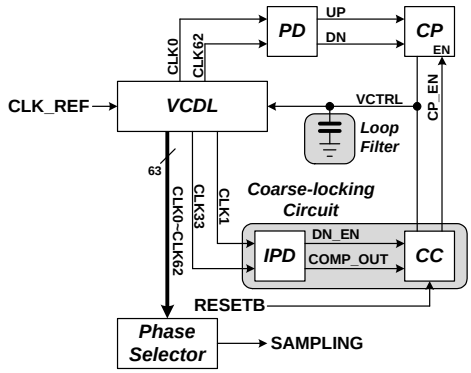

그림 4. 63-phase 지연고정루프 블록도
Fig. 4 Block diagram of 63-phase delay locked loop

63-phase 지연고정루프는 그림 4에 나타난 바와 같이 phase detector(PD), charge pump(CP), voltage-controlled delay line(VCDL), loop filter, 그리고 coarse-locking circuit로 구성된다.[7] CLK_REF으로 입력 클록이 인가

되며 interpolator를 이용하여 0도, 90도, 180도, 270도의 위상을 가지는 네 개의 클록을 생성하며, 이 클록을 이용하여 Delay Matrix에서 63개의 위상을 생성한다. PD에서 CLK0과 CLK62 신호의 위상을 비교하여 동일하게 되면 두 클록의 위상차가 360도가 되고, 이에 따라 위 다중위상 DLL은 동일한 위상 차이를 가지는 CLK0 ~ CLK62의 다중위상 클록을 생성하게 된다. 다중위상 DLL의 뒷단에 위치하는 Phase Selector는 다중위상 DLL에서 생성된 63 개의 다중위상 클록을 이용하여 출력 클록의 주파수를 합성한다. 63-phase DLL의 출력 클록인 CLK(N)과 CLK(N+1) 사이의 위상 차이는 126.984 ps이다.

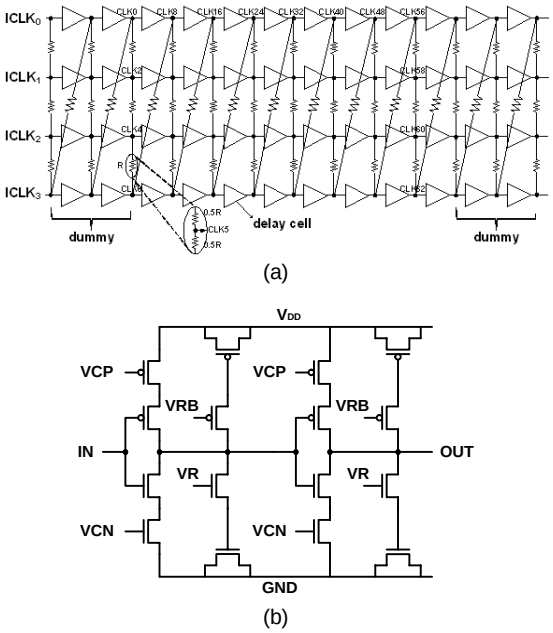

그림 5. (a) Delay Matrix 블록도 (b) Delay Cell 회로
Fig. 5 (a) Delay Matrix block diagram (b) Delay Cell structure

그림 5(a)는 VCDL의 블록도이다. 48개의 delay cell로 구성되어 있으며 16개의 Dummy delay cell를 통해 각 delay cell의 출력을 저항으로 평준화함으로 생기는 선형성의 오차를 줄여 출력 클록의 DNL을 개선한다. 저항 평준화를 위해 각 delay cell 출력을 연결하기 위해 사용된 각 저항을 R을 두 개의 0.5R로 구성하여 클록의 interpolation 과정을 수행하도록 한다. 그림 5(b)는 current starved inverter 구조의 delay cell 회로도이며, 제어신호인 VCN, VCP의 전압에 의해 delay cell의 지연이 결정된다. VR, VRB의 제어신호가 delay cell의 부하의 크기를 결정함으로 넓은 주파수 영역에서의 동작을 확보한다. 그림 6은 binary multiplexer 구조의 63-to-1 MUX의 회로도이다. B0, … , B5 의 6-bit 디지털 코드에 의해서 transmission gate가 제어되어 63개의 입력 신호 IN0, IN1 … IN61, IN62 중 하나의 신호가 선택되어 출력된다.

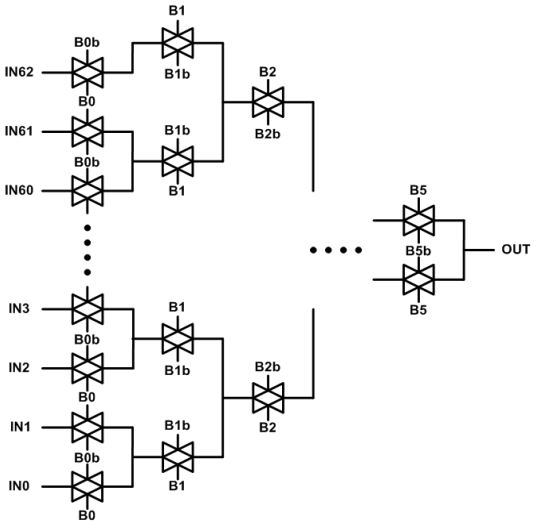

그림 6. 63-to-1 MUX 회로
Fig. 6 63-to-1 MUX circuit

Ⅲ. 다중위상 DLL 기반 위상 선택기를 이용한 주파수 합성기

그림 7은 fractional-N PLL 회로의 구조를 보여주며 Phase frequency detector (PFD), charge pump (CP), voltage controlled oscillator (VCO), loop filter, divider, 그리고 delta sigma modulation (DSM)로 구성된다.

INPUT 신호와 COM_FREF 신호의 위상과 주파수를 PFD에서 비교하여 UP 신호 또는 DN 신호를 생성한다. 생성된 UP 신호 혹은 DN 신호를 입력신호로 하여 CP는 loop filter에 charge를 charging하거나 discharging한다. Loop filter에 저장된 charge에 따라 형성되는 전압(VCON)은 VCO의 입력으로 인가되어 oscillator의 출력 클록(BE_OUT)의 주파수로 변환되어 출력된다.

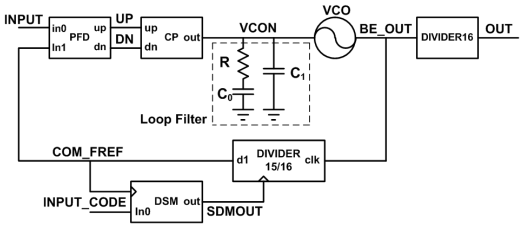

그림 7. 분수 분주 형 위상 고정 루프 블록도
Fig. 7 Block diagram of Fractional-N PLL

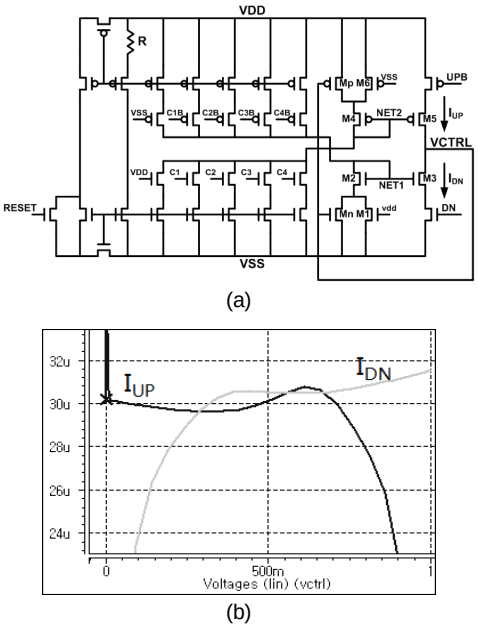

그림 8. Charge pump 회로 (a) 블록도 (b) 시뮬레이션
Fig. 8 Charge pump circuit (a) block diagram (b) simulation

DIVIDER 15/16의 회로는 BE_OUT 신호의 주파수를 fractional-N divide하기 위해 SDMOUT에 의해 제어된다. 설계된 주파수 합성기에서 SDMOUT는 1-bit 신호이며 DSM의 33-bit INPUT_CODE에 의해서 2b'0 혹은 2b'1의 값으로 결정된다. DSM에 의해 출력된 SDMOUT 신호는 DIVIDER15/16의 회로의 평균 분주비를 15.xx의 값이 되도록 15와 16의 값을 랜덤하게 변화하는 디더링 과정이 이루어진다. INPUT_CODE는 평균 분주비의 소수점 자리의 값을 조정하게 된다. BE_OUT에서 출력된 주파수는 DIVIDER16의 회로에 의해 1/16의 주파수의 신호로 출려된다. 입력신호의 주파수 125 MHz에 대해 BE_OUT 신호는 15.xx 배가 되며 최종 출력 클록 신호 OUT은 입력신호 주파수의 15.xx/16 배의 주파수를 가지게 된다.

그림 8(a)와 (b)는 Charge pump의 회로도와 시뮬레이션을 각각 보여준다.[8] Constant Gm 회로에 의해 기준 전류를 생성하며, current mirror를 통해서 I_{UP}, I_{DN}의 전류를 생성한다. 기본적으로 PLL의 동작에 기반한 주파수 합성기에서 charge pump의 I_{UP} 전류와 I_{DN} 전류의 mismatch가 발생할 경우 phase의 옵셋이 발생되고 이 경우 주파수 합성이 정확하게 수행되지 못한다. Charge pump의 currnet mismatch를 줄이고자 출력 전압(VCTRL)을 그림 8(a)의 Mn과 Mp 트랜지스터의 게이트 전압으로 피드백하는 회로를 구성한다. Charge pump 회로 동작에서 VCTRL 전압이 상승하게 되면 Mn은 deep triode region 영역에서 동작하게 되어 Mn 트랜지스터의 저항은 작아지게 된다. 따라서 Mn과 M1의 병렬 저항은 VCTRL 전압이 상승 할수록 작아지게 된다. 따라서 M2에 흐르는 전류를 유지하기 위해서 NET1의 전압이 낮아지게 되며 M3의 gate 전압이 낮아지기 때문에 VCTRL 전압 상승에 따른 I_{DN} 전류의 상승폭을 줄일 수 있다. 이와 반대로 VCTRL 전압이 하강하게 되면 Mp 트랜지스터가 Deep triode region 영역에서 동작하게 되며 Mp 트랜지스터의 저항이 줄어든다. 이에 따라서 Mp와 M6의 병렬 저항은 VCTRL 전압이 하강할수록 작아지게 된다. 따라서 M4에 흐르는 전류를 유지하기 위해서 NET2의 전압이 낮아지게 되며 M5의 gate 전압이 낮아지기 때문에 VCTRL 전압 상승에 따른 I_{UP} 전류의 상승폭을 줄일 수 있다. 이러한 동작 원리에 따라서 VCTRL의 전압 상승과 하강에 따른 I_{DN}의 전류와 I_{UP}의 전류 mismatch를 줄일 수 있다. C1, C2, C3 … C3B, C4B는 IUP과 IDN의 전류를 조절하는 디지털 코드로서 각 process corner의 환경에서도 current mismatch를 줄일 수 있는 수단이다. 그림 8(b) 그림에서 VCTRL voltage의 범위가 250 mV에서 700 mV 사이에서 I_{UP}과 I_{DN}의 전류 차이는 최대 3% 오차 이내로 유지됨을 확인할 수 있다.

그림 9(a)에 나타난 VCO는 5단의 current starved inverter ring으로 구성된다. 그림 9(b)에 나타난 바와 같이 VCO의 각 delay cell은 current starved inverter 회로로 구성된다. CON[0:6]의 7-bit 디지털 코드를 사용하여 process corner에 따른 목표 주파수를 구현할 수 있도록 current starved inverter의 strength를 조절한다.

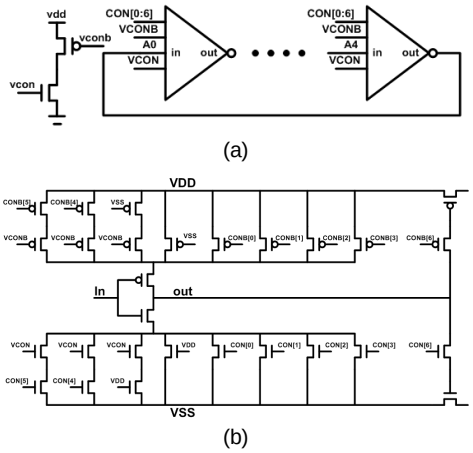

그림 9. (a) VCO 블록도 (b) current starved inverter
Fig. 9 (a) VCO block diagram (b) current starved inverter

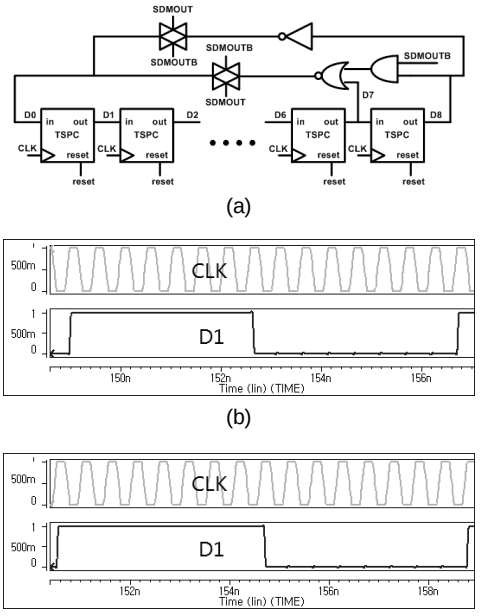

그림 10. (a) DIVIDER 15/16 회로도 (b) divide 15 시뮬레이션 (c) divide 16 시뮬레이션
Fig. 10 (a) DIVIDER 15/16 circuit diagram (b) divide 15 simulation (c) divide 16 simulation

분수 분주형 위상고정루프의 loop bandwidth는 divider의 디더링 과정에 의해 loop filter의 control 전압이 리플이 나타날 수 있고 이 영향에 따른 phase noise를 줄이기 위해서 VCO의 전압과 발진주파수의 비인 K_{VCO} 값을 작게 설계해야 한다. 설계된 VCO 회로는 137 MHz/V의 K_{VCO} 값을 가진다.

그림 10(a)는 DIVIDER 15/16의 회로도이며 그림 10(b)와 (c)는 divide 15와 divide 16의 경우에 대해 각각 시뮬레이션 한 결과이다. True single phase clock (TSPC) 플립-플롭이 직렬로 구성되며 입력 클록에 동기 되어 동작한다. NOR게이트 및 inverter 출력이 피드백 되는 구조를 가지며 AND게이트의 SDMOUT 신호에 따라서 divide 15 또는 16이 결정되는 구조를 가지고 있다. 입력 CLK의 주파수는 1.94 GHz 이상의 고속이기 때문에 TSPC의 구조의 플립-플롭을 사용하여 고속 동작이 가능하도록 하였다. 그림 10의 (b)와 (c)는 시뮬레이션 결과로서 SDMOUT의 신호가 low일 때 divide 15의 기능을 하며 SDMOUT의 신호가 high일 때 NOR 게이트로 출력 되는 신호는 D0으로 전달되지 않으며 D8의 신호가 inverter를 통해 D0으로 피드백이 되어 divide 16의 기능을 하게 된다.

그림 7에 보인 loop filter는 2차 RC filter 구조이며, R은 5.5 kΩ, C0는 200 pF, 그리고 C1은 100 pF의 값을 가진다. Low pass filter의 기능을 가지고 있으며, loop filter를 통해 전체 PLL의 stability를 및 settling time을 조정할 수 있다. 특히 분수 분주 형 위상고정 루프에서는 delta sigma modulation의 출력 신호를 DIVIDER 15/16의 제어에 사용함에 따라 발생되는 high frequency 성분의 quantization noise를 줄여주는 역할도 한다. 일반적으로 Interger-N PLL의 loop bandwidth ($f_{BW}=I_{CP} \cdot R \cdot K_{VCO}/(2\pi N)$)는 보다 작게 설계된다.

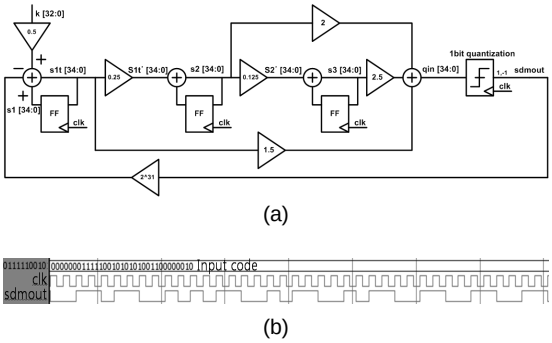

그림 11. 3차 델타 시그마 모듈레이션 (a) 블록도 (b) 시뮬레이션 결과
Fig. 11 3rd delta sigma modulation (a) block diagram (b) simulation results

본 설계에서는 Icp=30 uA, R=5.5 kΩ, K_{VCO}=137 MHz/V, N=15.5076으로서 f_{BW}=232 kHz가 되며 입력주파수의 1/539 배로 설계되었다.

그림 11은 3rd single loop delta sigma modulation 구조를 나타낸다. 가장 기본적으로는 1차 sigma delta modulation, 즉 accumulator를 사용하는 것이다. 하지만 accumulator는 반복적인 패턴을 가지고 있어 낮은 주파수 영역에 quantization noise가 크게 나타나며, PLL의 loop filter를 이용하여 noise를 filter를 하지 못하기 때문에 많은 noise를 가지게 된다. 본 설계에서는 3차 sigma delta modulation을 이용하여 출력 데이터를 무작위 패턴으로 발생시켜 높은 주파수 영역으로 noise shaping함으로 낮은 주파수 영역에서 quantization noise를 줄이고 high frequency 영역에서 quantization noise를 나타내어 loop filter의 low pass filter에 의해 quantization noise를 줄어들게 한다.[9]

$$Q_{DSM}(f) \approx \frac{\triangle^2}{12 f_S}\left\{2\sin\left(\frac{2\pi f}{f_S}\right)\right\}^{2m} \quad (1)$$

수식 (1)에서 $Q_{DSM}(f)$는 delta sigma modulation의 위상 noise 이며 △은 unit quantization step이다. f_S는 DSM의 입력 클록 이며 m은 delta sigma modulation의 차수를 나타낸다. 수식 (1)에서도 delta sigma modulation의 차수가 높을수록 낮은 주파수 영역의 위상 noise가 줄어드는 것을 알 수 있다. 4차 이상의 sigma delta modulation의 사용에 따른 위상 noise 개선 효과는 미비하지만 그에 반해 회로의 복잡성이 크게 늘어난다.

그림 11(a)에서 입력은 33bit 디지털 코드 입력이며, 입력 범위는 십진수로 표현하면 $-(2^{31}+2^{30})$ … $2^{31}+2^{30}$ 이다. 이것은 두 step 디지털 코드마다 0.2328×10-9 의 divider ratio의 변화를 가지게 된다. 출력은 1-bit 디지털 코드 이며 SDMOUT가 low일 때는 divider 15을 선택하며 SDMOUT가 high일 때는 divider 16을 선택한다. 이에 따른 divider ratio 범위는 15.125에서 15.875이다. 그림 11(b)는 3차 delta sigma modulation 시뮬레이션을 나타내며, 입력 디지털 코드는 2b'11111001010101001100000010으로서 divider ratio가 15.5076이 되도록 설정되었으며 SDMOUT 출력은 일정한 패턴을 가지지 않고 랜덤하게 출력되어 시간이 지날수록 high 출력 비율이 0.5076이 된다.

Ⅳ. 시뮬레이션 결과 및 비교 분석

4.1. 다중위상 DLL 기반의 위상 선택기를 이용한 주파수 합성기

다중위상 DLL 기반의 클록 선택기를 이용한 주파수 합성기는 1V 공급전압을 이용하는 65-nm CMOS 공정에서 설계되었으며 4.75 mW의 전력을 소모한다. 그림 12는 설계된 다중위상 DLL 기반의 클록 선택기를 이용한 주파수 합성기의 레이아웃이며, 63-phase DLL의 면적은 276 × 350 μm^{2}이며 63-to-1 위상 선택기의 면적은 311 × 186 μm^{2}이다.

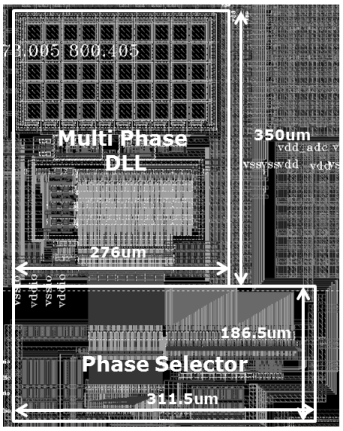

그림 12. 설계된 다중위상 DLL 기반의 클록 선택기를 이용한 주파수 합성기의 레이아웃
Fig. 12 Layout of designed frequency synthesizer using multi-phase DLL-based phase selector

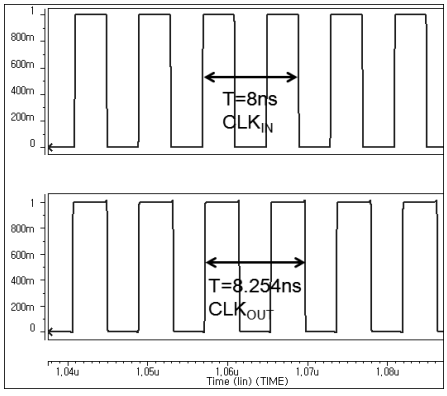

그림 13. CLK_{IN}과 CLK_{OUT}의 신호 파형
Fig. 13 Waveform of CLK_{IN} and CLK_{OUT} signal

그림 13은 설계된 주파수 합성기의 125 MHz의 주파수를 가지는 입력클록에 대한 121.15 MHz의 주파수를 가지는 출력클록의 파형을 보여준다. 그림 14는 주파수 합성기의 출력 클록의 주파수 스펙트럼이며 주기가 8.254 ns인 주파수 121.15 MHz 성분을 보여준다. 그림 15에 나타난 바와 같이 설계된 주파수 합성기의 시뮬레이션 된 출력 클록의 지터는 peak-to-peak 2.88 ps이다.

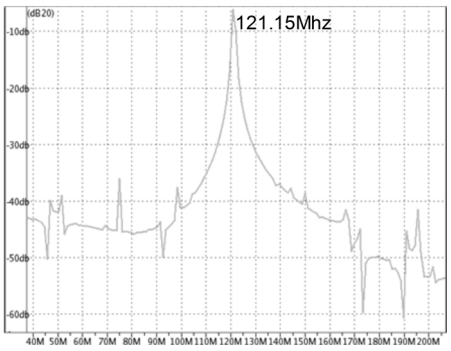

그림 14. 출력 클록의 주파수 spectrum
Fig. 14 Frequency spectrum of output clock

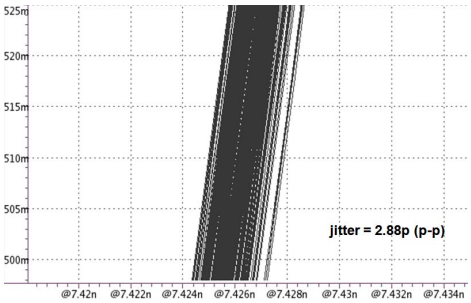

그림 15. 출력 클록의 지터 시뮬레이션
Fig. 15 Jitter simulation of output clock

4.2. 분수 분주형 위상고정루프를 이용하는 주파수 합성기

분수 분주형 위상고정루프를 이용하는 주파수 합성기는 다중위상 DLL 기반의 클록 선택기를 이용한 주파수 합성기와 동일한 1V 공급전압을 이용하는 65-nm CMOS 공정에서 설계되었다. 그림 16은 설계된 분수 분주형 위상고정루프를 이용하는 주파수 합성기의 레이아웃이며, 기본적인 PLL의 면적은 534 × 940 μm^2이며 delta-signal modulation 면적은 300 × 300 μm^2이다. 전체 전력소모는 1.16 mW이다.

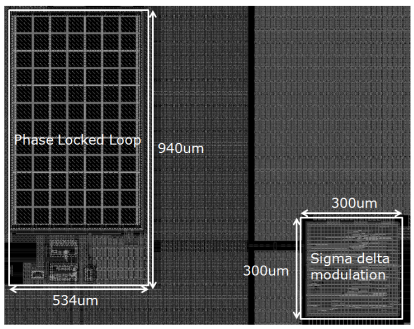

그림 16. 설계된 분수 분주형 위상고정루프를 이용하는 주파수 합성기의 레이아웃
Fig. 16 Layout of designed frequency synthesizer using fractional-N PLL

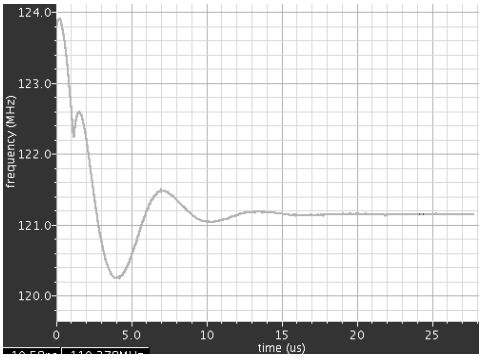

그림 17. 설계된 분수 분주형 위상고정루프를 이용하는 주파수 합성기의 정착 시간
Fig. 17 Settling time of designed frequency synthesizer using fractional-N PLL

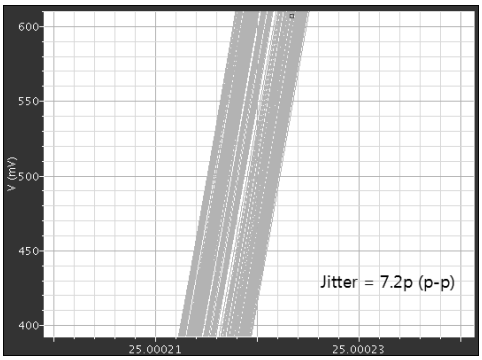

그림 18. OUT 신호의 지터 시뮬레이션
Fig. 18 Jitter simulation of OUT signal

그림 17은 설계된 분수 분주형 위상고정루프를 이용하는 주파수 합성기의 출력신호의 안정화되는 시간을 시뮬레이션 하여 control 전압의 파형을 나타내었다. 입력 주파수는 125 MHz에 divider ratio가 15.5076인 경우 출력 주파수는 121.15 MHz의 주파수를 가지며, 이 경우 정착시간은 25 us가 됨을 보여준다. 그림 18은 출력 클록 신호에 대한 시뮬레이션 지터 특성이며 7.2 ps (peak-to-peak) 이다.

4.3. 주파수 합성기 비교 분석

표 1은 두 가지 종류의 주파수 합성기 회로에 대한 성능에 대한 요약표를 나타낸다. 공정과 사용전압 출력 주파수는 두 가지 구조 모두 동일하다.

표 1. 주파수 합성기 성능요약 표
Table. 1 frequency synthesizer of performance summary

구조	다중위상 DLL 기반의 클록 선택기를 이용한 주파수 합성기	분수 분주형 위상고정루프를 이용하는 주파수 합성기
공정	65nm 1poly 7metal	
사용 전압	1.0V	
출력 주파수	121.15Mhz	
정착시간	700 ns	25 us
지터(p-p)	2.88 ps	7.2 ps
파워	4.75 mW	1.16 mW
면적(um^2)	0.121 mm^2	0.592 mm^2
주파수 조절	selector 재설계	프로그램 가능

정착 시간은 다중위상 DLL 기반의 클록 선택기를 이용한 주파수 합성기 구조가 빠른 시간을 가지게 되는데, 분수 분주형 위상고정루프를 이용하는 주파수 합성기의 경우 delta-sigma modulation의 이용으로 발생되는 quantization error noise를 줄이기 위해 loop bandwidth를 줄임에 따라서 정착 시간이 증가되었다. 출력 클록의 지터 특성은 분수 분주형 위상고정루프를 이용하는 주파수 합성기의 특성보다 다중위상 DLL 기반의 클록 선택기를 이용한 주파수 합성기의 특성이 약 2.5배 우수하다. 이는 수백 MHz의 낮은 주파수에서 delta-sigma modulation의 이용으로 발생되는 quantization error noise를 loop filter에서 충분히 low-pass filtering 하지 못했기 때문이다. 면적의 경우 분수 분주형 위상고정루프를 이용하는 주파수 합성기가 다중위상 DLL 기반의 클록 선택기를 이용한 주파수 합성기 보다 4배 정도 커지는데, 이는 loop filter의 커패시터로 인해 면적이 증가되었다. 마지막으로 전력소모의 경우 다중위상 DLL 기반의 클록 선택기를 이용한 주파수 합성기가 상대적으로 증가되었는데, 이는 다중위상 DLL의 VCDL에서 많은 delay cell이 존재하기 때문이다.

Ⅴ. 결 론

125 MHz 63-phase 다중위상 지연고정루프 기반의 클록 선택기를 이용한 주파수 합성기 및 분수 분주형 위상고정루프를 이용한 주파수 합성기를 설계하였다. 두 가지 합성기 모두 1V 공급전압을 이용하는 65-nm CMOS 공정에서 설계 되었다. 121.15 MHz의 동일한 주파수를 출력하는 조건에서 다중위상 지연고정루프 기반의 클록 선택기를 이용한 주파수 합성기는 settling time, 면적, 그리고 지터 면에서 분수 분주형 위상고정루프를 이용한 주파수 합성기 대비 우세한 결과를 나타내었다. 그러나 전력 소모와 출력 주파수 변경의 용이성 측면에서는 분수 분주형 위상고정루프를 이용한 주파수 합성기가 구현이 용이하다.

감사의 글

본 연구는 교육부 기금으로 조성된 한국연구재단의 기초과학연구 사업 (2013R1A1A4A01012914)과 반도체설계교육센터(IDEC)의 지원을 받은 논문임.

REFERENCES

[1] Zheng, Yu, “On-chip oscilloscopes for noninvasive time-domain measurement of waveforms in digital integrated circuits,” *IEEE Trans. VLSI Systems, pp. 336-344, June 2003*.

[2] Gholami M., Gholamidoon M., Hashemi M., “New method to synthesize the frequency bands with DLL-based frequency

synthesizer," *Communication and Signal Processing (ICCSP)*, 2011 International Conference on, pp. 300-304, Feb. 2011.

[3] Min Wang, Zhiping Wen, Lei Chen, Yanlong Zhang, "A novel DLL-based configurable frequency synthesizer," Neural Networks and Signal Processing, 2008 International Conference on, pp. 303-306, June 2008.

[4] Farhad Zarkeshvari, Peter Noel, Tad Kwasniewski, "PLL-Based Fractional-N Frequency Synthesizers," System-on-Chip for Real-Time Applications, 2005 Proceedings. Fifth International Workshop on, pp.85-91, July 2005.

[5] C.-L. Ti, Y.-H. Liu, and T.-H. Lin, "A 2.4-GHz fractional-N PLL with a PFD/CP linearization and an improved CP circuit," in Proc. IEEE Int. Symp. Circuits Syst., pp. 1728-1731, May 2008.

[6] T. Lin, C. Ti, and Y. Liu, "Dynamic current-matching charge pump and gated-offset linearization technique for delta-sigma fractional-N PLLs," IEEE Trans. Circuits syst. I, vol. 56, no. 5, pp. 877-885, May 2009.

[7] Y.-S. Kim, et. al., "A 40-to-800 MHz locking multi-phase DLL," IEEE Int. Solid-State Circuits Conf. 2007 Dig. Tech Papers, pp.306–307, Feb. 2007.

[8] C.-L. Ti, Y.-H. Liu, and T.-H. Lin, "A 2.4-GHz fractional-N PLL with a PFD/CP linearization and an improved CP circuit," in Proc. IEEE Int. Symp. Circuits Syst., pp. 1728-1731, May 2008.

[9] R. Gu and S. Ramaswamy, "Fractional-N Phase Locked Loop Design and Applications," in Proc. The 7th International Conference on ASIC, Guilin, China, pp. 327-332, Oct. 2007.

이승용(Seung-Yong Lee)

2012.2 금오공과대학교 전자공학부(공학사)
2012.8 ~ 현재 금오공과대학교 대학원 석사과정
※관심분야 : Clocking, Mixed-mode circuit design

이필호(Pil-Ho Lee)

2012.2 금오공과대학교 전자공학부(공학사)
2012.8 ~ 현재 금오공과대학교 대학원 석사과정
※관심분야 : High-speed IO interface, Mixed-mode circuit design

장영찬 (Young-Chan Jang)

1995.2 경북대학교 전자전기 공학부 공학사
2001.2 포항공과대학교 전자전기공학과 공학석사
2005.2 포항공과대학교 전자전기공학과 공학박사
2005.3 ~ 2009.8 삼성전자 반도체총괄 책임연구원
2009.8 ~ 현재 금오공과대학교 전자공학부 교수
※관심분야 : High-speed I/O interface, Data converter 및 Mixed mode analog IC design